



GW5ART 系列 FPGA 产品 原理图指导手册

UG1223-1.0.1, 2025-04-30

版权所有 © 2025 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/10/11	1.0	初始版本。
2025/04/30	1.0.1	● 更新电源管脚名称。 ● 更新“3.2 配置模式选择信号(MODE)”中的概述。 ● 更新“2.4 上电时间与上电顺序”中“表 2-2 电源上升斜率”的注释。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 电源	3
2.1 概述	3
2.2 电源指标	3
2.3 总体功耗	4
2.4 上电时间与上电顺序	4
2.5 原理图设计注意事项	4
3 关键配置管脚	6
3.1 READY、RECONFIG_N、DONE	6
3.2 配置模式选择信号(MODE)	7
4 配置模式	9
4.1 JTAG	9
4.2 MSPI	10
4.3 SSPI	12
4.4 CPU	14
4.5 SERIAL	15
5 时钟管脚	17
5.1 概述	17
5.2 原理图设计注意事项	19
6 差分管脚	20
7 管脚分配	21

图目录

图 2-1 隔离滤波	4
图 2-2 磁珠隔离	5
图 3-1 RECONFIG_N, READY, DONE 原理图参考电路	7
图 4-1 JTAG 配置模式连接示意图	10
图 4-2 MSPIx1 配置模式连接示意图	11
图 4-3 MSPIx2 配置模式连接示意图	11
图 4-4 MSPIx4 配置模式连接示意图	12
图 4-5 SSPI 配置模式连接示意图	13
图 4-6 多 FPGA 连线示意图	13
图 4-7 CPU 配置模式连接示意图	15
图 4-8 SERIAL 配置模式连接示意图	16
图 5-1 FPGA 外接晶振电路	19

表目录

表 1-1 术语、缩略语	1
表 2-1 GW5ART 系列产品电压种类	3
表 2-2 电源上升斜率	4
表 2-3 电源合并建议	4
表 3-1 RECONFIG_N,READY,DONE 介绍	6
表 4-1 MODE 信号定义	8
表 4-2 JTAG 配置模式信号定义	9
表 4-3 MSPI 配置模式的信号定义	10
表 4-4 SSPI 配置模式的信号定义	12
表 4-5 CPU 配置模式的信号定义	14
表 4-6 SERIAL 配置模式信号定义	16
表 5-1 时钟概述	18

1 关于本手册

1.1 手册内容

本文档详细描述了 GW5ART 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，旨在帮助用户更好地使用 Gowin GW5ART 系列 FPGA 产品。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [UG1120, GW5ART-15 器件 Pinout 手册](#)
- [UG720, Arora V 15K FPGA 产品编程配置手册](#)
- [UG1233, GW5ART 系列 FPGA 产品封装与管脚手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CPU	Central Processing Unit	中央处理器
DDR	Double Data Rate	双倍速率
DQS	Bidirectional Data Strobe Circuit for DDR Memory	DDR 存储器双向数据选通电路
FPGA	Field Programmable Gate Array	现场可编程门阵列
GCLK	Global Clock	全局时钟
GPA	Gowin Power Analyzer	功耗分析工具
GPIO	Gowin Programmable IO	高云可编程通用管脚
HCLK	High-speed Clock	高速时钟
JTAG	Joint Test Action Group	联合测试行动组

术语、缩略语	全称	含义
LDO	Low Dropout Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
MSPI	Master Serial Peripheral Interface	主串行外设接口
PLL	Phase-locked Loop	锁相环
SPI	Serial Peripheral Interface	串行外设接口
SSPI	Slave Serial Peripheral Interface	从串行外设接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2电源

2.1 概述

GW5ART 系列 FPGA 产品电压种类分为 4 组，如表 2-1 所示。

表 2-1 GW5ART 系列产品电压种类

组	名称	描述
FPGA	VCC	核电压
	VCCX	辅助电压
	VCCIO	I/O Bank 电压
	VCCLDO	为 PLL，SRAM 提供电压的内部 LDO 模块的电源电压
	VEFUSE	eFuse 写入所需电压
MIPI	VDDAM	MIPI 模块模拟电路供电电压
	VDDDM	MIPI 模块数字电路供电电压
	VDDXM	MIPI 模块模拟辅助供电电压
	VDD12M	MIPI 模块 LP 模式供电电压
SerDes	VDDHAQ	QUAD*内部高压供电电压
	VDDAQ	QUAD*内部模拟电路供电电压
	VDDTQ	QUAD* TX 发送端供电电压
PSRAM	VDDP	PSRAM 供电电压
	VDDQP	PSRAM 数据总线的电源电压

2.2 电源指标

GW5ART 系列 FPGA 产品电源供电要求请参考如下文档中的 Power 部分：[UG1120，GW5ART-15 器件 Pinout 手册](#)。

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

2.3 总体功耗

针对特定密度、封装和资源利用率，可以使用云源软件内嵌的 GPA 工具进行功耗评估和分析。

2.4 上电时间与上电顺序

表 2-2 电源上升斜率

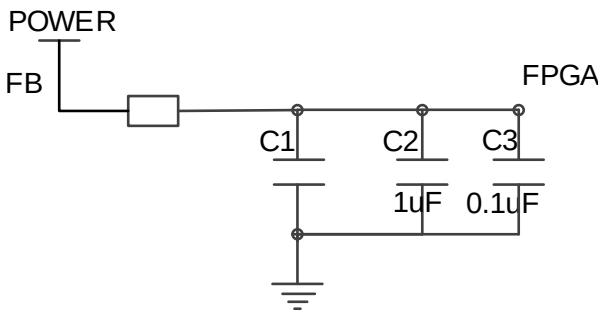
描述	最小值	典型值	最大值
V _{CC} 上升斜率	0.1mv/us	-	15mv/us
V _{CC} LDO 上升斜率	0.1 mv/us	-	15mv/us
V _{CC} X 上升斜率	0.01mv/us	-	15mv/us
V _{CC} IO 上升斜率	0.1 mv/us	-	15mv/us

注！
推荐 V_{CC}X 在 V_{CC} 之前上电。

2.5 原理图设计注意事项

1. GW5ART 系列 FPGA 需要对各个电压隔离滤波，具体参考如图 2-1 所示。

图 2-1 隔离滤波



其中 FB 为磁珠，C1，C2，C3 均为陶瓷电容，精度不低于±10%。C1 根据电流大小确定容值。

2. 电源网络合并与磁珠隔离

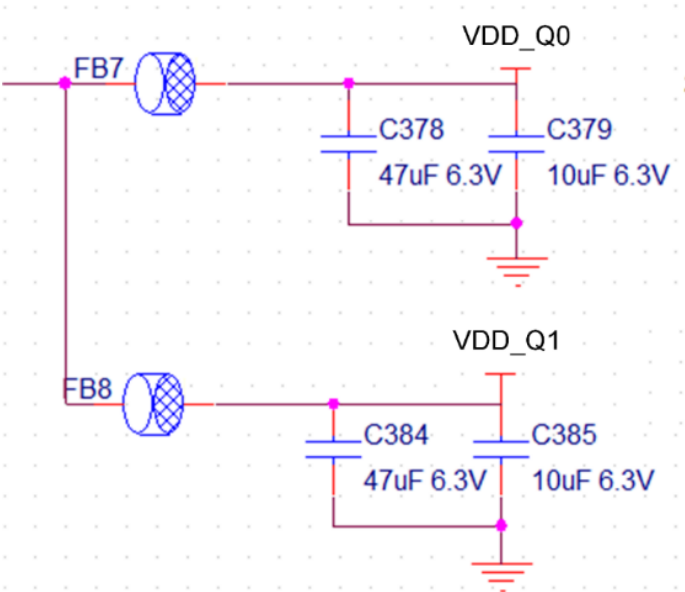
表 2-3 电源合并建议

组	名称	电源合并建议
FPGA	V _{CC}	电流大，建议单独供电
	V _{CC} X	在满足电流需求下，可考虑与供电电压一致的电源合并
	V _{CC} LDO	在满足电流需求下，可考虑与供电电压一致的电源合并
	V _{CC} IO	PSRAM 所在的 Bank 电压必须为 1.8V，在满足电流需求下，可考虑与供电电压一致的电源合并
	VEFUSE	不需要 eFUSE 写入时可以悬空或者接地；需要时，可考虑与供电电压一致的电源合并

组	名称	电源合并建议
MIPI	VDDAM	在满足电流需求下，可考虑与 VDDD_MIPI 电源合并
	VDDDM	在满足电流需求下，可考虑与 VDDA_MIPI 电源合并
	VDDXM	在满足电流需求下，可考虑与供电电压一致的电源合并
	VDD12M	在满足电流需求下，可考虑与供电电压一致的电源合并
SerDes	VDDHAQ	满足供电电流需求，电压一致，可考虑将该组合并
	VDDAQ	满足供电电流需求，电压一致，可考虑将该组合并
	VDDTQ	满足供电电流需求，电压一致，可考虑将该组合并；该组电源噪声大，建议不要和其他电源合并。

注！
SerDes 电源建议使用噪声小的电源（如 LDO 电源）以保证 SerDes 性能。
如果电源合并，建议用磁珠隔离，如图 2-2 所示。

图 2-2 磁珠隔离



3 关键配置管脚

3.1 READY、RECONFIG_N、DONE

3.1.1 概述

表 3-1 RECONFIG_N,READY,DONE 介绍

名称	I/O 方向	说明
RECONFIG_N	I, 内部弱上拉	低电平有效，相当于 FPGA 编程配置的复位功能,RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。FPGA 上电过程中务必保持高电平，上电稳定 1ms 之后可以释放。作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。作为 GPIO 时，只能用作 output 类型。为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平。
READY ^[1]	O, 内部弱上拉	高电平有效，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后采用器件上电或触发 RECONFIG_N 的方式恢复状态。作为配置管脚时，可以指示 FPGA 当前能否进行配置，当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。
DONE ^[1]	I/O, 内部弱上拉	FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功：当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。作为

名称	I/O 方向	说明
		GPIO 时，可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则配置结束后 FPGA 无法进入用户模式。

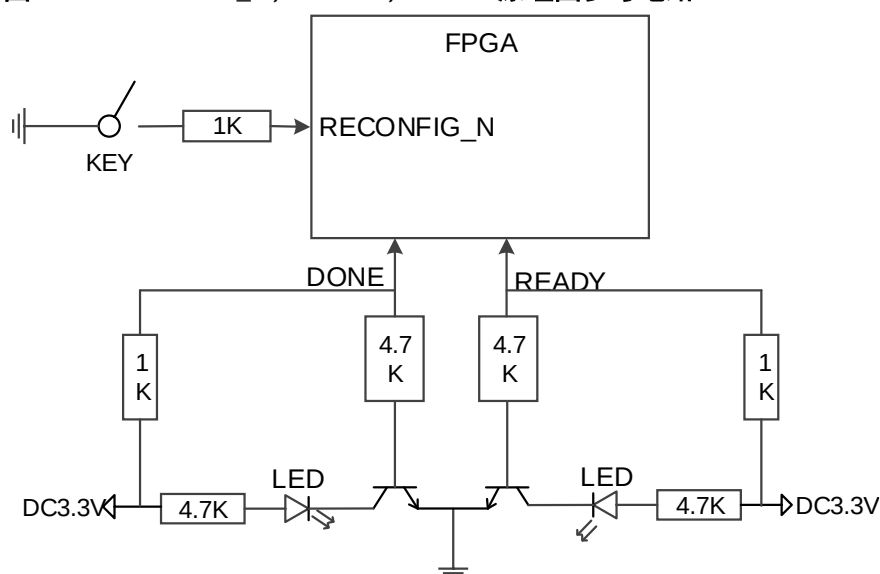
注！

^[1] READY 和 DONE 默认状态为 open-drain 输出，内部弱上拉。在配置期间，DONE 输出 0。

3.1.2 原理图设计注意事项

READY/DONE 是开漏输出，要求加外部上拉电阻。

图 3-1 RECONFIG_N, READY, DONE 原理图参考电路



注！

- JTAG 配置过程中 READY 和 DONE 信号的值没有参考意义。
- RECONFIG_N、READY 和 DONE 未封装出来的管脚已内部处理，不影响配置功能。

3.2 配置模式选择信号(MODE)

3.2.1 概述

MODE 包括 MODE0、MODE1，为 GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态。MODE[1:0]用来选择 GowinCONFIG 的编程配置模式，用户不需要改变模式时可以使用上拉或下拉的方式将其固定在特定的模式，上拉电阻推荐 4.7K，下拉电阻推荐 1K。

由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部接地或内部接电源，具体请参考相应器件的 PINOUT 手册。

不同 MODE 值对应支持的配置模式请参见以下编程配置手册的：

- [UG720, Arora V 15K FPGA 产品编程配置手册](#)> 3.1 配置模式
其中每种配置模式需使用到的管脚情况请参见以下编程配置手册：
- [UG720, Arora V 15K FPGA 产品编程配置手册](#)> 3.2 配置管脚
MODE 管脚作为 GPIO 时，可用作 input 或 output 类。需要注意的是，当 MODE 值改变时，需要重新上电或低电平触发 RECONFIG_N 才能生效。
GW5ART 系列 FPGA 产品在程序加载成功后会自动切到 SSPI 模式，如果没有使用 SSPI 模式，要保证 SSPI_HOLDN 有个下拉电阻或者 SSPI_CSN 有个上拉电阻。

3.2.2 信号定义

表 3-2 MODE 信号定义

名称	I/O 方向	说明
MODE1	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口

4配置模式

4.1 JTAG

4.1.1 概述

JTAG 配置模式是将比特流数据写入到高云半导体 FPGA 产品的 SRAM 中，掉电后配置数据丢失。高云半导体所有封装的 FPGA 产品均支持 JTAG 配置模式。

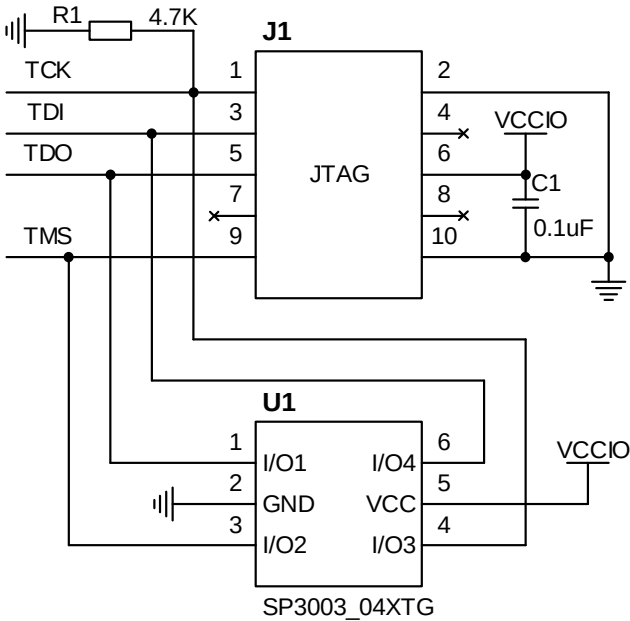
4.1.2 信号定义

表 4-1 JTAG 配置模式信号定义

名称	I/O 方向	说明
TCK	I，内部弱上拉	JTAG 串行时钟输入
TMS	I，内部弱上拉	JTAG 串行模式输入
TDI	I，内部弱上拉	JTAG 串行数据输入
TDO	O，内部弱上拉	JTAG 串行数据输出

4.1.3 JTAG 电路参考

图 4-1 JTAG 配置模式连接示意图



注！
JTAG 配置模式时钟频率不能高于 100MHz。
VCCIO 电压保持与 JTAG 信号所在 Bank 的电压一致。

4.2 MSPI

4.2.1 概述

MSPI（Master SPI）配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取比特流数据完成配置的过程。

4.2.2 信号定义

表 4-2 MSPI 配置模式的信号定义

名称	I/O 方向	说明
CCLK	I/O，内部弱上拉	配置时钟 ● Slave 模式：CCLK 为输入，需要连接外部时钟源 ● Master 模式：CCLK 为输出
MCS_N	O， MODE[1:0]：内部弱上拉 MODE[2:0]：None	MSPI 模式下的使能信号，低电平有效
MISO	I/O，内部弱上拉	MSPI 模式：X1 模式下串行数据输入，X2，X4 模式下并行数据 bit1 的输入管脚，连接外部 Flash 器件的 DQ1/Q/SO/IO1 管脚
MOSI	I/O，内部弱上拉	MSPI 模式：串行指令和地址输出，以及 X2，X4 模式下的并行数据 bit0 的输入管脚，

名称	I/O 方向	说明
		连接外部 Flash 器件的 DQ0/D/SI/IO0 管脚。
MI2	I/O，内部弱上拉	MSPI 模式：X4 模式下并行数据 bit2 的输入管脚，分别连接外部 Flash 器件的 DQ2/W#/WP#/IO2 管脚
MI3	I/O，内部弱上拉	MSPI 模式：X4 模式下并行数据 bit3 的输入管脚，分别连接外部 Flash 器件的 DQ3/HOLD#/IO3 管脚

4.2.3 电路参考

使用 MSPI x1/x2/x4 配置模式对高云半导体 FPGA 产品进行配置的连接示意图如图 4-2~图 4-4 所示。

图 4-2 MSPIx1 配置模式连接示意图

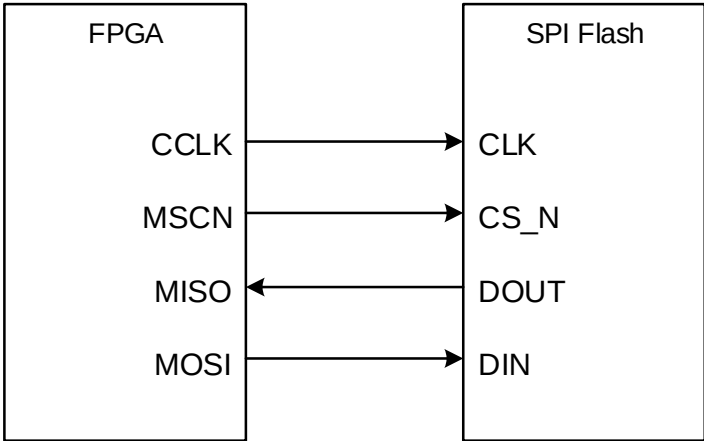


图 4-3 MSPIx2 配置模式连接示意图

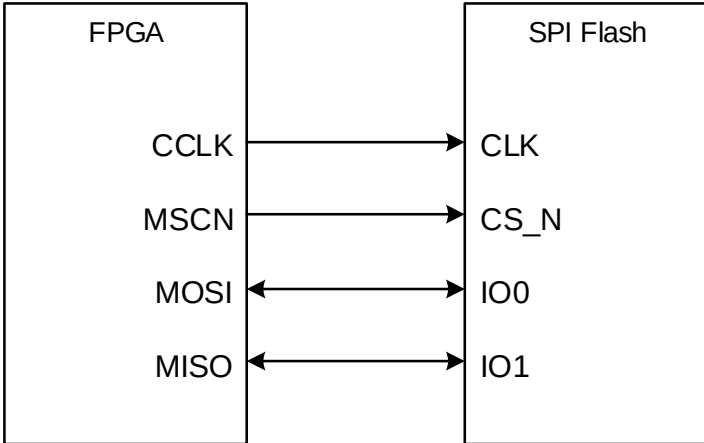
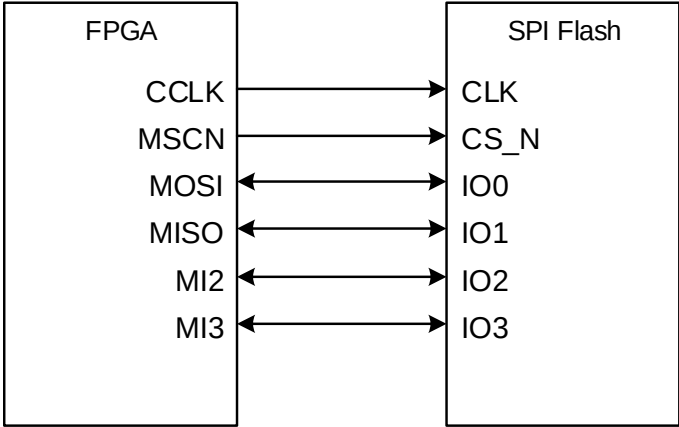


图 4-4 MSPIx4 配置模式连接示意图



4.3 SSPI

4.3.1 概述

SSPI（Slave SPI）配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对高云半导体 FPGA 产品进行配置的过程。

4.3.2 信号定义

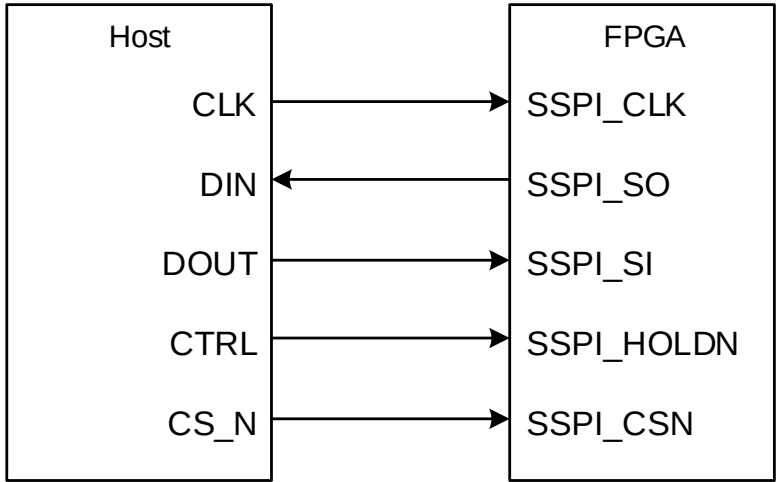
表 4-3 SSPI 配置模式的信号定义

名称	I/O 方向	说明
SSPI_HOLDN	I，内部弱下拉	作为配置管脚时，类型为输入，内部弱上拉。 SSPI 时钟锁定管脚： ● 当输入高电平时，SCLK 对应的操作有效； ● 当输入低电平时，SCLK 对应的操作无效。 作为 GPIO 时，可用作 input 或 output 类型。
SSPI_CSN	I，内部弱上拉	作为配置管脚时，类型为输入，内部弱上拉。 SSPI 配置模式的片选信号，低电平有效。作为 GPIO 时，可用作 input 或 output 类型。
SSPI_CLK	I/O，内部弱上拉	作为配置管脚时，类型为输入。 SSPI 配置模式的时钟输入管脚。作为 GPIO 时，可用作 input 或 output 类型。
SI	I，内部弱上拉	作为配置管脚时，类型为输入。SSPI 配置模式的串行数据输入管脚。作为 GPIO 时，可用作 input 或 output 类型。
SO	O，内部弱上拉	作为配置管脚时，类型为输出。SSPI 配置模式的串行数据输出管脚。作为 GPIO 时，可用作 input 或 output 类型。
SSPI_WPN	I， MODE[1:0]：内部弱上拉 MODE[2:0]：None	作为配置管脚时，类型为输入。 SSPI 写保护管脚：当输入高电平时，SSPI 对应的操作有效；当输入低电平时，SSPI 对应的操作无效。 作为 GPIO 时，可用作 input 或 output 类型。

4.3.3 电路参考

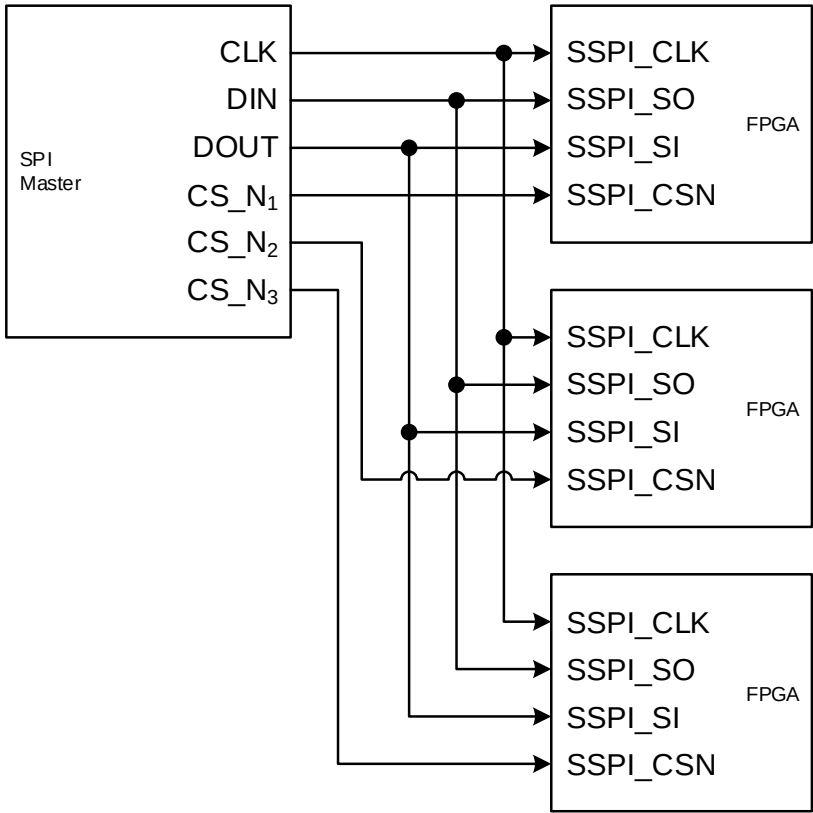
使用 SSPI 配置模式对高云半导体 FPGA 产品配置的连接示意图如图 4-5 所示。

图 4-5 SSPI 配置模式连接示意图



使用 SSPI 配置模式对多片 FPGA 产品配置的连接示意图如图 4-6 所示。

图 4-6 多 FPGA 连线示意图



4.4 CPU

4.4.1 概述

CPU 模式分为 Master CPU，Slave CPU。

Master CPU 配置模式，即 FPGA 作为主器件，通过 DBUS 接口从外部读取配置数据进行配置。

Slave CPU 配置模式，外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置。

4.4.2 信号定义

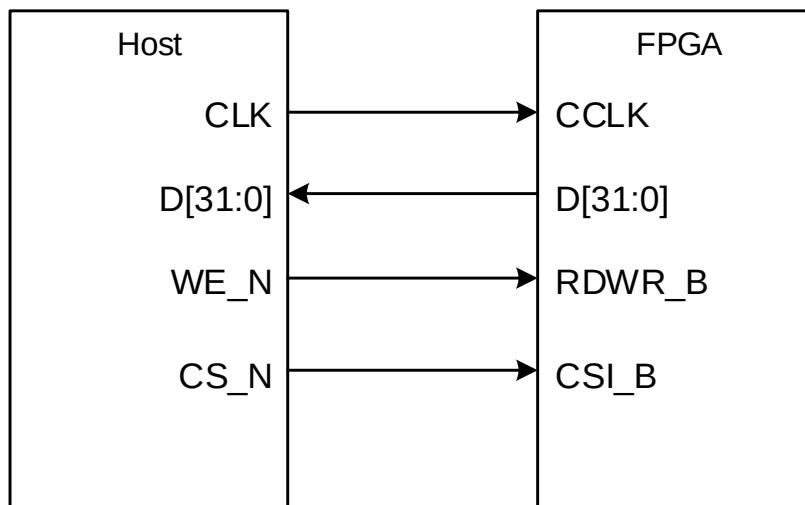
表 4-4 CPU 配置模式的信号定义

名称	I/O 方向	说明
D00~D31	-	Input/output 类型管脚。对于 CPU 模式，作为数据输入输出管脚。器件会自适应检测配置模式为 x8、x16 或者 x32 总线宽度。 作为 GPIO 时，可用作 input 或 output 类型。
DIN	I，内部弱上拉	对于 CPU 模式：DIN 引脚是多功能管脚，用作 D01 数据管脚。作为 GPIO 时，可用作 input 或 output 类型。
CSI_B	I，内部弱上拉	作为配置管脚时，类型为输入。CPU 模式下的片选输入信号，低电平有效。 - 对于主 CPU 模式：直接或通过一个 1 kΩ（或更大）的电阻连接到 GND。 - 对于从 CPU 模式：外部配置控制器可以控制 CSI_B 选择总线上待配置的器件，或在菊花链配置中连接到上游 FPGA 的 CSO_B 管脚。
RDWR_B	I，内部弱下拉	作为配置管脚时，类型为输入。 CPU 配置模式的读写使能信号选择管脚： - 当 RDWR_B 为高电平时表示读操作； - 当 RDWR_B 为低电平时表示写操作。 作为 GPIO 时，可用作 input 或 output 类型。
CCLK	I/O，内部弱上拉	配置时钟管脚，用于除 JTAG 模式以外其他配置模式下的同步时钟。 - 对于从模式：CCLK 作为输入，需要连接外部时钟源。 - 对于主模式：CCLK 作为输出，作为配置源时钟。 注！ CCLK 为关键时钟信号，需确保良好的信号完整性。
CSO_B	O，内部弱上拉	作为配置管脚时，类型为输出。CPU 模式下的片选输出信号，在菊花链配置中连接到下游 FPGA 的 CSI_B 管脚

4.4.3 电路参考

CPU 配置模式的连接示意图如图 4-7 所示。

图 4-7 CPU 配置模式连接示意图



注！

主模式下 CCLK 为输出，从模式下 CCLK 为输入。

除满足上电要求外，使用 CPU 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- CPU 接口使能
上电后初次配置或前一次配置时 RECONFIG_N 未设置为普通 I/O 状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

4.5 SERIAL

4.5.1 概述

SERIAL 配置模式，Host 通过串行接口对高云半导体 FPGA 产品进行配置；SERIAL 配置模式是使用管脚数量最少的配置模式之一，同时支持主模式和从模式，主从模式的唯一区别是接口时钟的方向不同；SERIAL 配置模式只能将比特流数据写入 FPGA，无法从 FPGA 器件回读数据，因此，SERIAL 配置模式无法读取 ID CODE 和 USER CODE 以及状态寄存器信息。

4.5.2 信号定义

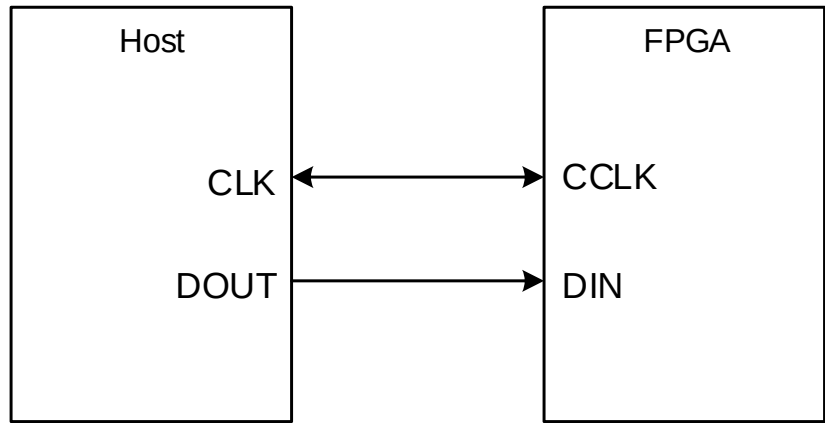
表 4-5 SERIAL 配置模式信号定义

名称	I/O 方向	说明
DIN	I, 内部弱上拉	作为配置管脚时，类型为输入。DIN 是串行数据输入管脚。 ● 对于 SERIAL 和 MSPI 模式：DIN 从数据源接收串行数据，默认配置下在 CCLK 上升沿采集数据。 ● 对于 CPU 模式：DIN 引脚是多功能管脚，用作 D01 数据管脚。作为 GPIO 时，可用作 input 或 output 类型。
CCLK	I/O, 内部弱上拉	配置时钟管脚，用于除 JTAG 模式以外其他配置模式下的同步时钟。 ● 对于从模式：CCLK 作为输入，需要连接外部时钟源。 ● 对于主模式：CCLK 作为输出，作为配置源时钟。 注！ CCLK 为关键时钟信号，需确保良好的信号完整性。

4.5.3 电路参考

SERIAL 配置模式的连接示意图如图 4-8 所示。

图 4-8 SERIAL 配置模式连接示意图



注！
主模式下 CCLK 为输出，从模式下 CCLK 为输入。

5 时钟管脚

5.1 概述

GW5ART 系列 FPGA 产品提供了专用全局时钟网络 (GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、高速时钟 (HCLK) 和 DDR 存储器接口数据脉冲时钟 (DQS) 等时钟资源。

关于全局时钟、高速时钟、锁相环及 DDR 存储器接口数据脉冲时钟 (DQS) 等更多详细信息请参考：

- [UG306, Arora V 系列时钟资源 \(Clock\) 用户指南](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

全局时钟 GCLK: GCLK 在 GW5ART 系列 FPGA 产品中按时钟域分布，分为 8 时钟域，每个时钟域可以提供 16 个 GCLK 网络。GCLK 的时钟源来自专用时钟管脚、PLL 的输出、HCLK 的输出以及普通绕线资源，使用专用的时钟输入管脚具有更好的时钟性能。

高速时钟 HCLK: GW5ART 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。

锁相环 PLL: GW5ART 系列 FPGA 产品的 PLL 模块通过配置不同的参数可以进行时钟的频率调整 (倍频和分频)、相位调整、占空比调整等功能。

DDR 存储器接口时钟 DQS。

配置信号时钟 CCLK: 用于除 JTAG 模式外其他配置模式的同步时钟。

外部时钟输入 EMCCLK: FPGA 可以选择切换到 EMCCLK 作为配置时钟源，而不是内部振荡器。

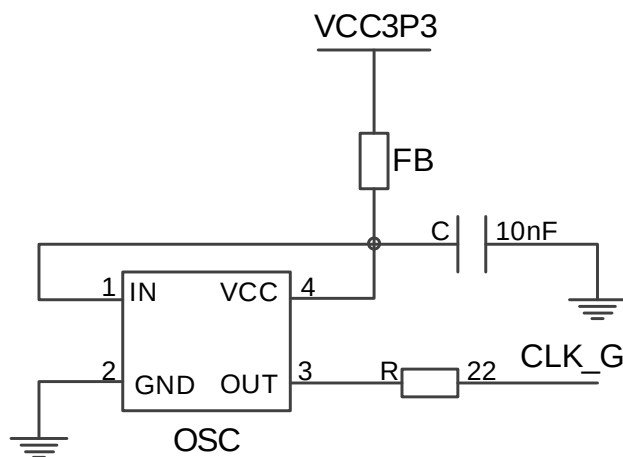
表 5-1 时钟概述

名称	I/O	概述
SGCLKT_[x]	I	专用时钟输入管脚，驱动同时钟域，T (True)，[x]是时钟序号
SGCLKC_[x]	I	SGCLKT_[x]的差分对比输入管脚，C (Comp)，[x]是时钟序号
MGCLKT_[x]	I	专用时钟输入管脚，驱动多时钟域，T (True)，[x]是时钟序号
MGCLKC_[x]	I	MGCLKT_[x]的差分对比输入管脚，C (Comp)，[x]是时钟序号
LPLL_C_fb/ RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚，C (Comp)
LPLL_T_fb/ RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚，T (True)
LPLL_C_in/ RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，C (Comp)
LPLL_C_in/ RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，T (True)
EMCCLK	I，内部弱上拉	用于配置主模式下可选的外部时钟输入源（相对于内部配置振荡器） ● 对于主模式：FPGA 可以选择切换到 EMCCLK 为时钟源，而不是内部振荡器 ● 对于从模式：EMCCLK 对从模式没有关联
CCLK	I/O，内部弱上拉	配置时钟管脚，用于除 JTAG 模式以外其他配置模式下的同步时钟。 ● 对于主模式：CCLK 作为输出，作为配置源时钟 ● 对于从模式：CCLK 作为输入，需要连接外部时钟源 注！ CCLK 为关键时钟信号，需确保良好的信号完整性
TCK	I，内部弱上拉	JTAG 模式：串行时钟输入

5.2 原理图设计注意事项

1. 系统时钟管脚选择：**GCLK** 直接连接到器件的所有资源，单端输入时建议从 **GCLK_T** 端输入。如果外部时钟作为 **PLL** 时钟输入，建议从专用 **PLL** 管脚输入，单端输入时建议从 **PLL_T** 端输入。
2. FPGA 外接晶振电路如图 5-1 所示。

图 5-1 FPGA 外接晶振电路



其中 **FB** 为磁珠，参考型号 **MH2029-221Y**；电阻精度不低于 $\pm 5\%$ ；电容精度不低于 $\pm 10\%$ 。

6 差分管脚

1. 概述

差分传输是一种信号传输的技术，区别于传统的一根信号线一根地线的做法，差分传输在这两根线上都传输信号，这两个信号的振幅相等，相位相同，极性相反。

2. LVDS

LVDS 即低电压差分信号，采用极低的电压摆幅高速差动传输数据，具有低功耗、低误码率、低串扰和低辐射等特点，不同封装的差分信号不同，具体信息请参考各个封装 Pinout 手册的 True LVDS。

3. 原理图设计注意事项

GW5ART 系列 FPGA 产品所有 Bank 均支持真差分输入。

差分输入可以使用内部差分端接电阻，也可以外接 $100\ \Omega$ 端接电阻，端接电阻尽量靠近输入管脚放置，差分线阻抗 $100\ \Omega \pm 10\%$ 。

当需要使用内部差分端接电阻时，VCCX 必须大于等于 3V；

VCCX=1.8V 时，IO 输入输出的 Fmax 会受到限制，对于 >600Mbps 的输入输出应用，VCCX 需要大于等于 2.5V。

7 管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源等。

GW5ART 系列 FPGA 产品 Bank 所有分区都支持 TLVDS 输出，请参考 GW5ART 系列 FPGA 产品 Pinout 手册确保相应的管脚支持 TLVDS 输出。

为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CCIO}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

关于 DDR 相关管脚分配请参考 [TN662，基于高云半导体 FPGA 的 DDR2 & DDR3 硬件设计参考手册](#)。

注！

J12、H13、G13、F13、E13、D13、C13、D14、C14、J13、J14、F14、E14、H14、G14 这些管脚已经被 PSRAM 占用，用户设计 PCB 时不得用于其他连接，需要悬空。

