

日期	版本	说明
2024/7/5	1.0	初始版本，支持MG132P封装。
2024/8/16	1.0.1	优化Pin List页内部PSRAM管脚和内部Flash管脚信息。

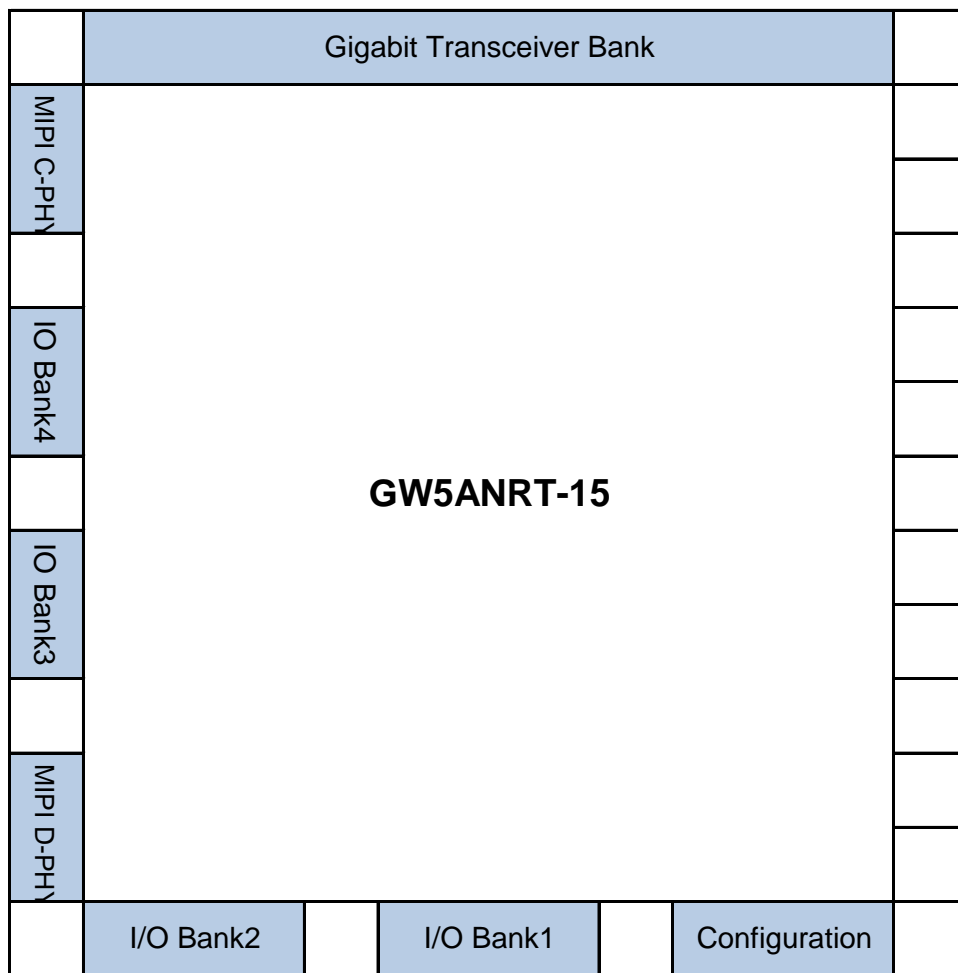
管脚名称	方向	说明
<b>用户I/O管脚</b>		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
<b>多功能管脚</b>		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D00~D07	I/O，内部弱上拉	CPU模式：数据输入输出端口D00~D07
D08~D15	I	CPU模式：数据输入端口D08~D15
MI0	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MI1	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MI2	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit2的输入管脚，分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚
MI3	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit3的输入管脚，分别连接外部Flash器件的DQ3/HOLD#/IO3管脚
MOSI	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MISO	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MCS_N	O， MODE[1:0]：内部弱上拉 MODE[2:0]：None	MSPI模式：使能信号MCS_N，低电平有效
CCLK	I/O，内部弱上拉	配置时钟 Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出
EMCCLK	I，内部弱上拉	外部输入时钟信号 Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联
SDA	I/O，内部弱上拉	I2C串行数据线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SCL	I， MODE[1:0]：None MODE[2:0]：内部弱上拉	I2C串行时钟线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SO	O，内部弱上拉	SSPI模式下SO

管脚名称	方向	说明
SI	I, 内部弱上拉	SSPI模式下SI
SSI0	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI1	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI2	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSI3	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 低电平有效
SSPI_CLK	I, 内部弱上拉	SSPI/QSSPI配置模式: 时钟输入管脚
SSPI_WPN	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSPI_CS_N	I, 内部弱上拉	SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CSI_B	I, 内部弱上拉	CPU模式: 片选信号低有效 Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller发出, 其他模式CSI_B信号没有关联
CSO_B	O, 内部弱上拉	在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式: 输出下一级器件的配置数据 Master SPI模式: 输出下一级器件的配置数据 CPU模式: 输出下一级器件的片选信号
RDWR_B	I, 内部弱下拉	CPU模式: 数据读写控制信号 RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式: 外部控制器RDWR信号 CPU模式的低8位专用IO在wakeup后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR影响
Q0REF_T_IN	I	SerDes Q0的参考时钟通道差分输入管脚, T(True)
Q0REF_C_IN	I	SerDes Q0的参考时钟通道差分输入管脚, C(Comp)
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]是时钟序号
DOUT	O	SERIAL模式: 数据输出
DIN	I, 内部弱上拉	SERIAL模式: 数据输入
TMS	I, 内部弱上拉	JTAG模式: 串行模式输入
TCK	I, 内部弱上拉	JTAG模式: 串行时钟输入
TDO	O, 内部弱上拉	JTAG模式: 串行数据输出
TDI	I, 内部弱上拉	JTAG模式: 串行数据输入

管脚名称	方向	说明
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号, 低电平有效
DONE <sup>[1]</sup>	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平
READY <sup>[1]</sup>	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
LPLL_C_FB/BPLL_C_FB	I	左边/下边PLL反馈输入管脚, C(Comp)
LPLL_T_FB/BPLL_T_FB	I	左边/下边PLL反馈输入管脚, T(True)
LPLL_C_IN/BPLL_C_IN	I	左边/下边PLL时钟输入管脚, C(Comp)
LPLL_T_IN/BPLL_T_IN	I	左边/下边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
<b>其他管脚</b>		
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
VCC_LDO	NA	为PLL, SRAM提供电压的内部LDO模块的电源电压管脚
V_EFUSE	NA	eFuse写操作供电电压管脚
VDDA_Q*	NA	SerDes模块QUAD*内部模拟电路供电电压管脚
VDDD_Q*	NA	SerDes模块QUAD*内部数字电路供电电压管脚
VDDT_Q*	NA	SerDes模块QUAD* TX发送端供电电压管脚
VDDHA_Q*	NA	SerDes模块QUAD*内部高压供电电压管脚
VDD12_MIPI	NA	MIPI模块LP模式供电电压管脚
VDDA_MIPI	NA	MIPI模块内部模拟电路供电电压管脚
VDDD_MIPI	NA	MIPI模块内部数字电路供电电压管脚
VDDX_MIPI	NA	MIPI模块辅助供电电压管脚
NC	NA	预留未使用
Q0_LN0_RXM_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_RXP_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_TXM_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚

管脚名称	方向	说明
Q0_LN0_TXP_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚
Q0_LN1_RXM_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚
Q0_LN1_RXP_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚
Q0_LN1_TXM_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN1_TXP_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN2_RXM_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_RXP_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_TXM_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN2_TXP_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN3_RXM_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_RXP_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_TXM_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q0_LN3_TXP_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q0_REFCLKM_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKP_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKM_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
Q0_REFCLKP_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
M0_CKN	DIO	MIPI_DPHY的时钟通道差分管脚
M0_CKP	DIO	MIPI_DPHY的时钟通道差分管脚
M0_D0N	DIO	MIPI_DPHY的数据通道0差分管脚
M0_D0P	DIO	MIPI_DPHY的数据通道0差分管脚
M0_D1N	DIO	MIPI_DPHY的数据通道1差分管脚
M0_D1P	DIO	MIPI_DPHY的数据通道1差分管脚
M0_D2N	DIO	MIPI_DPHY的数据通道2差分管脚
M0_D2P	DIO	MIPI_DPHY的数据通道2差分管脚
M0_D3N	DIO	MIPI_DPHY的数据通道3差分管脚
M0_D3P	DIO	MIPI_DPHY的数据通道3差分管脚
M1_D0A	DIO	MIPI_CPHY的数据通道0输入输出A管脚
M1_D0B	DIO	MIPI_CPHY的数据通道0输入输出B管脚
M1_D0C	DIO	MIPI_CPHY的数据通道0输入输出C管脚
M1_D1A	DIO	MIPI_CPHY的数据通道1输入输出A管脚
M1_D1B	DIO	MIPI_CPHY的数据通道1输入输出B管脚
M1_D1C	DIO	MIPI_CPHY的数据通道1输入输出C管脚

管脚名称	方向	说明
M1_D2A	DIO	MIPI_CPHY的数据通道2输入输出A管脚
M1_D2B	DIO	MIPI_CPHY的数据通道2输入输出B管脚
M1_D2C	DIO	MIPI_CPHY的数据通道2输入输出C管脚
注! [1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		



注!

- [1]每个Bank还提供一个独立的参考电压 (VREF)。
- [2]用户可选择使用IOB内置的VREF源 (0.6V、0.75V、0.9V、1.25V、1.5V, 以及基于VCCIO的比例电压 (36%,50%,64%) )。
- [3]用户也可选择外部的VREF输入 (使用Bank中任意一个IO管脚作为外部VREF输入)。

名称	描述	最小值	最大值
<b>FPGA Logic</b>			
V <sub>CC</sub>	核电压, LV	0.87V	1.03V
V <sub>CCIO</sub>	I/O Bank电压	1.14V	3.465V
V <sub>CCX</sub> <sup>[1]</sup>	辅助电压	1.71V	3.465V
V <sub>CC_LDO</sub>	内部SRAM和PLL Regulator电压	1.14V	2.75V
V <sub>EFUSE</sub> <sup>[2]</sup>	eFuse写入所需电压	1.62V	1.98V
<b>Gigabit Transceiver</b>			
V <sub>DDHA_Q*</sub>	QUAD*内部高压供电电压	1.71V	1.89V
V <sub>DDA_Q*</sub>	QUAD*内部模拟电路供电电压	0.87V	1.03V
V <sub>DDT_Q*</sub>	QUAD* TX发送端供电电压	0.87V	1.03V
<b>MIPI</b>			
V <sub>DDA_MIPI</sub>	MIPI模块模拟电路供电电压	0.855V	1V
V <sub>DDX_MIPI</sub>	MIPI模块模拟辅助供电电压	1.71V	3.465V
V <sub>DDD_MIPI</sub>	MIPI模块数字电路供电电压	0.87V	1.03V
V <sub>DD12_MIPI</sub>	MIPI 模块LP模式供电电压	1.14V	1.32V
<b>ADC</b>			
V <sub>CC_ADC</sub>	ADC模块供电电压	1.62V	1.98V
<b>PSRAM</b>			
V <sub>DD_PSRAM</sub>	PSRAM供电电压	1.71V	1.89V
V <sub>DDQ_PSRAM</sub>	PSRAM 数据总线的电源电压	1.71V	1.89V
<b>FLASH</b>			
V <sub>CC_FLASH</sub>	FLASH模块供电电压	1.71V	1.89V
<p><b>注!</b>  <sup>[1]</sup> 当需要使用内部差分端接电阻时, V<sub>ccx</sub>必须大于等于3V; V<sub>ccx</sub>=1.8v时, IO输入输出的F<sub>max</sub>会受到限制, 对于&gt;600Mbps的输入输出应用, V<sub>ccx</sub>需要大于等于2.5V。  <sup>[2]</sup> 当不需要写eFuse的时候, 这个电源可以接GND或floating。                      若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集,同时满足多个电源的需求。</p>			



注！  
<sup>[1]</sup> LV版本。  
<sup>[2]</sup> 内部保留管脚，外部保持不连接。  
<sup>[3]</sup> 内部保留管脚，外部保持不连接。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
IOB11A	I/O	1	bus1	DQ2			none	M8
IOB12A	I/O	1	bus1	DQ2		True_of_I0B12B	True	P14
I0B12B	I/O	1	bus1	DQ2		Comp_of_I0B12A	True	N14
I0B14A/D15	I/O	1	bus1	DQ2	D15	True_of_I0B14B	True	P13
I0B14B/D14	I/O	1	bus1	DQ2	D14	Comp_of_I0B14A	True	N13
I0B16A	I/O	1	bus1	DQ2		True_of_I0B16B	True	N12
I0B16B	I/O	1	bus1	DQ2		Comp_of_I0B16A	True	P12
I0B18A/D13	I/O	1	Unused	DQ2	D13	True_of_I0B18B	True	P10
I0B18B/D12	I/O	1	Unused	DQ2	D12	Comp_of_I0B18A	True	N10
I0B20A	I/O	1	bus1	DQS2		True_of_I0B20B	True	N8
I0B20B	I/O	1	bus1	DQS2		Comp_of_I0B20A	True	P8
I0B22A/GCLKT_3	I/O	1	bus1	DQ2	GCLKT_3	True_of_I0B22B	True	N11
I0B22B/GCLKC_3	I/O	1	bus1	DQ2	GCLKC_3	Comp_of_I0B22A	True	P11
I0B24A/GCLKT_2/BPLL_T_IN0/BPLL_T_FB1	I/O	1	bus1	DQ2	GCLKT_2/BPLL_T_IN0/BPLL_T_FB1	True_of_I0B24B	True	N9
I0B24B/GCLKC_2/BPLL_C_IN0/BPLL_C_FB1	I/O	1	bus1	DQ2	GCLKC_2/BPLL_C_IN0/BPLL_C_FB1	Comp_of_I0B24A	True	P9
I0B31A	PSRAM	1						J12 <sup>[2]</sup>
I0B32A	PSRAM	1						H13 <sup>[2]</sup>
I0B32B	PSRAM	1						G13 <sup>[2]</sup>
I0B34A	PSRAM	1						F13 <sup>[2]</sup>
I0B34B	PSRAM	1						E13 <sup>[2]</sup>
I0B36A	PSRAM	1						D13 <sup>[2]</sup>
I0B36B	PSRAM	1						C13 <sup>[2]</sup>
I0B39A	PSRAM	1						D14 <sup>[2]</sup>
I0B39B	PSRAM	1						C14 <sup>[2]</sup>
I0B3A	Flash	2						K13 <sup>[3]</sup>
I0B3B	Flash	2						K14 <sup>[3]</sup>

注！  
<sup>[1]</sup> LV版本。  
<sup>[2]</sup> 内部保留管脚，外部保持不连接。  
<sup>[3]</sup> 内部保留管脚，外部保持不连接。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
IOB41A	PSRAM	1						J13 <sup>[2]</sup>
IOB41B	PSRAM	1						J14 <sup>[2]</sup>
IOB43A	PSRAM	1						F14 <sup>[2]</sup>
IOB43B	PSRAM	1						E14 <sup>[2]</sup>
IOB45A	PSRAM	1						H14 <sup>[2]</sup>
IOB45B	PSRAM	1						G14 <sup>[2]</sup>
IOB5A	Flash	2						L14 <sup>[3]</sup>
IOB5B	Flash	2						L13 <sup>[3]</sup>
IOB7A	Flash	2						M14 <sup>[3]</sup>
IOB7B	Flash	2						M13 <sup>[3]</sup>
IOB9A/READY	I/O	2	bus1	none	READY		none	M12
IOL20A/TCK	I/O	4	Unused	none	TCK	True_of_IOL20B	True	G2
IOL20B/TMS	I/O	4	Unused	none	TMS	Comp_of_IOL20A	True	G3
IOL22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK	I/O	4	bus0	none	GCLKT_7/Q0REF_T_IN0/SSPI_CLK	True_of_IOL22B	True	H3
IOL22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	I/O	4	bus0	none	GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	Comp_of_IOL22A	True	H2
IOL24A/TDI	I/O	4	bus0	none	TDI	True_of_IOL24B	True	J3
IOL24B/TDO	I/O	4	bus0	none	TDO	Comp_of_IOL24A	True	J2
IOL26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	I/O	4	bus0	none	GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	True_of_IOL26B	True	K3
IOL26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2	I/O	4	bus0	none	GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2	Comp_of_IOL26A	True	K2
IOL29A/DONE	I/O	3	bus0	none	DONE	True_of_IOL29B	True	L3
IOL29B/RECONFIG_N	I/O	3	bus0	none	RECONFIG_N	Comp_of_IOL29A	True	M3
IOL31A/GCLKT_5/MODE1	I/O	3	Unused	none	GCLKT_5/MODE1	True_of_IOL31B	True	N1

注！  
<sup>[1]</sup> LV版本。  
<sup>[2]</sup> 内部保留管脚，外部保持不连接。  
<sup>[3]</sup> 内部保留管脚，外部保持不连接。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
IOL31B/GCLKC_5/MODE0	I/O	3	Unused	none	GCLKC_5/MODE0	Comp_of_IOL31A	True	N2
IOL33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	I/O	3	bus0	none	GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	True_of_IOL33B	True	M2
IOL33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	I/O	3	bus0	none	GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	Comp_of_IOL33A	True	M1
IOL35A/D04/SI/SSI0	I/O	3	bus0	none	D04/SI/SSI0	True_of_IOL35B	True	P2
IOL35B/D05/SSPI_CS_N	I/O	3	bus0	none	D05/SSPI_CS_N	Comp_of_IOL35A	True	P1
M0_CKN	DIO	MIPI	Unused	none			none	P5
M0_CKP	DIO	MIPI	Unused	none			none	N5
M0_D0N	DIO	MIPI	Unused	none			none	P7
M0_D0P	DIO	MIPI	Unused	none			none	N7
M0_D1N	DIO	MIPI	Unused	none			none	P6
M0_D1P	DIO	MIPI	Unused	none			none	N6
M0_D2N	DIO	MIPI	Unused	none			none	P4
M0_D2P	DIO	MIPI	Unused	none			none	N4
M0_D3N	DIO	MIPI	Unused	none			none	P3
M0_D3P	DIO	MIPI	Unused	none			none	N3
M1_D0A	DIO	MIPI	Unused	none			none	F2
M1_D0B	DIO	MIPI	Unused	none			none	F1
M1_D0C	DIO	MIPI	Unused	none			none	G1
M1_D1A	DIO	MIPI	Unused	none			none	L1
M1_D1B	DIO	MIPI	Unused	none			none	K1
M1_D1C	DIO	MIPI	Unused	none			none	J1
M1_D2A	DIO	MIPI	Unused	none			none	C1
M1_D2B	DIO	MIPI	Unused	none			none	D2
M1_D2C	DIO	MIPI	Unused	none			none	D1
Q0_LN0_RXM_I	DIO	Q0	Unused	none			none	A1
Q0_LN0_RXP_I	DIO	Q0	Unused	none			none	A2
Q0_LN0_TXM_O	DIO	Q0	Unused	none			none	C3
Q0_LN0_TXP_O	DIO	Q0	Unused	none			none	B3

注！  
<sup>[1]</sup> LV版本。  
<sup>[2]</sup> 内部保留管脚，外部保持不连接。  
<sup>[3]</sup> 内部保留管脚，外部保持不连接。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
Q0_LN1_RXM_I	DIO	Q0	Unused	none			none	A5
Q0_LN1_RXP_I	DIO	Q0	Unused	none			none	A4
Q0_LN1_TXM_O	DIO	Q0	Unused	none			none	C6
Q0_LN1_TXP_O	DIO	Q0	Unused	none			none	B6
Q0_LN2_RXM_I	DIO	Q0	Unused	none			none	A11
Q0_LN2_RXP_I	DIO	Q0	Unused	none			none	A10
Q0_LN2_TXM_O	DIO	Q0	Unused	none			none	C8
Q0_LN2_TXP_O	DIO	Q0	Unused	none			none	B8
Q0_LN3_RXM_I	DIO	Q0	Unused	none			none	A14
Q0_LN3_RXP_I	DIO	Q0	Unused	none			none	A13
Q0_LN3_TXM_O	DIO	Q0	Unused	none			none	B12
Q0_LN3_TXP_O	DIO	Q0	Unused	none			none	C12
Q0_REFCLKM_0	DIO	Q0	Unused	none			none	A7
Q0_REFCLKM_1	DIO	Q0	Unused	none			none	B10
Q0_REFCLKP_0	DIO	Q0	Unused	none			none	A8
Q0_REFCLKP_1	DIO	Q0	Unused	none			none	C10
VDDA_MIPI	Power		N/A					M5
VDDX_MIPI	Power		N/A					C2
VDDA_MIPI	Power		N/A					E2
VDD12_MIPI	Power		N/A					M7
VDDA_Q0	Power		N/A					A12
VDDA_Q0	Power		N/A					A3
VDDA_Q0	Power		N/A					A9
VDDA_Q0	Power		N/A					A6
VDDHA_Q0	Power		N/A					C11
VDDHA_Q0	Power		N/A					C7
VDDT_Q0	Power		N/A					B4
VCC	Power		N/A					H1
VCC	Power		N/A					C5
VCC	Power		N/A					B2

注！  
 [1] LV版本。  
 [2] 内部保留管脚，外部保持不连接。  
 [3] 内部保留管脚，外部保持不连接。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
VCC	Power		N/A					C9
VCC	Power		N/A					B13
VCC	Power		N/A					E3
VCC	Power		N/A					M10
VCC	Power		N/A					G12
VCC_LDO	Power		N/A					F12
V_EFUSE	Power		N/A					L12
VCCIO3	Power		N/A					M4
VCCIO4	Power		N/A					F3
VDD_PSRAM/VDDQ_PSRAM/VCCIO1	Power		N/A					M9
VDD_PSRAM/VDDQ_PSRAM/VCCIO1	Power		N/A					D12
VCC_FLASH/VCCIO2	Power		N/A					K12
VCCX	Power		N/A					E1
VCCX	Power		N/A					H12
VCCX	Power		N/A					C4
VSS	Ground		N/A					B1
VSS	Ground		N/A					B5
VSS	Ground		N/A					B7
VSS	Ground		N/A					B9
VSS	Ground		N/A					B11
VSS	Ground		N/A					B14
VSS	Ground		N/A					D3
VSS	Ground		N/A					E12
VSS	Ground		N/A					L2
VSS	Ground		N/A					M6
VSS	Ground		N/A					M11

注! [1] LV版本。								
管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
<b>BANK4 True LVDS Pair</b>								
IOL20A/TCK	I/O	4	Unused	none	TCK	True_of_IOL20B	True	G2
IOL20B/TMS	I/O	4	Unused	none	TMS	Comp_of_IOL20A	True	G3
IOL22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK	I/O	4	bus0	none	GCLKT_7/Q0REF_T_IN0/SSPI_CLK	True_of_IOL22B	True	H3
IOL22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	I/O	4	bus0	none	GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	Comp_of_IOL22A	True	H2
IOL24A/TDI	I/O	4	bus0	none	TDI	True_of_IOL24B	True	J3
IOL24B/TDO	I/O	4	bus0	none	TDO	Comp_of_IOL24A	True	J2
IOL26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SI3	I/O	4	bus0	none	GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SI3	True_of_IOL26B	True	K3
IOL26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SI2	I/O	4	bus0	none	GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SI2	Comp_of_IOL26A	True	K2
<b>BANK3 True LVDS Pair</b>								
IOL29A/DONE	I/O	3	bus0	none	DONE	True_of_IOL29B	True	L3
IOL29B/RECONFIG_N	I/O	3	bus0	none	RECONFIG_N	Comp_of_IOL29A	True	M3
IOL31A/GCLKT_5/MODE1	I/O	3	Unused	none	GCLKT_5/MODE1	True_of_IOL31B	True	N1
IOL31B/GCLKC_5/MODE0	I/O	3	Unused	none	GCLKC_5/MODE0	Comp_of_IOL31A	True	N2
IOL33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	I/O	3	bus0	none	GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	True_of_IOL33B	True	M2
IOL33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	I/O	3	bus0	none	GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	Comp_of_IOL33A	True	M1
IOL35A/D04/SI/SSI0	I/O	3	bus0	none	D04/SI/SSI0	True_of_IOL35B	True	P2
IOL35B/D05/SSPI_CS_N	I/O	3	bus0	none	D05/SSPI_CS_N	Comp_of_IOL35A	True	P1

注！ [1] LV版本。								
管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG132P <sup>[1]</sup>
<b>BANK1 True LVDS Pair</b>								
IOB12A	I/O	1	bus1	DQ2		True_of_IOB12B	True	P14
IOB12B	I/O	1	bus1	DQ2		Comp_of_IOB12A	True	N14
IOB14A/D15	I/O	1	bus1	DQ2	D15	True_of_IOB14B	True	P13
IOB14B/D14	I/O	1	bus1	DQ2	D14	Comp_of_IOB14A	True	N13
IOB16A	I/O	1	bus1	DQ2		True_of_IOB16B	True	N12
IOB16B	I/O	1	bus1	DQ2		Comp_of_IOB16A	True	P12
IOB18A/D13	I/O	1	Unused	DQ2	D13	True_of_IOB18B	True	P10
IOB18B/D12	I/O	1	Unused	DQ2	D12	Comp_of_IOB18A	True	N10
IOB20A	I/O	1	bus1	DQS2		True_of_IOB20B	True	N8
IOB20B	I/O	1	bus1	DQS2		Comp_of_IOB20A	True	P8
IOB22A/GCLKT_3	I/O	1	bus1	DQ2	GCLKT_3	True_of_IOB22B	True	N11
IOB22B/GCLKC_3	I/O	1	bus1	DQ2	GCLKC_3	Comp_of_IOB22A	True	P11
IOB24A/GCLKT_2/BPLL_T_IN0/BPLL_T_FB1	I/O	1	bus1	DQ2	GCLKT_2/BPLL_T_IN0/BPLL_T_FB1	True_of_IOB24B	True	N9
IOB24B/GCLKC_2/BPLL_C_IN0/BPLL_C_FB1	I/O	1	bus1	DQ2	GCLKC_2/BPLL_C_IN0/BPLL_C_FB1	Comp_of_IOB24A	True	P9