



Gowin Hardened MIPI C-PHY 用户指南

UG1451-1.0,2025-02-27

版权所有© 2025 广东高云半导体科技股份有限公司

GOWIN高云、、云源、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/02/27	1.0	初始版本。

目录

目录 i

图目录..... ii

表目录..... iii

1 关于本手册 1

 1.1 手册内容 1

 1.2 相关文档..... 1

 1.3 术语、缩略语 1

 1.4 技术支持与反馈..... 2

2 概述..... 5

 2.1 MIPI C-PHY 介绍 5

 2.2 MIPI C-PHY 特性 5

 2.3 MIPI C-PHY RX 功能描述 6

 2.4 MIPI C-PHY TX 功能描述 6

3 MIPI C-PHY IP 调用..... 8

 3.1 MIPI C-PHY IP RX 配置说明 8

 3.2 MIPI C-PHY IP RX 端口介绍 10

 3.3 MIPI C-PHY RX 典型时序 12

 3.4 MIPI C-PHY IP TX 配置说明 13

 3.5 MIPI C-PHY IP TX 端口介绍 15

 3.6 MIPI C-PHY TX 典型时序 18

图目录

图 2-1 MIPI C-PHY RX 6

图 2-2 MIPI C-PHY TX 6

图 3-1 MIPI C-PHY 配置界面（RX） 8

图 3-2 MIPI C-PHY RX 典型时序 12

图 3-3 MIPI C-PHY 配置界面（TX） 13

图 3-4 MIPI C-PHY TX 典型时序 18

表目录

表 1-1 术语、缩略语 1

表 3-1 C-PHY RX 端口介绍 10

表 3-2 C-PHY TX 端口介绍 15

1 关于本手册

1.1 手册内容

Gowin Hardened MIPI C-PHY 用户指南主要包括功能特点、端口描述、时序说明、配置调用等。主要用于帮助用户快速了解 Gowin Hardened MIPI C-PHY 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
RAM	Random Access Memory	随机存取存储器
HS	High Speed	高速
LP	Low Power	低功耗

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址： www.gowinsemi.com

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin Hardened MIPI C-PHY 符合 MIPI C-PHY V1.2 标准。文档中主要包含 MIPI C-PHY 的设计特性、功能以及端口描述、配置调用等。

2.1 MIPI C-PHY 介绍

MIPI C-PHY 是一种高效的数据传输高速串行接口协议，专为短距离通信设计。它采用独特的三相符号编码方案，以最大化数据传输效率。这种编码方式不仅确保了数据传输的可靠性，还保持了对多种硬件设计的兼容性。

MIPI C-PHY 广泛应用于移动设备、汽车以及其他嵌入式系统中，用于高速数据通信。典型应用包括摄像头接口、显示面板和传感器模块。

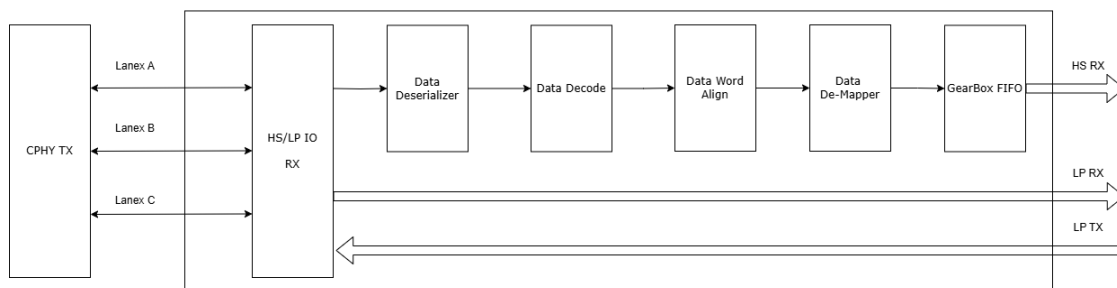
2.2 MIPI C-PHY 特性

- **Compliance:** 符合 MIPI C-PHY V1.2 规范。
 - **Core Structure:** 包括一个 C-PHY 硬核，支持三通道，每个通道由一个三合组（trios）组成。
 - **High-Speed Termination:** 提供 $100\ \Omega \pm 10\%$ 的差分阻抗，用于高速接收端（RX）的端接控制。
 - 支持 RX/TX Combo-PHY，用户可根据需要配置为 RX 或 TX。
- **Low-Power Modes:** 支持 MIPI 的 LP-TX/RX 信号，包括仅接收（RX-only）和仅发送（TX-only）配置
- **High-Speed Signaling:**
 - HS-RX/TX 通道信号支持 800-2500 Msps 的数据速率。
 - LP-TX/RX 通道信号支持最高 10 Mbps 的数据速率。
- **Linear Equalization:** Provides a maximum delta peaking of $> 8\ \text{dB}$ @ 1.25 GHz.
- **Data Width:** TX 与 RX 均支持 21-bit 与 42-bit 的未映射数据位宽，同时支持 16-bit 与 32-bit 的映射数据位宽。

2.3 MIPI C-PHY RX 功能描述

MIPI C-PHY RX 主要包含 HS/LP IO，包括串并转换，数据解码，字对齐，数据映射，接收数据 FIFO 等功能模块，结构功能如图 2-1 所示。

图 2-1 MIPI C-PHY RX



HS/LP I/O

支持 ODT 动态切换，支持 LP TX/RX，HS RX 动态切换

Data Deserializer

Deserializer 用于将串行信号转为并行 wire-state 数据

Data Decoder

Decoder 用于将 wire-state 数据转换 symbol 数据

Data Word Aligner

Word aligner 用于检测 sync word，用于数据边界检测

Data De-mapper

De-mapper 用于将 symbol 数据转换为有效数据

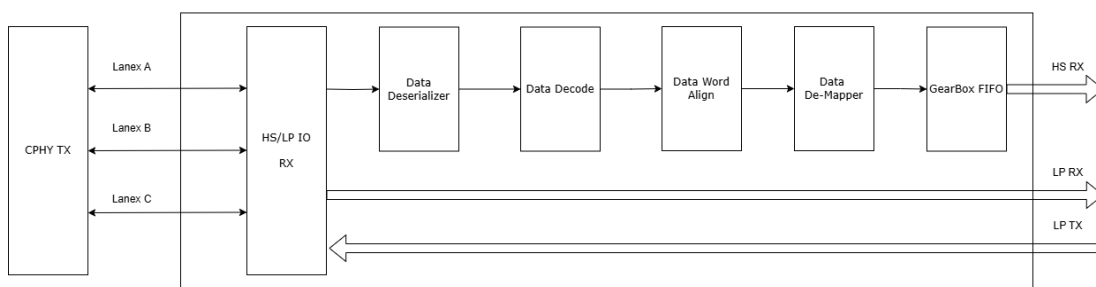
RX GearBox FIFO

GearBox FIFO 主要被用于 RX 异步跨时钟域和速率转化

2.4 MIPI C-PHY TX 功能描述

MIPI C-PHY TX 主要包含 HS/LP IO，并串转换，数据编码，数据映射，数据缓存等功能模块，结构功能如图 2-2 所示。

图 2-2 MIPI C-PHY TX



HS/LP I/O

- 支持最多 3 条数据通路的数据发送，三条通路可以分别使能和关闭
- 支持 LP TX/RX，HS TX 动态切换

GearBox FIFO

GearBox FIFO 主要被用于 TX 异步跨时钟域和速率转化

Data Mapper

Mapper 主要用于将有效数据转换为 symbol 数据

Data Encode

Encoder 用于将 symbol 数据转换为 3-wire-state

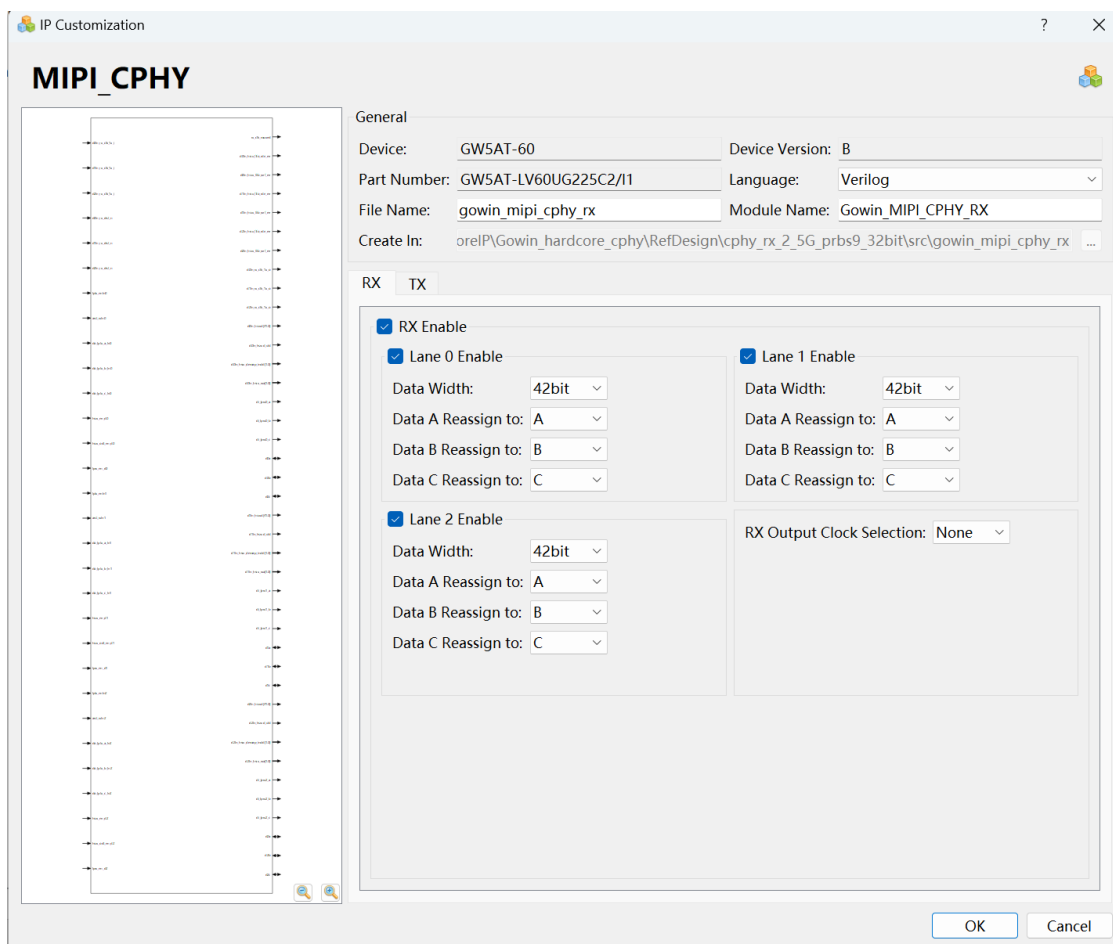
Data Serializer

Serializer 用于将并行的 wire-state 转为串行 wire-state 输出

3 MIPI C-PHY IP 调用

3.1 MIPI C-PHY IP RX 配置说明

图 3-1 MIPI C-PHY 配置界面 (RX)



1. General 配置框

General 配置框用于配置产生的 IP 设计文件的相关信息。

- Device: 显示已配置的 Device 信息;

- **Device Version:** 显示已配置的 Device 版本信息;
- **Part Number:** 显示已配置的 Part Number 信息;
- **Language:** 配置产生的 IP 设计文件的硬件描述语言。选择右侧下拉列表框, 选择目标语言, 支持 Verilog 和 VHDL;
- **Module Name:** 配置产生的 IP 设计文件的 Module name。在右侧文本框可重新编辑模块名称。Module Name 不能与原语名称相同, 若相同, 则报出 Error 提示;
- **File Name:** 配置产生的 IP 设计文件的文件名。在右侧文本框可重新编辑文件名称;
- **Create In:** 配置产生的 IP 设计文件的目标路径。可在右侧文本框中重新编辑目标路径, 也可通过文本框右侧选择按钮选择目标路径。

2. RX 配置页

- **RX_ENABLE:** 选择 MIPI C-PHY RX, 使能 RX 配置;
- **Lane 0 Enable:** 启用或禁用 data lane 0;
- **Lane 0 Data Width:** 21bit 或 42bit;
- **Lane 0 Data A Reassign to:** A/B/C, 默认 A;
- **Lane 0 Data B Reassign to:** A/B/C, 默认 B;
- **Lane 0 Data C Reassign to:** A/B/C, 默认 C;
- **Lane 1 Enable:** 启用或禁用 data lane 1;
- **Lane 1 Data Width:** 21bit 或 42bit;
- **Lane 1 Data A Reassign to:** A/B/C, 默认 A;
- **Lane 1 Data B Reassign to:** A/B/C, 默认 B;
- **Lane 1 Data C Reassign to:** A/B/C, 默认 C;
- **Lane 2 Enable:** 启用或禁用 data lane 2;
- **Lane 2 Data Width:** 21bit 或 42bit;
- **Lane 2 Data A Reassign to:** A/B/C, 默认 A;
- **Lane 2 Data B Reassign to:** A/B/C, 默认 B;
- **Lane 2 Data C Reassign to:** A/B/C, 默认 C;
- **Lane 3 Enable:** 启用或禁用 data lane 3。
- **Lane 3 Data Width:** 21bit 或 42bit;
- **Lane 3 Data A Reassign to:** A/B/C, 默认 A;
- **Lane 3 Data B Reassign to:** A/B/C, 默认 B;
- **Lane 3 Data C Reassign to:** A/B/C, 默认 C;

3. RX Output Clock Selection: None/Lane0/Lane1/Lane3

- RX 时钟选择，选择不输出 RX 时钟或选择某一 Lane 的恢复时钟作为 RX 时钟输出；

3.2 MIPI C-PHY IP RX 端口介绍

表 3-1 C-PHY RX 端口介绍

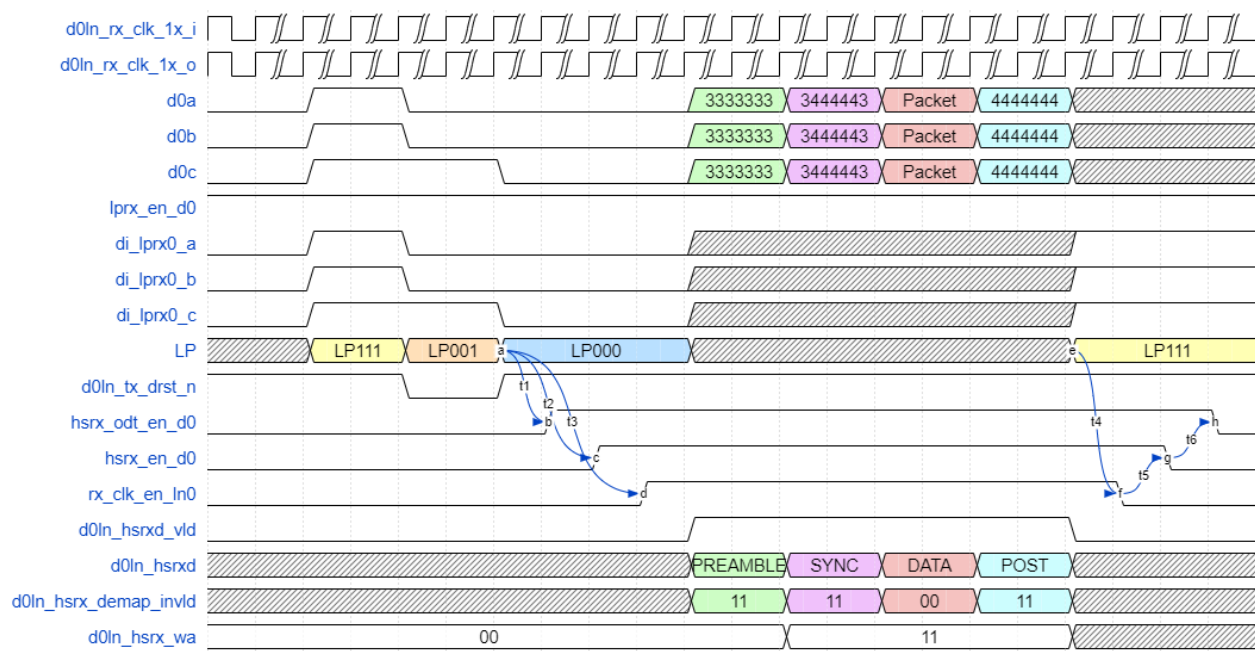
端口	I/O	描述
d0In_hsrxd	Output	Output data for lane 0. Refer to the bit map figure. [41:0].
d1In_hsrxd	Output	Output data for lane 1. Refer to the bit map figure. [41:0].
d2In_hsrxd	Output	Output data for lane 2. Refer to the bit map figure. [41:0].
d0In_hsrxd_vld	Output	Data valid signal for lane 0. Preamble data is output as valid.
d1In_hsrxd_vld	Output	Data valid signal for lane 1. Preamble data is output as valid.
d2In_hsrxd_vld	Output	Data valid signal for lane 2. Preamble data is output as valid.
d0In_hsrxd_demap_invld	Output	Not de-mapped data indication for lane 0. [1:0] -> [41:21, 20:0].
d1In_hsrxd_demap_invld	Output	Not de-mapped data indication for lane 1. [1:0] -> [41:21, 20:0].
d2In_hsrxd_demap_invld	Output	Not de-mapped data indication for lane 2. [1:0] -> [41:21, 20:0].
d0In_hsrxd_fifo_rde_err	Output	FIFO read empty error indication for lane 0.
d1In_hsrxd_fifo_rde_err	Output	FIFO read empty error indication for lane 1.
d2In_hsrxd_fifo_rde_err	Output	FIFO read empty error indication for lane 2.
d0In_hsrxd_fifo_wrf_err	Output	FIFO write full error indication for lane 0.
d1In_hsrxd_fifo_wrf_err	Output	FIFO write full error indication for lane 1.
d2In_hsrxd_fifo_wrf_err	Output	FIFO write full error indication for lane 2.
d0In_hsrxd_wa	Output	Packet data alignment indication for lane 0.
d1In_hsrxd_wa	Output	Packet data alignment indication for lane 1.
d2In_hsrxd_wa	Output	Packet data alignment indication for lane 2.
d0In_rx_clk_1x_o	Output	RX output 1x clock for lane 0.
d1In_rx_clk_1x_o	Output	RX output 1x clock for lane 1.
d2In_rx_clk_1x_o	Output	RX output 1x clock for lane 2.

端口	I/O	描述
rx_clk_muxed	Output	RX output 1x clock. Selected by RX_OUTCLK_SEL.
di_lprx0_a	Output	Lane 0 received LP-RX true data_a.
di_lprx0_b	Output	Lane 0 received LP-RX true data_b.
di_lprx0_c	Output	Lane 0 received LP-RX true data_c.
di_lprx1_a	Output	Lane 1 received LP-RX true data_a.
di_lprx1_b	Output	Lane 1 received LP-RX true data_b.
di_lprx1_c	Output	Lane 1 received LP-RX true data_c.
di_lprx2_a	Output	Lane 2 received LP-RX true data_a.
di_lprx2_b	Output	Lane 2 received LP-RX true data_b.
di_lprx2_c	Output	Lane 2 received LP-RX true data_c.
d0a	Inout	Data Lane 0 port a Input/Output.
d0b	Inout	Data Lane 0 port b Input/Output.
d0c	Inout	Data Lane 0 port c Input/Output.
d1a	Inout	Data Lane 1 port a Input/Output.
d1b	Inout	Data Lane 1 port b Input/Output.
d1c	Inout	Data Lane 1 port c Input/Output.
d2a	Inout	Data Lane 2 port a Input/Output.
d2b	Inout	Data Lane 2 port b Input/Output.
d2c	Inout	Data Lane 2 port c Input/Output.
d0ln_rx_clk_1x_i	Inputs	RX 1x clock from fabric for lane 0.
d1ln_rx_clk_1x_i	Input	RX 1x clock from fabric for lane 1.
d2ln_rx_clk_1x_i	Input	RX 1x clock from fabric for lane 2.
d0ln_rx_drst_n	Input	RX digital reset (active low) for lane 0.
d1ln_rx_drst_n	Input	RX digital reset (active low) for lane 1.
d2ln_rx_drst_n	Input	RX digital reset (active low) for lane 2.
lptx_enln0	Input	LP-TX enable for lane 0.
lptx_enln1	Input	LP-TX enable for lane 1.
lptx_enln2	Input	LP-TX enable for lane 2.
arst_rxln0	Input	Analog MIPI RX reset for lane 0. Active high.
arst_rxln1	Input	Analog MIPI RX reset for lane 1. Active high.
arst_rxln2	Input	Analog MIPI RX reset for lane 2. Active high.
do_lptx_a_ln0	Input	LP-TX line-a data for lane 0.
do_lptx_a_ln1	Input	LP-TX line-a data for lane 1.

端口	I/O	描述
do_lptx_a_ln2	Input	LP-TX line-a data for lane 2.
do_lptx_b_ln0	Input	LP-TX line-b data for lane 0.
do_lptx_b_ln1	Input	LP-TX line-b data for lane 1.
do_lptx_b_ln2	Input	LP-TX line-b data for lane 2.

3.3 MIPI C-PHY RX 典型时序

图 3-2 MIPI C-PHY RX 典型时序

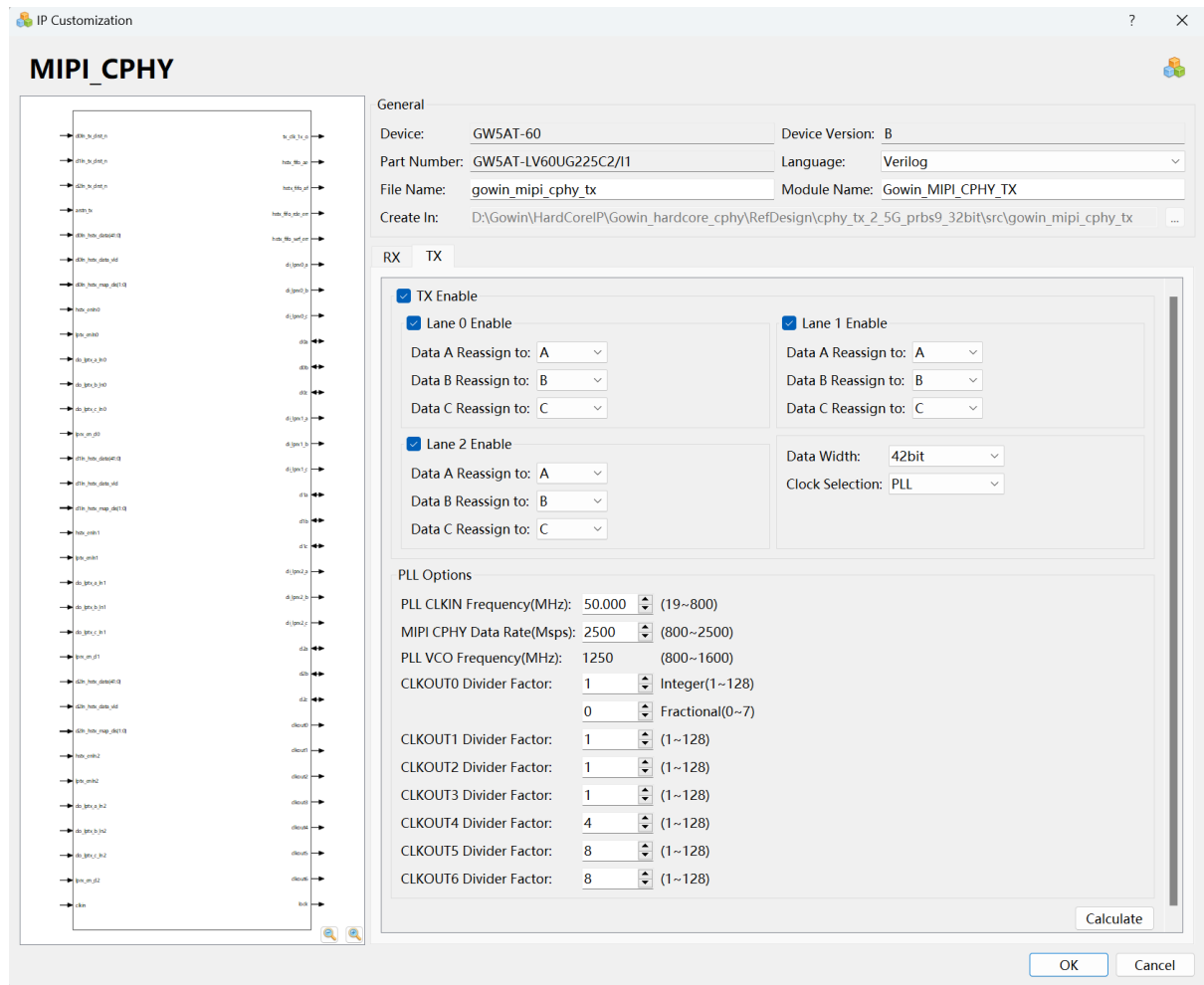


时序需要满足

1. $t1 \leq 38\text{ns}(t3 - \text{term} - \text{en})$
2. $t2 > t1$ 同时 $t2 \leq 38\text{ns}(t3 - \text{term} - \text{en})$
3. $t3 > t2$ 同时 $t3 > t3\text{-prepare}(38\text{ns} \sim 95\text{ns}) + 6\text{UI}$
4. $t4 > 0$, $t5 > 0$, $t6 > 0$

3.4 MIPI C-PHY IP TX 配置说明

图 3-3 MIPI C-PHY 配置界面 (TX)



1. General 配置框

General 配置框用于配置产生的 IP 设计文件的相关信息。

- **Device:** 显示已配置的 Device 信息;
- **Device Version:** 显示已配置的 Device 版本信息;
- **Part Number:** 显示已配置的 Part Number 信息;
- **Language:** 配置产生的 IP 设计文件的硬件描述语言。选择右侧下拉列表框, 选择目标语言, 支持 Verilog 和 VHDL;
- **Module Name:** 配置产生的 IP 设计文件的 Module name。在右侧文本框可重新编辑模块名称。Module Name 不能与原语名称相同, 若相同, 则报出 Error 提示;
- **File Name:** 配置产生的 IP 设计文件的文件名。在右侧文本框可重新编辑文件名称;

- **Create In:** 配置产生的 IP 设计文件的目标路径。可在右侧文本框中重新编辑目标路径，也可通过文本框右侧选择按钮选择目标路径。

2. TX 配置页

- **TX_ENABLE:** 选择 MIPI C-PHY TX，使能 TX 配置；
- **Lane 0 Enable:** 启用或禁用 data lane 0；
- **Lane 0 Data A Reassign to:** A/B/C，默认 A；
- **Lane 0 Data B Reassign to:** A/B/C，默认 B；
- **Lane 0 Data C Reassign to:** A/B/C，默认 C；
- **Lane 1 Enable:** 启用或禁用 data lane 1；
- **Lane 1 Data A Reassign to:** A/B/C，默认 A；
- **Lane 1 Data B Reassign to:** A/B/C，默认 B；
- **Lane 1 Data C Reassign to:** A/B/C，默认 C；
- **Lane 2 Enable:** 启用或禁用 data lane 2；
- **Lane 2 Data A Reassign to:** A/B/C，默认 A；
- **Lane 2 Data B Reassign to:** A/B/C，默认 B；
- **Lane 2 Data C Reassign to:** A/B/C，默认 C；
- **Lane 3 Enable:** 启用或禁用 data lane 3。
- **Lane 3 Data A Reassign to:** A/B/C，默认 A；
- **Lane 3 Data B Reassign to:** A/B/C，默认 B；
- **Lane 3 Data C Reassign to:** A/B/C，默认 C；
- **Data Width:** 21bit 或 42bit；
- **Clock Selection:** PLL/Serdes Clock 0/ Serdes Clock 1，C-PHY TX Clock 的输入源可以是 PLL 输出时钟或者是 Serdes Clock 时钟；
- **Lane Divider Enable:** 启用或禁用 Lane Divider；
- **Lane Divider Ratio:** 2~30，最小调节步进为 2；

3. PLL Option

- **PLL CLKIN Frequency(MHz):** 输入范围 19~800；
- **MIPI CPHY Data Rate(Msps):** 输入范围 800~2500；
- **PLL VCO Frequency(MHz):** 自动计算生成
- **CLKOUT0 Divider Factor:** 输入范围 1~128

- CLKOUT1 Divider Factor: 输入范围 1~128
- CLKOUT2 Divider Factor: 输入范围 1~128
- CLKOUT3 Divider Factor: 输入范围 1~128
- CLKOUT4 Divider Factor: 输入范围 1~128
- CLKOUT5 Divider Factor: 输入范围 1~128
- CLKOUT6 Divider Factor: 输入范围 1~128

CLKOUT0/ CLKOUT1/ CLKOUT2/ CLKOUT3 为共给 C-PHY 硬核的时钟信号，输出时钟频率 $F_{out} = PLL_VCO / (Div_Factor)$,

例如，PLL CLKIN Frequency 为 50MHz，MIPI C-PHY Data Rate 为 2500Msps，PLL VCO Frequency 为 1250MHz，CLKOUT0~CLKOUT3 的 Divider Factor 应配置为 1，使得 C-PHY 的输入时钟频率为 1250MHz。

3.5 MIPI C-PHY IP TX 端口介绍

表 3-2 C-PHY TX 端口介绍

端口	I/O	描述
clkkin	Input	PLL clock input
lock	Output	lock
clkout0	Output	PLL clkout0
clkout1	Output	PLL clkout1
clkout2	Output	PLL clkout2
clkout3	Output	PLL clkout3
clkout4	Output	PLL clkout4
clkout5	Output	PLL clkout5
clkout6	Output	PLL clkout6
spil0_ckp	Input	Serdes Clock0_P
spil0_ckp	Input	Serdes Clock0_P
spil1_ckp	Input	Serdes Clock1_P
spil1_ckp	Input	Serdes Clock1_N
hstx_fifo_ae	Output	the TX FIFO write almost empty indication
hstx_fifo_af	Output	TX FIFO read almost full indication
hstx_fifo_rde_err	Output	3 lane FIFO read empty error indication(?)
hstx_fifo_wrf_err	Output	3 lane FIFO write full error indication(?)
tx_clk_1x_o	Output	TX output 1x clock (max=178.57MHz)
di_lprx0_a	Output	Data lane0: received LP RX data_a

端口	I/O	描述
di_lprx0_b	Output	Data lane0: received LP RX data_b
di_lprx0_c	Output	Data lane0: received LP RX data_c
di_lprx1_a	Output	Data lane1: received LP RX data_a
di_lprx1_b	Output	Data lane1: received LP RX data_b
di_lprx1_c	Output	Data lane1: received LP RX data_c
di_lprx2_a	Output	Data lane2: received LP RX data_a
di_lprx2_b	Output	Data lane2: received LP RX data_b
di_lprx2_c	Output	Data lane2: received LP RX data_c
d0a	Inout	Data Lane 0 port a Input/output
d0b	Inout	Data Lane 0 port b Input/output
d0c	Inout	Data Lane 0 port c Input/output
d1a	Inout	Data Lane 1 port a Input/output
d1b	Inout	Data Lane 1 port b Input/output
d1c	Inout	Data Lane 1 port c Input/output
d2a	Inout	Data Lane 2 port a Input/output
d2b	Inout	Data Lane 2 port b Input/output
d2c	Inout	Data Lane 2 port c Input/output
clkin	Input	PLL input clock
d0ln_hstx_data	Input	HS data from fabric for lane 0, refer to the Bit map figure; [41:0]
d1ln_hstx_data	Input	HS data from fabric for lane 1, refer to the Bit map figure; [41:0]
d2ln_hstx_data	Input	HS data from fabric for lane 2, refer to the Bit map figure; [41:0]
d0ln_hstx_data_vld	Input	HS data valid from fabric for lane 0. Active high.
d1ln_hstx_data_vld	Input	HS data valid from fabric for lane 1. Active high.
d2ln_hstx_data_vld	Input	HS data valid from fabric for lane 2. Active high.
d0ln_hstx_map_dis	Input	not mapped data indication signal for lane 0; [1:0] -> [41:21, 20:0]. Active high.
d1ln_hstx_map_dis	Input	not mapped data indication signal for lane 0; [1:0] -> [41:21, 20:0]. Active high.
d2ln_hstx_map_dis	Input	not mapped data indication signal for lane 0; [1:0] -> [41:21, 20:0]. Active high.
d0ln_tx_drst_n	Input	Data lane0 TX digital reset, Active Low.

端口	I/O	描述
d1ln_tx_drst_n	Input	Data lane1 TX digital reset, Active Low.
d2ln_tx_drst_n	Input	Data lane2 TX digital reset, Active Low.
hstx_enln0	Input	Data lane0: HS TX driver enable. Active high.
hstx_enln1	Input	Data lane1: HS TX driver enable. Active high.
hstx_enln2	Input	Data lane2: HS TX driver enable. Active high.
lptx_enln0	Input	Data Lane0: 1'b1 LPRX enabled. Active high.
lptx_enln1	Input	Data Lane1: 1'b1 LPRX enabled. Active high.
lptx_enln2	Input	Data Lane2: 1'b1 LPRX enabled. Active high.
arstn_tx	Input	Reset of TX. Active Low.
do_lptx_a_ln0	Input	Data Lane0: LPTX line-a data.
do_lptx_a_ln1	Input	Data Lane1: LPTX line-a data.
do_lptx_a_ln2	Input	Data Lane2: LPTX line-a data.
do_lptx_b_ln0	Input	Data Lane0: LPTX line-b data.
do_lptx_b_ln1	Input	Data Lane1: LPTX line-b data.
do_lptx_b_ln2	Input	Data Lane2: LPTX line-b data.
do_lptx_c_ln0	Input	Data Lane0: LPTX line-c data.
do_lptx_c_ln1	Input	Data Lane1: LPTX line-c data.
do_lptx_c_ln2	Input	Data Lane2: LPTX line-c data.
lprx_en_d0	Input	Data Lane0: LPRX enabled, Active High
lprx_en_d1	Input	Data Lane1: LPRX enabled, Active High
lprx_en_d2	Input	Data Lane2: LPRX enabled, Active High

3.6 MIPI C-PHY TX 典型时序

图 3-4 MIPI C-PHY TX 典型时序

