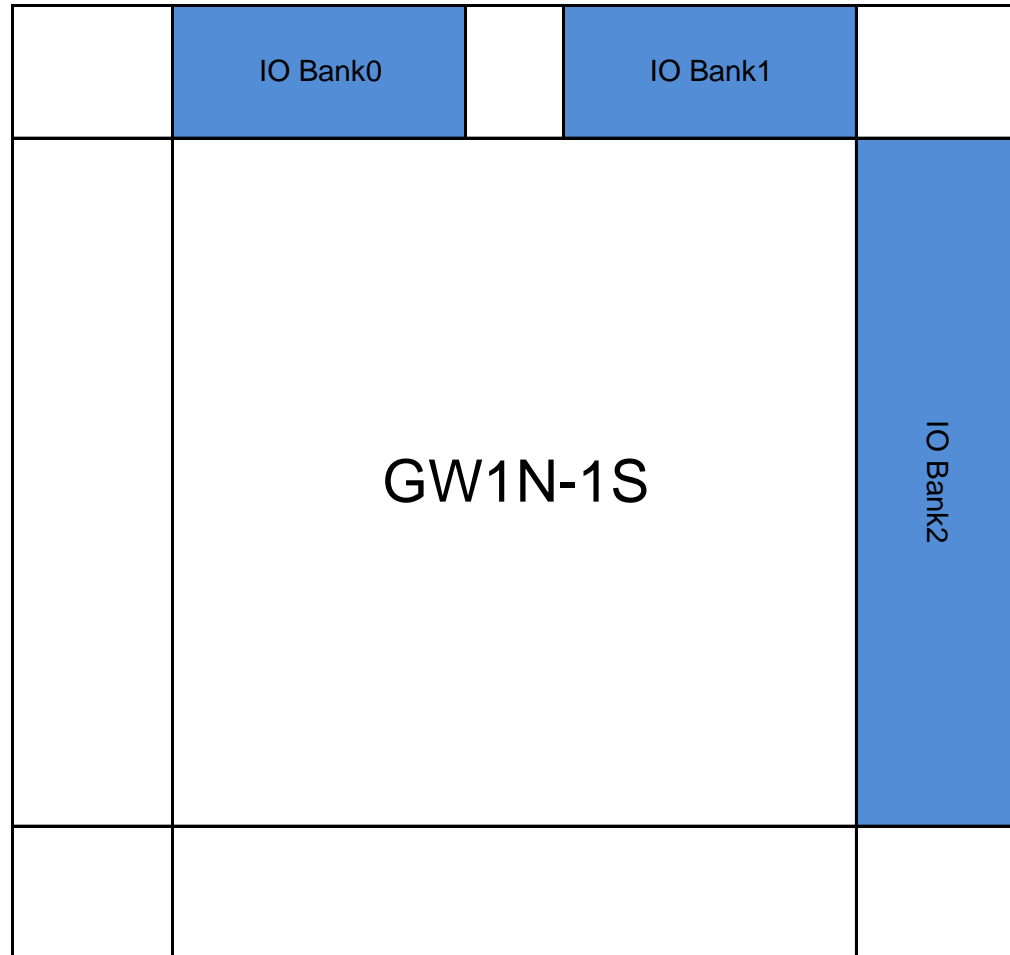


日期	版本	说明
2019/5/9	1.0	初始版本。
2019/6/21	1.1	新增GW1N-1S CS30封装。
2021/1/28	1.2	完善管脚定义。
2022/10/20	1.3	更新Pin Definitions。
2023/5/4	1.3.1	更新Power页。 更新Pin Definition页中CLKHOLD_N的管脚说明。
2023/6/30	1.3.2	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
注!		
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		
[2]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

注！ [1]该管脚内部接地。								
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	FN32	CS30
IOR10A/MI/D7/MODE1	I/O	2	MI/D7/MODE1	True_of_IOR10B	NONE	NONE	GND ^[1]	GND ^[1]
IOR10B/MODE2	I/O	2	MODE2	Comp_of_IOR10A	NONE	NONE	GND ^[1]	GND ^[1]
IOR11A	I/O	2		True_of_IOR11B	NONE	X16	17	B1
IOR11B	I/O	2		Comp_of_IOR11A	NONE	NONE	16	
IOR2A	I/O	2		True_of_IOR2B	NONE	X16	23	E2
IOR2B	I/O	2		Comp_of_IOR2A	NONE	NONE	22	D2
IOR3A/SCLK	I/O	2	SCLK	True_of_IOR3B	NONE	NONE		
IOR3B/SSPI_CS_N/D0	I/O	2	SSPI_CS_N/D0	Comp_of_IOR3A	NONE	NONE		
IOR4A/SI/D2	I/O	2	SI/D2	True_of_IOR4B	NONE	X16	21	C2
IOR4B/SO/D1	I/O	2	SO/D1	Comp_of_IOR4A	NONE	NONE	20	C3
IOR5A/GCLKT_2	I/O	2	GCLKT_2	True_of_IOR5B	NONE	NONE		
IOR5B/GCLKC_2	I/O	2	GCLKC_2	Comp_of_IOR5A	NONE	NONE		
IOR7A/GCLKT_3/DIN/CLKHOLD_N	I/O	2	GCLKT_3/DIN/CLKHOLD_N	True_of_IOR7B	NONE	X16	19	D1
IOR7B/GCLKC_3/DOOUT/WE_N	I/O	2	GCLKC_3/DOOUT/WE_N	Comp_of_IOR7A	NONE	NONE	18	C1
IOR8A/FASTRD_N/D3/MODE0	I/O	2	FASTRD_N/D3/MODE0	True_of_IOR8B	NONE	NONE	GND ^[1]	GND ^[1]
IOR8B/MCLK/D4	I/O	2	MCLK/D4	Comp_of_IOR8A	NONE	NONE		
IOR9A/MCS_N/D5	I/O	2	MCS_N/D5	True_of_IOR9B	NONE	X16	15	B2
IOR9B/MO/D6	I/O	2	MO/D6	Comp_of_IOR9A	NONE	NONE	14	
IOT10A	I/O	1		True_of_IOT10B	NONE	NONE		
IOT10B	I/O	1		Comp_of_IOT10A	NONE	NONE		
IOT11A/GCLKT_1	I/O	1	GCLKT_1	True_of_IOT11B	NONE	X16	27	B4
IOT11B/GCLKC_1	I/O	1	GCLKC_1	Comp_of_IOT11A	NONE	NONE	26	A4
IOT12A	I/O	1		True_of_IOT12B	NONE	NONE		
IOT12B	I/O	1		Comp_of_IOT12A	NONE	NONE		
IOT13A	I/O	1		True_of_IOT13B	NONE	X16	25	B3
IOT13B	I/O	1		Comp_of_IOT13A	NONE	NONE	24	A3
IOT14A	I/O	1		True_of_IOT14B	NONE	NONE		
IOT14B	I/O	1		Comp_of_IOT14A	NONE	NONE		
IOT2A/TMS	I/O	0	TMS	True_of_IOT2B	NONE	X16	7	C4
IOT2B/TCK	I/O	0	TCK	Comp_of_IOT2A	NONE	NONE	6	A5

注！
[1]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	FN32	CS30
IOT3A/TDI	I/O	0	TDI	True_of_IOT3B	NONE	NONE	2	B5
IOT3B/TDO	I/O	0	TDO	Comp_of_IOT3A	NONE	NONE	3	B6
IOT4A/PLLT_in	I/O	0	PLLT_in	True_of_IOT4B	NONE	NONE	11	C6
IOT4B/JTAGSEL_N	I/O	0	JTAGSEL_N	Comp_of_IOT4A	NONE	NONE	12	C5
IOT5A	I/O	1		True_of_IOT5B	NONE	X16	1	D6
IOT5B	I/O	1		Comp_of_IOT5A	NONE	NONE	32	D5
IOT6A/RECONFIG_N	I/O	1	RECONFIG_N	True_of_IOT6B	NONE	NONE		
IOT6B/DONE	I/O	1	DONE	Comp_of_IOT6A	NONE	NONE		
IOT7A	I/O	1		True_of_IOT7B	NONE	X16	31	E4
IOT7B	I/O	1		Comp_of_IOT7A	NONE	NONE	30	D4
IOT8A/READY	I/O	1	READY	True_of_IOT8B	NONE	NONE		
IOT8B	I/O	1		Comp_of_IOT8A	NONE	NONE		
IOT9A/GCLKT_0	I/O	1	GCLKT_0	True_of_IOT9B	NONE	X16	29	E3
IOT9B/GCLKC_0	I/O	1	GCLKC_0	Comp_of_IOT9A	NONE	NONE	28	D3
VCC/VCCPLL	Power	N/A					9	E6
VCCIO0	Power	N/A					5	A6
VCCIO1	Power	N/A					4	A1
VCCIO2	Power	N/A					13	E1
VSS	Ground	N/A					8	A2
VSS	Ground	N/A					10	E5

GW1N-1S器件FN32封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLL	核电压, VCC和VCCPLL内部短接在一起	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V
注! epad强烈推荐接地, 但epad非必须接地。			
GW1N-1S器件CS30封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLL	核电压, VCC和VCCPLL内部短接在一起	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V