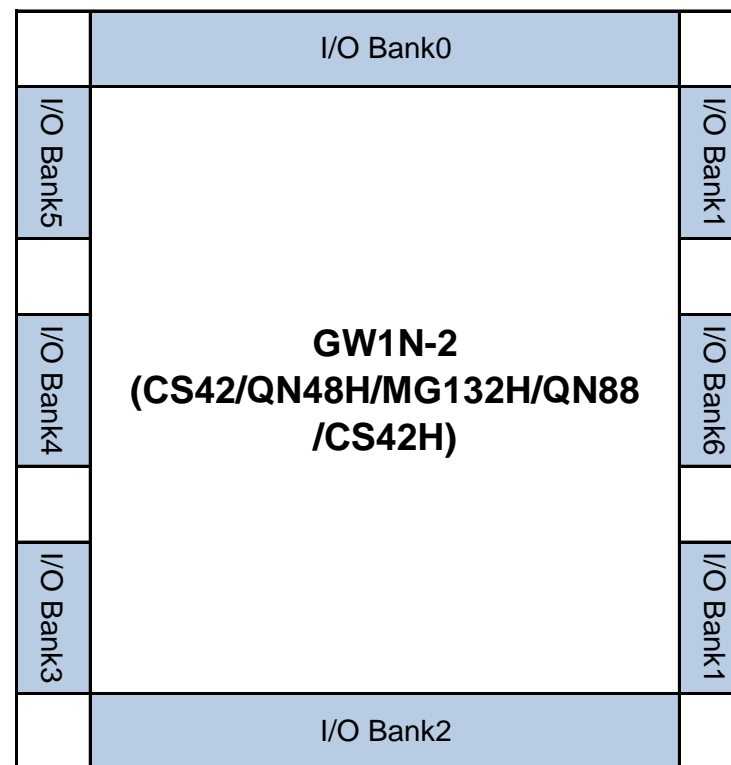
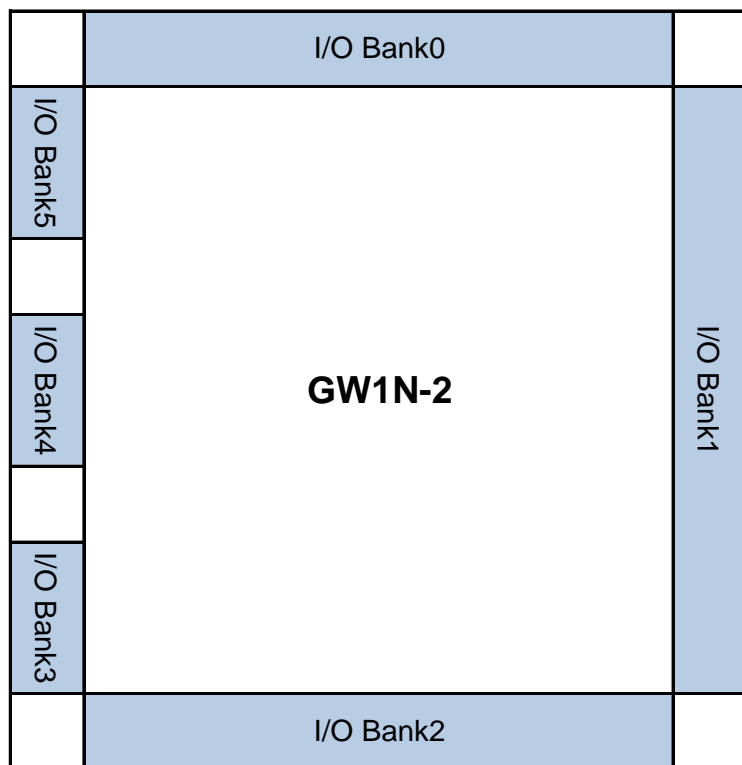


日期	版本	说明
2020/11/23	1.0	初始版本，支持CS42、MG132X、LQ100X、LQ144X封装。
2021/1/20	1.1	新增QN48,QN48M封装。
2021/2/24	1.2	新增MG132封装。
2021/5/14	1.3	MG132封装改名为MG132H，QN48M封装改名为QN48H； 新增MG132、LQ100、LQ144封装。
2021/6/7	1.3.1	增加MG132、LQ100、LQ144封装的IOT14A/IOT14B管脚配置功能说明。
2021/7/21	1.3.2	新增MG121, MG121X封装。
2021/10/29	1.4	更新Pin Definitions； 新增MG49封装。
2021/12/3	1.4.1	更新I ² C配置模式的封装信息。
2022/1/20	1.5	新增QN32X、QN88和CS42H封装。
2022/3/25	1.5.1	更新Pin Definitions； 更新CS42H封装信息。
2022/6/15	1.6	新增QN32和CS100H封装信息； 更新QN32X封装的管脚信息和Power信息。
2022/7/8	1.7	新增LQ144F封装信息； QN88封装分为UV和LV版本。
2022/8/19	1.7.1	更新Pin List中QN32和QN32X管脚信息。
2022/9/8	1.7.2	更新Pin Definitions的注释以及RECONFIG_N的IO状态； 更新QN88封装UV版本的核电压。
2022/11/11	1.7.3	更新Pin Definitions中CLKHOLD_N的管脚说明； 更新QN32封装的Power信息。
2023/5/4	1.7.4	更新Power页。 更新Pin Definitions页。 删除LQ144F封装UV版本。
2023/6/30	1.7.5	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。
2023/11/30	1.7.6	优化Pin Definitions页中Ready、Done管脚的方向描述。 更新CS42H、LQ144F、CS100H封装的I/O Bank电压的最小值。
2023/12/7	1.7.7	更新Pin Definitions页中VCCD和VCCIOD的管脚描述。
2024/2/22	1.7.8	新增Power页中VCCD和VCCIOD的管脚注释。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上 有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOL6A/IOL8A短接，管脚名为E6，则IOL6A对应E6，IOL8A对应E6_L8A
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，“0”选择写入，“1”选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平

管脚名称	方向	说明
READY ^[1]	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
SDA	I/O	I2C串行数据线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
SCL	I	I2C串行时钟线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
其他管脚		
CKP	DIO ^[3]	MIPI_DPHY_RX的时钟通道输入管脚
CKN	DIO ^[3]	MIPI_DPHY_RX的时钟通道差分输入管脚
RX0P	DIO ^[3]	MIPI_DPHY_RX的数据通道0输入管脚
RX0N	DIO ^[3]	MIPI_DPHY_RX的数据通道0差分输入管脚
RX1P	DIO ^[3]	MIPI_DPHY_RX的数据通道1输入管脚

管脚名称	方向	说明
RX1N	DIO ^[3]	MIPI_DPHY_RX的数据通道1差分输入管脚
RX2P	DIO ^[3]	MIPI_DPHY_RX的数据通道2输入管脚
RX2N	DIO ^[3]	MIPI_DPHY_RX的数据通道2差分输入管脚
RX3P	DIO ^[3]	MIPI_DPHY_RX的数据通道3输入管脚
RX3N	DIO ^[3]	MIPI_DPHY_RX的数据通道3差分输入管脚
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCD	NA	MIPI供电管脚
VCCIOD	NA	MIPI供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
注! [1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。 [2] 当输入是单端时, GCLKC_[x]所在管脚不是全局时钟管脚。 [3] DIO是专用管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注1

- [1]UV版本封装。
- [2]LV版本封装。
- [3]该管脚内部接地。
- [4]该管脚内部接VCCIO。
- [5]QN32/CS42/QN48/QN48H/LQ100/LQ144/MG132/MG121/LQ144F封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48H	MG132H	MG132 ^[1]	MG132 ^[2]	LQ100 ^[1]	LQ100 ^[2]	LQ144 ^[1]	LQ144 ^[2]	MG121X ^[1]	MG121X ^[2]	MG121 ^[1]	MG121 ^[2]	MG49	QN32X ^[1]	QN32X ^[2]	QN88 ^[1]	QN88 ^[2]	CS42H	QN32 ^[1]	QN32 ^[2]	CS100H	LQ144F				
VCC/VCCIO4/VCCIO5/VCCX	Power	N/A																											18							18				
VCC/VCCIO4/VCCIO5/VCCX	Power	N/A																											2							2				
VCCD/VCCIO1/VCCIOD	Power	N/A					D3																																	
VCCD/VCCIOD	Power	N/A													1	C7																	58	58	C3		F4			
VCCIO0	Power	N/A					A8	A8	80	80	118	118	1	12	A8	A8	A8	80	80	118	118	D6	D6	D6	D6	C5	24			71	71	B4	24		D6	118				
VCCIO0	Power	N/A					B10	B10	93	93	123	123			B10	B10	B10	93	93	123	123						31			82	82		31				135			
VCCIO0	Power	N/A					C5	C5			135	135			C5	C5	C5				135	135															123			
VCCIO0/VCCIO2	Power	N/A					A1																																	
VCCIO0/VCCX	Power	N/A																																			24			
VCCIO0/VCCX	Power	N/A																																			31			
VCCIO1	Power	N/A					D14		55		79			37	D14	D14		55		79		H5		H5		D5	19	19	65	65	B3	19	19	E4						
VCCIO1	Power	N/A					H14		73		88				L12	H14		73		88																				
VCCIO1	Power	N/A					L12				102				L12	L12				102																				
VCCIO1/VCCIO4/VCCIO5	Power	N/A																																						
VCCIO1/VCCX	Power	N/A						D14		55		79					D14		55		79		H5		H5												79			
VCCIO1/VCCX	Power	N/A						H14		73		88					H14		73		88																88			
VCCIO1/VCCX	Power	N/A						L12				102					L12			102																		102		
VCCIO2	Power	N/A					M6	M6	26	26	37	37			M6	M6	M6	26	26	37	37	H6	H6	H6	H6		7	7	23	23	F5	7	7	G6		51				
VCCIO2	Power	N/A					N11	N11	46	46	51	51			N11	N11	N11	46	46	51	51						15	15	39	39		15	15				66			
VCCIO2	Power	N/A					P1	P1			66	66			P1	P1	P1			66	66																37			
VCCIO2/VCCX	Power	N/A												36	36																									
VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A																																						
VCCIO3	Power	N/A					L1	L1	23	23	30	30			L1	L1	L1	23	23	30	30	H8	H8	H8	H8		6	6	17	17				6	6	G7	30			
VCCIO3/VCCIO4/VCCIO5	Power	N/A					C4							25	25																									
VCCIO4	Power	N/A					G1	G1	11	11	16	16			G1	G1	G1	11	11	16	16	F8	F8	F8	F8											F7	16			
VCCIO5	Power	N/A					D3	D3	5	5	7	7					D3	D3	D3	5	5	7	7	D8	D8	D8	D8				4	4					E7	7		
VCCX	Power	N/A					E3								H14											E3										47	47	D5		
VCCX	Power	N/A																																			64	64	F4	
VSS	Ground	N/A					E4	A5	A5					2	2	A5	A5	A5					A1	A1	A1	A1	D4	3	3	2	2	D4	3	3	E6		18			
VSS	Ground	N/A					C3	B11	B11	6	6	8	8	8	26	26	B11	B11	B11	6	6	8	8	A11	A11	A11	A11	C4									F6	29		
VSS	Ground	N/A						D2	D2	22	22	18	18			D2	D2	D2	22	22	18	18	E6	E6	E6	E6												46		
VSS	Ground	N/A						D13	D13	33	33	29	29			D13	D13	D13	33	33	29	29	E7	E7	E7	E7												53		
VSS	Ground	N/A						G2	G2	44	44	46	46			G2	G2	G2	44	44	46	46	F5	F5	F5	F5												64		
VSS	Ground	N/A						H13	H13	56	56	53	53			H13	H13	H13	56	56	53	53	F6	F6	F6	F6												80		
VSS	Ground	N/A						L2	L2	72	72	64	64			L2	L2	L2	72	72	64	64	G5	G5	G5	G5												90		
VSS	Ground	N/A						L13	L13	79	79	80	80			L13	L13	L13	79	79	80	80	G6	G6	G6	G6												101		
VSS	Ground	N/A						P5	P5	92	92	90	90			P5	P5	P5	92	92	90	90	L1	L1	L1	L1												116		
VSS	Ground	N/A						P10	P10			101	101			P10	P10	P10			101	101	L11	L11	L11	L11												124		
VSS	Ground	N/A												116	116																								134	
VSS	Ground	N/A												124	124																								8	
VSS	Ground	N/A												134	134																									
NC	N/A	N/A					C7	C7								C7	C7																							
NC	N/A	N/A																																						

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1N-2器件CS42封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0/VCCIO2	VCCIO0和VCCIO2内部短接在一起	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	VCCIO3, VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCD/VCCIO1/VCCIOD ^[1]	VCCD, VCCIO1和VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压	1.71V	3.6V

GW1N-2器件MG132X/MG132/MG121X/MG121封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、 VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V

GW1N-2器件MG132X/MG132/MG121X/MG121封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V

GW1N-2器件LQ100X/LQ100封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、 VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V

GW1N-2器件LQ100X/LQ100封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	2.375V	3.6V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1N-2器件LQ144X/LQ144封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V

GW1N-2器件LQ144X/LQ144封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V

GW1N-2器件QN48封装电源供电要求

名称	描述	最小值	最大值	
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO0、VCCIO1	I/O Bank电压	1.14V	3.6V	
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V	
VCCX/VCCIO2	辅助电压VCCX和VCCIO2内部短接在一起	1.71V	3.6V	

注!

epad强烈推荐接地，但epad非必须接地。

GW1N-2器件QN48H封装电源供电要求

名称	描述	最小值	最大值
VCC/VCCIO1	核电压VCC和I/O Bank电压VCCIO1短接在一起	1.14V	1.26V
VCCIO0	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX/VCCIO2	辅助电压VCCX和VCCIO2内部短接在一起	1.71V	3.6V
VCCD/VCCIOD ^[1]	VCCD，VCCIOD内部短接在一起	1.14V	1.26V

注!

epad强烈推荐接地，但epad非必须接地。

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1N-2器件MG132H封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCD/VCCIOD ^[1]	VCCD, VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V

GW1N-2器件MG49封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	LV版本	1.14V
		UV版本	1.71V
VCCIO0、VCCIO1	I/O Bank电压	1.14V	3.6V
VCCIO2/VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO2, VCCIO3, VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX	辅助电压VCCX	1.71V	3.6V

GW1N-2器件QN32X封装LV版本电源供电要求

名称	描述	最小值	最大值
VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5	核电压, I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.14V	1.26V
VCCIO0/VCCX	辅助电压VCCX和VCCIO0内部短接在一起	1.71V	3.6V

注!

epad强烈推荐接地，但epad非必须接地。

GW1N-2器件QN32X封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX	辅助电压VCCX	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5/VCCX	核电压, 辅助电压VCCX, I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.71V	3.6V

注!

epad强烈推荐接地，但epad非必须接地。

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1N-2器件QN88封装电源供电要求

名称	描述	最小值	最大值	
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V	
VCCD/VCCIOD ^[1]	VCCD, VCCIOD内部短接在一起	1.14V	1.26V	
VCCX	辅助电压VCCX	1.71V	3.6V	

注!

epad强烈推荐接地，但epad非必须接地。

GW1N-2器件CS42H封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO3, VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCD/VCCIOD ^[1]	VCCD, VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V

GW1N-2器件LQ144F封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、 VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCIO1/VCCX	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V

GW1N-2器件QN32封装LV版本电源供电要求

名称	描述	最小值	最大值
VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5	核电压, I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.14V	1.26V
VCCIO0/VCCX	辅助电压VCCX和VCCIO0内部短接在一起	1.71V	3.6V

注!

epad强烈推荐接地，但epad非必须接地。

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1N-2器件QN32封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5/VCCX	核电压，辅助电压VCCX，I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.71V	3.6V
VCCX	辅助电压VCCX	1.71V	3.6V

注!

epad强烈推荐接地，但epad非必须接地。

GW1N-2器件CS100H封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCD/VCCIOD ^[1]	VCCD，VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V