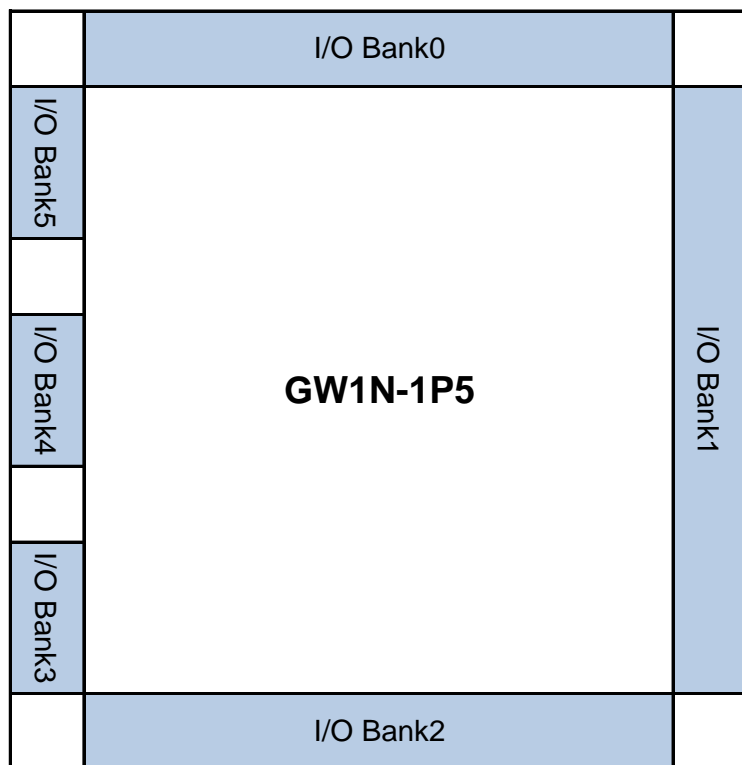


日期	版本	说明
2021/4/1	1.0	初始版本，支持LQ100X封装。
2021/5/14	1.1	新增LQ100封装。
2021/6/7	1.1.1	增加LQ100封装的IOT14A/IOT14B管脚配置功能说明。
2021/10/29	1.2	更新Pin Definitions。 新增FN48X封装。
2022/1/20	1.2.1	修改FN48X封装名称为QN48X。 修改QN48X管脚信息。
2022/10/20	1.2.2	更新Power中的注释。 更新Pin Definitions中的注释。
2022/11/17	1.3	新增QN48XF封装。 更新Pin Definitions中CLKHOLD_N的管脚说明。
2023/5/4	1.3.1	新增Pin List的注释。
2023/6/30	1.3.2	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。
2024/6/28	1.3.3	优化Pin Definitions页中Ready和Done管脚的方向描述。 更新Power页中LQ100X/LQ100封装的VCCX电压最小值。
2024/11/15	1.3.4	新增Pin Definition页中EPAD管脚说明。 新增Power页中EPAD注释。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的时 候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
SDA	I/O	I2C串行数据线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
SCL	I	I2C串行时钟线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
EPAD	NA	裸露焊盘, 接地
注!		
^[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		
^[2] 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注！
^[1] UV版本封装。
^[2] LV版本封装。
^[3] 该管脚内部接地。
^[4] 该管脚内接VCCIO。
^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。
^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOB11A	I/O	2		True_of_IOB11B	True	x16	40	40	40	40				
IOB11B	I/O	2		Comp_of_IOB11A	True	none	41	41	41	41				
IOB12A/FASTRD_N	I/O	2	FASTRD_N	True_of_IOB12B	none	none	42	42	42	42				
IOB12B	I/O	2		Comp_of_IOB12A	none	none	43	43	43	43				
IOB13A	I/O	2		True_of_IOB13B	True	x16								
IOB13B	I/O	2		Comp_of_IOB13A	True	none								
IOB14A	I/O	2		True_of_IOB14B	none	none								
IOB14B	I/O	2		Comp_of_IOB14A	none	none								
IOB15A	I/O	2		True_of_IOB15B	True	x16								
IOB15B	I/O	2		Comp_of_IOB15A	True	none								
IOB16A	I/O	2		True_of_IOB16B	none	none	45	45	45	45				
IOB16B/DOOUT/WE_N	I/O	2	DOOUT/WE_N	Comp_of_IOB16A	none	none	47	47	47	47				
IOB17A	I/O	2		True_of_IOB17B	True	x16								
IOB17B	I/O	2		Comp_of_IOB17A	True	none								
IOB18A/SSPI_CS_N	I/O	2	SSPI_CS_N	True_of_IOB18B	none	none	48	48	48	48	23	23	23	23
IOB18B/SI	I/O	2	SI	Comp_of_IOB18A	none	none	49	49	49	49	24	24	24	24
IOB2A	I/O	2		True_of_IOB2B	True	x16					14	14	14	14
IOB2B	I/O	2		Comp_of_IOB2A	True	none					15	15	15	15
IOB3A/DIN/CLKHOLD_N	I/O	2	DIN/CLKHOLD_N	True_of_IOB3B	none	none	27	27	27	27				
IOB3B	I/O	2		Comp_of_IOB3A	none	none	28	28	28	28				
IOB4A	I/O	2		True_of_IOB4B	True	x16	29	29	29	29				
IOB4B	I/O	2		Comp_of_IOB4A	True	none	30	30	30	30				
IOB5A/SCLK	I/O	2	SCLK	True_of_IOB5B	none	none	31	31	31	31	16	16	16	16

注！
^[1] UV版本封装。
^[2] LV版本封装。
^[3] 该管脚内部接地。
^[4] 该管脚内接VCCIO。
^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。
^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOB5B/SO	I/O	2	SO	Comp_of_IOB5A	none	none	32	32	32	32	17	17	17	17
IOB6A	I/O	2		True_of_IOB6B	True	x16								
IOB6B	I/O	2		Comp_of_IOB6A	True	none								
IOB7A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB7B	none	none	34	34	34	34	18	18	18	18
IOB7B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB7A	none	none	35	35	35	35	19	19	19	19
IOB8A	I/O	2		True_of_IOB8B	True	x16	36	36	36	36				
IOB8B	I/O	2		Comp_of_IOB8A	True	none	37	37	37	37				
IOB9A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOB9B	none	none	38	38	38	38	20	20	20	20
IOB9B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOB9A	none	none	39	39	39	39	21	21	21	21
IOL11A	I/O	4		True_of_IOL11B	True	x16	9	9	9	9	7	7	7	7
IOL11B	I/O	4		Comp_of_IOL11A	True	none	10	10	10	10	8	8	8	8
IOL12A/GCLKT_6	I/O	4	GCLKT_6	True_of_IOL12B	none	none	12	12	12	12	9	9	9	9
IOL12B/GCLKC_6	I/O	4	GCLKC_6	Comp_of_IOL12A	none	none	13	13	13	13	10	10	10	10
IOL13A	I/O	4		True_of_IOL13B	True	x16	14	14	14	14				
IOL13B	I/O	4		Comp_of_IOL13A	True	none	15	15	15	15				
IOL14A	I/O	4		True_of_IOL14B	none	none	16	16	16	16				
IOL14B	I/O	4		Comp_of_IOL14A	none	none	17	17	17	17				
IOL15A	I/O	3		True_of_IOL15B	True	x16	18	18	18	18				
IOL15B	I/O	3		Comp_of_IOL15A	True	none	19	19	19	19				
IOL16A/GCLKT_5	I/O	3	GCLKT_5	True_of_IOL16B	none	none	20	20	20	20				
IOL16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_IOL16A	none	none	21	21	21	21				
IOL17A	I/O	3		True_of_IOL17B	True	x16	24	24	24	24	11	11	11	11
IOL17B	I/O	3		Comp_of_IOL17A	True	none	25	25	25	25	12	12	12	12

注！
^[1] UV版本封装。
^[2] LV版本封装。
^[3] 该管脚内部接地。
^[4] 该管脚内接VCCIO。
^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。
^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOL18A	I/O	3		True_of_IOL18B	none	none								
IOL18B	I/O	3		Comp_of_IOL18A	none	none								
IOL19A	I/O	3		True_of_IOL19B	none	none								
IOL19B	I/O	3		Comp_of_IOL19A	none	none								
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16					2	2	2	2
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none					3	3	3	3
IOL5A/LPLL_T_in	I/O	5	LPLL_T_in	True_of_IOL5B	none	none	1	1	1	1				
IOL5B/LPLL_C_in	I/O	5	LPLL_C_in	Comp_of_IOL5A	none	none	2	2	2	2				
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	3	3	3	3	4	4	4	4
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	4	4	4	4	5	5	5	5
IOL7A	I/O	5		True_of_IOL7B	none	none								
IOL7B	I/O	5		Comp_of_IOL7A	none	none								
IOL8A	I/O	5		True_of_IOL8B	True	x16	7	7	7	7				
IOL8B	I/O	5		Comp_of_IOL8A	True	none	8	8	8	8				
IOL9A	I/O	4		True_of_IOL9B	none	none								
IOL9B	I/O	4		Comp_of_IOL9A	none	none								
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none	63	63	63	63	34	34	34	34
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none	62	62	62	62	33	33	33	33
IOR12A	I/O	1		True_of_IOR12B	none	none								
IOR12B	I/O	1		Comp_of_IOR12A	none	none								
IOR13A	I/O	1		True_of_IOR13B	True	none	61	61	61	61	32	32	32	32
IOR13B	I/O	1		Comp_of_IOR13A	True	none					31	31	31	31
IOR14A	I/O	1		True_of_IOR14B	none	none	60	60	60	60				

注!

^[1] UV版本封装。

^[2] LV版本封装。

^[3] 该管脚内部接地。

^[4] 该管脚内接VCCIO。

^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。

^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOR14B	I/O	1		Comp_of_IOR14A	none	none	59	59	59	59				
IOR15A	I/O	1		True_of_IOR15B	True	none					29	29	29	29
IOR15B	I/O	1		Comp_of_IOR15A	True	none					28	28	28	28
IOR16A	I/O	1		True_of_IOR16B	none	none	58	58	58	58				
IOR16B	I/O	1		Comp_of_IOR16A	none	none	57	57	57	57				
IOR17A	I/O	1		True_of_IOR17B	True	none					27	27	27	27
IOR17B	I/O	1		Comp_of_IOR17A	True	none					26	26	26	26
IOR18A	I/O	1		True_of_IOR18B	none	none	54	54	54	54				
IOR18B	I/O	1		Comp_of_IOR18A	none	none	53	53	53	53				
IOR19A	I/O	1		True_of_IOR19B	none	none	52	52	52	52				
IOR19B	I/O	1		Comp_of_IOR19A	none	none	51	51	51	51				
IOR1A	I/O	1		True_of_IOR1B	True	none					36	36	36	36
IOR1B	I/O	1		Comp_of_IOR1A	True	none					35	35	35	35
IOR2A	I/O	1		True_of_IOR2B	none	none	75	75	75	75				
IOR2B	I/O	1		Comp_of_IOR2A	none	none	74	74	74	74				
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none	71	71	71	71				
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none	70	70	70	70				
IOR4A/D0	I/O	1	D0	True_of_IOR4B	none	none	69	69	69	69				
IOR4B/D1	I/O	1	D1	Comp_of_IOR4A	none	none	68	68	68	68				
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none	67	67	67	67				
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none	66	66	66	66				
IOR6A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6B	none	none	65	65	65	65				
IOR6B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6A	none	none	64	64	64	64				

注!
^[1] UV版本封装。
^[2] LV版本封装。
^[3] 该管脚内部接地。
^[4] 该管脚内接VCCIO。
^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。
^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16	88	88	88	88				
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none	87	87	87	87				
IOT12A	I/O	0		True_of_IOT12B	none	none	89	89	89	89				
IOT12B	I/O	0		Comp_of_IOT12A	none	none								
IOT13A	I/O	0		True_of_IOT13B	True	x16	84	84	84	84				
IOT13B	I/O	0		Comp_of_IOT13A	True	none	83	83	83	83				
IOT14A/GCLKT_1/SCL ^[5]	I/O	0	GCLKT_1/SCL ^[5]	True_of_IOT14B	none	none	86	86	86	86	43	43	43	43
IOT14B/GCLKC_1/SDA ^[5]	I/O	0	GCLKC_1/SDA ^[5]	Comp_of_IOT14A	none	none	85	85	85	85	42	42	42	42
IOT15A	I/O	0		True_of_IOT15B	True	x16							41	41
IOT15B	I/O	0		Comp_of_IOT15A	True	none							40	40
IOT16A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT16B	none	none	82	82	82	82	41	41		
IOT16B/RECONFIG_N	I/O	0	RECONFIG_N	Comp_of_IOT16A	none	none	81	81	81	81	40	40		
IOT17A	I/O	0		True_of_IOT17B	True	x16	78	78	78	78				
IOT17B	I/O	0		Comp_of_IOT17A	True	none								
IOT18A/READY	I/O	0	READY	True_of_IOT18B	none	none	77	77	77	77	38	38	38	38
IOT18B/DONE	I/O	0	DONE	Comp_of_IOT18A	none	none	76	76	76	76	37	37	37	37
IOT19A	I/O	0		True_of_IOT19B	none	none								
IOT19B	I/O	0		Comp_of_IOT19A	none	none								
IOT2A/MODE0	I/O	0	MODE0	True_of_IOT2B	none	none	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]
IOT2B/MODE1	I/O	0	MODE1	Comp_of_IOT2A	none	none	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	none	none	VCCIO ^[4]	VCCIO ^[4]	GND ^[3]	GND ^[3]	VCCIO ^[4]	VCCIO ^[4]	GND ^[3]	GND ^[3]
IOT4A	I/O	0		True_of_IOT4B	True	x16	99	99	99	99				
IOT4B	I/O	0		Comp_of_IOT4A	True	none	98	98	98	98				

注!

[1] UV版本封装。

[2] LV版本封装。

[3] 该管脚内部接地。

[4] 该管脚内接VCCIO。

[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。

[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]	
IOT5A	I/O	0		True_of_IOT5B	none	none									
IOT5B	I/O	0		Comp_of_IOT5A	none	none									
IOT6A	I/O	0		True_of_IOT6B	True	x16	97	97	97	97					
IOT6B	I/O	0		Comp_of_IOT6A	True	none	96	96	96	96					
IOT7A/TDO	I/O	0	TDO	True_of_IOT7B	none	none	95	95	95	95	48	48	48	48	
IOT7B/TDI	I/O	0	TDI	Comp_of_IOT7A	none	none	94	94	94	94	47	47	47	47	
IOT8A	I/O	0		True_of_IOT8B	True	x16									
IOT8B	I/O	0		Comp_of_IOT8A	True	none									
IOT9A/TCK	I/O	0	TCK	True_of_IOT9B	none	none	91	91	91	91	45	45	45	45	
IOT9B/TMS	I/O	0	TMS	Comp_of_IOT9A	none	none	90	90	90	90	44	44	44	44	
VCC	Power	N/A						100		100		1			1
VCC	Power	N/A						50		50		25			25
VCC/VCCX	Power	N/A					100		100		1			1	
VCC/VCCX	Power	N/A					50		50		25			25	
VCCIO0	Power	N/A					80	80	80	80	39	39	39	39	
VCCIO0	Power	N/A					93	93	93	93	46	46	46	46	
VCCIO1	Power	N/A					55		55		30			30	
VCCIO1	Power	N/A					73		73						
VCCIO1/VCCX	Power	N/A						55		55		30			30
VCCIO1/VCCX	Power	N/A						73		73					
VCCIO2	Power	N/A					26	26	26	26	13	13	13	13	
VCCIO2	Power	N/A					46	46	46	46	22	22	22	22	
VCCIO3	Power	N/A					23	23	23	23					

注！
^[1] UV版本封装。
^[2] LV版本封装。
^[3] 该管脚内部接地。
^[4] 该管脚内接VCCIO。
^[5] LQ100封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。
^[6] QN48X的所有VSS pin通过EPAD接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
VCCIO4/VCCIO5	Power	N/A					5	5	5	5				
VCCIO3/VCCIO4/VCCIO5	Power	N/A									6	6	6	6
VSS	Ground	N/A					6	6	6	6	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					22	22	22	22	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					33	33	33	33	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					44	44	44	44	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					56	56	56	56	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					72	72	72	72	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					79	79	79	79	*[6]	*[6]	*[6]	*[6]
VSS	Ground	N/A					92	92	92	92	*[6]	*[6]	*[6]	*[6]
NC	N/A	N/A					11	11	11	11				

注！														
[1] UV版本封装。														
[2] LV版本封装。														
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
BANK5 True LVDS Pair														
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16					2	2	2	2
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none					3	3	3	3
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	3	3	3	3	4	4	4	4
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	4	4	4	4	5	5	5	5
IOL8A	I/O	5		True_of_IOL8B	True	x16	7	7	7	7				
IOL8B	I/O	5		Comp_of_IOL8A	True	none	8	8	8	8				
BANK4 True LVDS Pair														
IOL11A	I/O	4		True_of_IOL11B	True	x16	9	9	9	9	7	7	7	7
IOL11B	I/O	4		Comp_of_IOL11A	True	none	10	10	10	10	8	8	8	8
IOL13A	I/O	4		True_of_IOL13B	True	x16	14	14	14	14				
IOL13B	I/O	4		Comp_of_IOL13A	True	none	15	15	15	15				
BANK3 True LVDS Pair														
IOL15A	I/O	3		True_of_IOL15B	True	x16	18	18	18	18				
IOL15B	I/O	3		Comp_of_IOL15A	True	none	19	19	19	19				
IOL17A	I/O	3		True_of_IOL17B	True	x16	24	24	24	24	11	11	11	11
IOL17B	I/O	3		Comp_of_IOL17A	True	none	25	25	25	25	12	12	12	12
BANK2 True LVDS Pair														
IOB11A	I/O	2		True_of_IOB11B	True	x16	40	40	40	40				
IOB11B	I/O	2		Comp_of_IOB11A	True	none	41	41	41	41				
IOB13A	I/O	2		True_of_IOB13B	True	x16								
IOB13B	I/O	2		Comp_of_IOB13A	True	none								
IOB15A	I/O	2		True_of_IOB15B	True	x16								
IOB15B	I/O	2		Comp_of_IOB15A	True	none								
IOB17A	I/O	2		True_of_IOB17B	True	x16								
IOB17B	I/O	2		Comp_of_IOB17A	True	none								
IOB2A	I/O	2		True_of_IOB2B	True	x16					14	14	14	14
IOB2B	I/O	2		Comp_of_IOB2A	True	none					15	15	15	15
IOB4A	I/O	2		True_of_IOB4B	True	x16	29	29	29	29				

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
I0B4B	I/O	2		Comp_of_I0B4A	True	none	30	30	30	30				
I0B6A	I/O	2		True_of_I0B6B	True	x16								
I0B6B	I/O	2		Comp_of_I0B6A	True	none								
I0B8A	I/O	2		True_of_I0B8B	True	x16	36	36	36	36				
I0B8B	I/O	2		Comp_of_I0B8A	True	none	37	37	37	37				
BANK1 True LVDS Pair														
I0R11A/GCLKT_2	I/O	1	GCLKT_2	True_of_I0R11B	True	none	63	63	63	63	34	34	34	34
I0R11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_I0R11A	True	none	62	62	62	62	33	33	33	33
I0R13A	I/O	1		True_of_I0R13B	True	none					32	32	32	32
I0R13B	I/O	1		Comp_of_I0R13A	True	none					31	31	31	31
I0R15A	I/O	1		True_of_I0R15B	True	none					29	29	29	29
I0R15B	I/O	1		Comp_of_I0R15A	True	none					28	28	28	28
I0R17A	I/O	1		True_of_I0R17B	True	none					27	27	27	27
I0R17B	I/O	1		Comp_of_I0R17A	True	none					26	26	26	26
I0R1A	I/O	1		True_of_I0R1B	True	none					36	36	36	36
I0R1B	I/O	1		Comp_of_I0R1A	True	none					35	35	35	35
I0R3A/D2	I/O	1	D2	True_of_I0R3B	True	none	71	71	71	71				
I0R3B/D3	I/O	1	D3	Comp_of_I0R3A	True	none	70	70	70	70				
I0R5A/MI/D7	I/O	1	MI/D7	True_of_I0R5B	True	none	67	67	67	67				
I0R5B/MO/D6	I/O	1	MO/D6	Comp_of_I0R5A	True	none	66	66	66	66				
BANK0 True LVDS Pair														
I0T11A/GCLKT_0	I/O	0	GCLKT_0	True_of_I0T11B	True	x16	88	88	88	88				
I0T11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_I0T11A	True	none	87	87	87	87				
I0T13A	I/O	0		True_of_I0T13B	True	x16	84	84	84	84				
I0T13B	I/O	0		Comp_of_I0T13A	True	none	83	83	83	83				
I0T15A	I/O	0		True_of_I0T15B	True	x16							41	41
I0T15B	I/O	0		Comp_of_I0T15A	True	none							40	40
I0T17A	I/O	0		True_of_I0T17B	True	x16								
I0T17B	I/O	0		Comp_of_I0T17A	True	none								
I0T4A	I/O	0		True_of_I0T4B	True	x16	99	99	99	99				
I0T4B	I/O	0		Comp_of_I0T4A	True	none	98	98	98	98				

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
IOT6A	I/O	0		True_of_IOT6B	True	x16	97	97	97	97				
IOT6B	I/O	0		Comp_of_IOT6A	True	none	96	96	96	96				
IOT8A	I/O	0		True_of_IOT8B	True	x16								
IOT8B	I/O	0		Comp_of_IOT8A	True	none								

注! VCCX不能小于最大的VCCIO。			
GW1N-1P5器件LQ100X/LQ100封装LV版本电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCCIO4/VCCIO5	I/O Bank电压, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
GW1N-1P5器件LQ100X/LQ100封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO4/VCCIO5	I/O Bank电压, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
GW1N-1P5器件QN48X封装LV版本电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO3, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
注! EPAD强烈推荐接地, 但EPAD非必须接地。			
GW1N-1P5器件QN48X封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO3, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
注! EPAD强烈推荐接地, 但EPAD非必须接地。			

GW1N-1P5器件QN48XF封装LV版本电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO3, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
注! EPAD强烈推荐接地, 但EPAD非必须接地。			
GW1N-1P5器件QN48XF封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压, VCCIO3, VCCIO4, VCCIO5内部短接到一起	1.14V	3.6V
注! EPAD强烈推荐接地, 但EPAD非必须接地。			