



GW2AR 系列 FPGA 产品 封装与管脚手册

UG229-1.6.2, 2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2016/10/21	1.0	初始版本。
2019/03/27	1.1	新增 EQ176 封装。
2020/03/10	1.2	完善最大用户 I/O 信息说明。
2020/06/30	1.2.1	更新 QN88/EQ144 (内嵌 PSRAM) 为 QN88P/EQ144P。
2020/08/07	1.3	新增 QN88PF 封装和 EQ144PF 封装。
2021/05/14	1.4	新增 PG256S 封装。
2022/09/27	1.5	<ul style="list-style-type: none">● 删除 GW2AR-18 PG256S 封装；● 增加关于 QN88 封装的厚度的注释；● 修改 EQ144/EQ144P/EQ144PF 和 EQ176 封装尺寸图。
2023/03/10	1.6	删除 GW2AR-18 LQ144 和 LQ176 封装。
2023/12/28	1.6.1	<ul style="list-style-type: none">● 优化“2.5 I/O BANK 说明”的描述。● 新增推荐 PCB Layout 图。
2024/02/02	1.6.2	更新“4 封装尺寸”中的“图 4-4 推荐 PCB Layout EQ144/EQ144P/EQ144PF”。

目录

目录.....	i
图目录.....	ii
表目录.....	iii
1 关于本手册	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息、LVDS 对数.....	3
2.3 电源管脚.....	4
2.4 管脚数目.....	4
2.5 I/O BANK 说明	6
3 管脚分布示意图.....	8
3.1 GW2AR-18 器件管脚分布示意图.....	8
3.1.1 QN88 管脚分布示意图(内嵌 SDRAM).....	8
3.1.2 QN88P 管脚分布示意图(内嵌 PSRAM)	9
3.1.3 QN88PF 管脚分布示意图(内嵌 PSRAM)	10
3.1.4 EQ144 管脚分布示意图(内嵌 SDRAM).....	11
3.1.5 EQ144P 管脚分布示意图(内嵌 PSRAM).....	12
3.1.6 EQ144PF 管脚分布示意图(内嵌 PSRAM)	13
3.1.7 EQ176 管脚分布示意图(内嵌 SDRAM).....	14
4 封装尺寸.....	16
4.1 封装尺寸 QN88/QN88P/QN88PF (10mm x 10mm).....	16
4.2 封装尺寸 EQ144/EQ144P/EQ144PF (20mm x 20mm)	18
4.3 封装尺寸 EQ176 (20mm x 20mm)	20

图目录

图 3-1 GW2AR-18 器件 QN88 封装管脚分布示意图(内嵌 SDRAM)	8
图 3-2 GW2AR-18 器件 QN88P 封装管脚分布示意图(内嵌 PSRAM)	9
图 3-3 GW2AR-18 器件 QN88PF 封装管脚分布示意图(内嵌 PSRAM)	10
图 3-4 GW2AR-18 器件 EQ144 封装管脚分布示意图(内嵌 SDRAM)	11
图 3-5 GW2AR-18 器件 EQ144P 封装管脚分布示意图(内嵌 PSRAM)	12
图 3-6 GW2AR-18 器件 EQ144PF 封装管脚分布示意图(内嵌 PSRAM)	13
图 3-7 GW2AR-18 器件 EQ176 封装管脚分布示意图(内嵌 SDRAM)	14
图 4-1 封装尺寸 QN88/QN88P/QN88PF	16
图 4-2 推荐 PCB Layout QN88/QN88P/QN88PF	17
图 4-3 封装尺寸 EQ144/EQ144P/EQ144PF	18
图 4-4 推荐 PCB Layout EQ144/EQ144P/EQ144PF	19
图 4-5 封装尺寸 EQ176	20
图 4-6 推荐 PCB Layout EQ176	21

表目录

表 1-1 术语、缩略语.....	1
表 2-1 最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW2AR 电源管脚.....	4
表 2-3 GW2AR-18 内嵌 SDRAM 器件管脚数目列表	4
表 2-4 GW2AR-18 内嵌 PSRAM 器件管脚数目列表	5
表 3-1 GW2AR-18 器件 QN88 内嵌 SDRAM 非 I/O 管脚.....	9
表 3-2 GW2AR-18 器件 QN88P 非 I/O 管脚(内嵌 PSRAM)	10
表 3-3 GW2AR-18 器件 QN88PF 非 I/O 管脚(内嵌 PSRAM).....	11
表 3-4 GW2AR-18 器件 EQ144 非 I/O 管脚(内嵌 SDRAM).....	12
表 3-5 GW2AR-18 器件 EQ144P 非 I/O 管脚(内嵌 PSRAM)	13
表 3-6 GW2AR-18 器件 EQ144PF 非 I/O 管脚(内嵌 PSRAM).....	14
表 3-7 GW2AR-18 器件 EQ176 非 I/O 管脚(内嵌 SDRAM).....	15

1 关于本手册

1.1 手册内容

GW2AR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW2AR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS226, GW2AR 系列 FPGA 产品数据手册](#)
2. [UG115, GW2AR-18 器件 Pinout 手册](#)
3. [UG290, Gowin FPGA 产品编程配置用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
EQ	eLQFP	eLQFP 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
QN	QFN	QFN 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片，同时具有 GW2A 系列高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW2AR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

GW2AR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW2AR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息、LVDS 对数

表 2-1 最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW2AR-18
EQ144	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144P	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144PF	0.5	20 x 20	9.74 x 9.74	120(35)
QN88	0.4	10 x 10	6.74 x 6.74	66(22)
QN88P	0.4	10 x 10	6.74 x 6.74	66(22)
QN88PF	0.4	10 x 10	6.74 x 6.74	66(22)
EQ176	0.4	20 x 20	6 x 6	140(45)

注！

- 本手册中 GW2AR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。

2.3 电源管脚

表 2-2 GW2AR 电源管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCIO6
VCCIO7	VCCX	VSS	NC
VCCPLLL0	VCCPLLL1	VCCPLLR0	VCCPLLR1

2.4 管脚数目

表 2-3 GW2AR-18 内嵌 SDRAM 器件管脚数目列表

管脚类型		GW2AR-18		
		QN88	EQ144	EQ176
I/O 单端/差分对/LVDS ^[1]	BANK0	8/4/2	19/8/4	19/9/6
	BANK1	9/4/4	12/6/6	18/9/8
	BANK2	4/2/1	12/6/3	12/5/3
	BANK3	17/6/3	24/11/6	20/8/4
	BANK4	8/3/3	17/8/6	19/9/8
	BANK5	10/5/5	16/8/5	18/8/5
	BANK6	9/4/4	12/6/3	17/8/6
	BANK7	1/0/0	8/4/2	17/6/5
最大用户 I/O 总数 ^[2]		66	120	140
差分对		28	57	62
True LVDS 输出		22	35	45
VCC		4	0	4
VCC/VCCPLLL1 ^[3]		0	4	0
VCCX		0	0	4
VCCX/ VCCIO2/ VCCIO6/VCCIO7 ^[3]		3	4	0
VCCIO2/VCCIO3/VCCIO6/VCCIO7		0	0	8
VCCX/VCCIO2/VCCIO3/VCCIO6/VCCIO7		0	0	0
VCCIO0		1	1	2
VCCIO1		1	1	2
VCCIO2		0	0	0
VCCIO3		1	2	0
VCCIO4		1	1	2
VCCIO5		1	1	2
VCCIO6		0	0	0
VCCIO7		0	0	0
VCCPLLL0		0	1	0
VCCPLLL1		1	0	1

管脚类型	GW2AR-18		
	QN88	EQ144	EQ176
VCCPLLR0	0	1	1
VCCPLLR1	1	1	1
VCCPLLL	0	0	0
VCCPLLR	0	0	0
VSS	7	6	8
MODE0	1	1	1
MODE1	1	1	1
MODE2	0	1	1
EXTR	1	1	1
JTAGSEL_N	0	0	0
NC	0	0	0

表 2-4 GW2AR-18 内嵌 PSRAM 器件管脚数目列表

管脚类型		GW2AR-18			
		QN88P	EQ144P	QN88PF	EQ144PF
I/O 单端/差分对 /LVDS ^[1]	BANK0	8/4/2	19/8/4	8/4/2	19/8/4
	BANK1	9/4/4	12/6/6	9/4/4	12/6/6
	BANK2	4/2/1	12/6/3	4/2/1	12/6/3
	BANK3	17/6/3	24/11/6	17/6/3	24/11/6
	BANK4	8/3/3	17/8/6	8/3/3	17/8/6
	BANK5	10/5/5	16/8/5	10/5/5	16/8/5
	BANK6	9/4/4	12/6/3	9/4/4	12/6/3
	BANK7	1/0/0	8/4/2	1/0/0	8/4/2
最大用户 I/O 总数 ^[2]		66	120	66	120
差分对		28	57	28	57
True LVDS 输出		22	35	22	35
VCC		4	0	4	0
VCC/VCCPLLL1 ^[3]		0	4	0	4
VCCX		0	0	0	0
VCCX/VCCIO1/VCCIO6 ^[3]		2	0	2	0
VCCX/VCCIO4/VCCIO6 ^[3]		0	2	0	2
VCCIO2/VCCIO7 ^[3]		2	3	0	0
VCCIO0		1	1	1	1
VCCIO1		0	1	0	1
VCCIO2		0	0	1	1
VCCIO3		1	2	1	2
VCCIO4		1	0	1	0
VCCIO5		1	1	1	1

管脚类型	GW2AR-18			
	QN88P	EQ144P	QN88PF	EQ144PF
VCCIO6	0	0	0	0
VCCIO7	0	0	1	2
VCCPLLL0	0	1	0	1
VCCPLLL1	1	0	1	0
VCCPLLR0	0	1	0	1
VCCPLLR1	1	1	1	1
VSS	7	6	7	6
MODE0	1	1	1	1
MODE1	1	1	1	1
MODE2	0	1	0	1
EXTR	1	1	1	1
JTAGSEL_N	0	0	0	0

注!

- ¹⁾单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚。
- ²⁾JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。
- ³⁾引脚复用。

2.5 I/O BANK 说明






GW2AR 系列 FPGA 产品分为八个 I/O BANK 区。

详细的 Bank 分布示意图请参考 [DS226, GW2AR 系列 FPGA 产品数据手册 > 2.4 输入输出模块](#)。

本手册列举了 GW2AR 系列 FPGA 产品每种封装的管脚分布示意图。GW2AR 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW2AR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK4 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK5 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK6 中的 I/O，填充颜色随 BANK 变化。

- “” 表示 BANK7 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。
- “” 表示专用管脚 EXTR。

3 管脚分布示意图

3.1 GW2AR-18 器件管脚分布示意图

3.1.1 QN88 管脚分布示意图(内嵌 SDRAM)

图 3-1 GW2AR-18 器件 QN88 封装管脚分布示意图(内嵌 SDRAM)

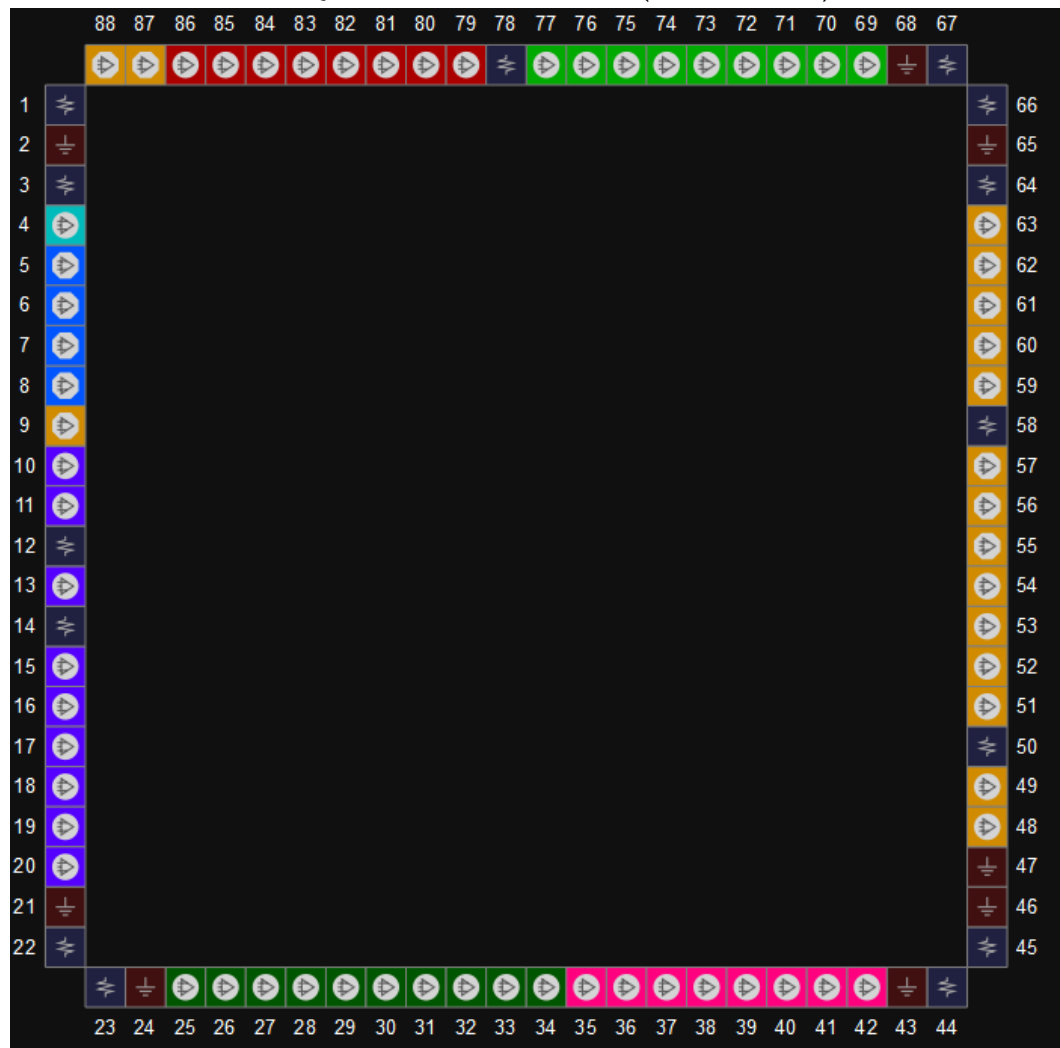


表 3-1 GW2AR-18 器件 QN88 内嵌 SDRAM 非 I/O 管脚

VCC	1, 22, 45, 66
VCCIO0	78
VCCIO1	67
VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCX/VCCIO2/VCCIO6/VCCIO7	3,12, 64
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

3.1.2 QN88P 管脚分布示意图(内嵌 PSRAM)

图 3-2 GW2AR-18 器件 QN88P 封装管脚分布示意图(内嵌 PSRAM)



表 3-2 GW2AR-18 器件 QN88P 非 I/O 管脚(内嵌 PSRAM)

VCC	1, 22, 45, 66
VCCIO0	78
VCCIO2/VCCIO7	3, 64
VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCX/VCCIO1/VCCIO6	12, 67
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

3.1.3 QN88PF 管脚分布示意图(内嵌 PSRAM)

图 3-3 GW2AR-18 器件 QN88PF 封装管脚分布示意图(内嵌 PSRAM)



表 3-3 GW2AR-18 器件 QN88PF 非 I/O 管脚(内嵌 PSRAM)

VCC	1, 22, 45, 66
VCCIO0	78
VCCIO2	64
VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCIO7	3
VCCX/VCCIO1/VCCIO6	12, 67
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

3.1.4 EQ144 管脚分布示意图(内嵌 SDRAM)

图 3-4 GW2AR-18 器件 EQ144 封装管脚分布示意图(内嵌 SDRAM)



表 3-4 GW2AR-18 器件 EQ144 非 I/O 管脚(内嵌 SDRAM)

VCC/VCCPLLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109
VCCIO3	77, 91
VCCIO4	55
VCCIO5	37
VCCX/VCCIO2/VCCIO6/ VCCIO7	5,19,31,103
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.5 EQ144P 管脚分布示意图(内嵌 PSRAM)

图 3-5 GW2AR-18 器件 EQ144P 封装管脚分布示意图(内嵌 PSRAM)



表 3-5 GW2AR-18 器件 EQ144P 非 I/O 管脚(内嵌 PSRAM)

VCC/VCCPLLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109
VCCIO3	77, 91
VCCIO5	37
VCCIO2/VCCIO7	5,19,103
VCCX/VCCIO4/VCCIO6	31,55
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.6 EQ144PF 管脚分布示意图(内嵌 PSRAM)

图 3-6 GW2AR-18 器件 EQ144PF 封装管脚分布示意图(内嵌 PSRAM)

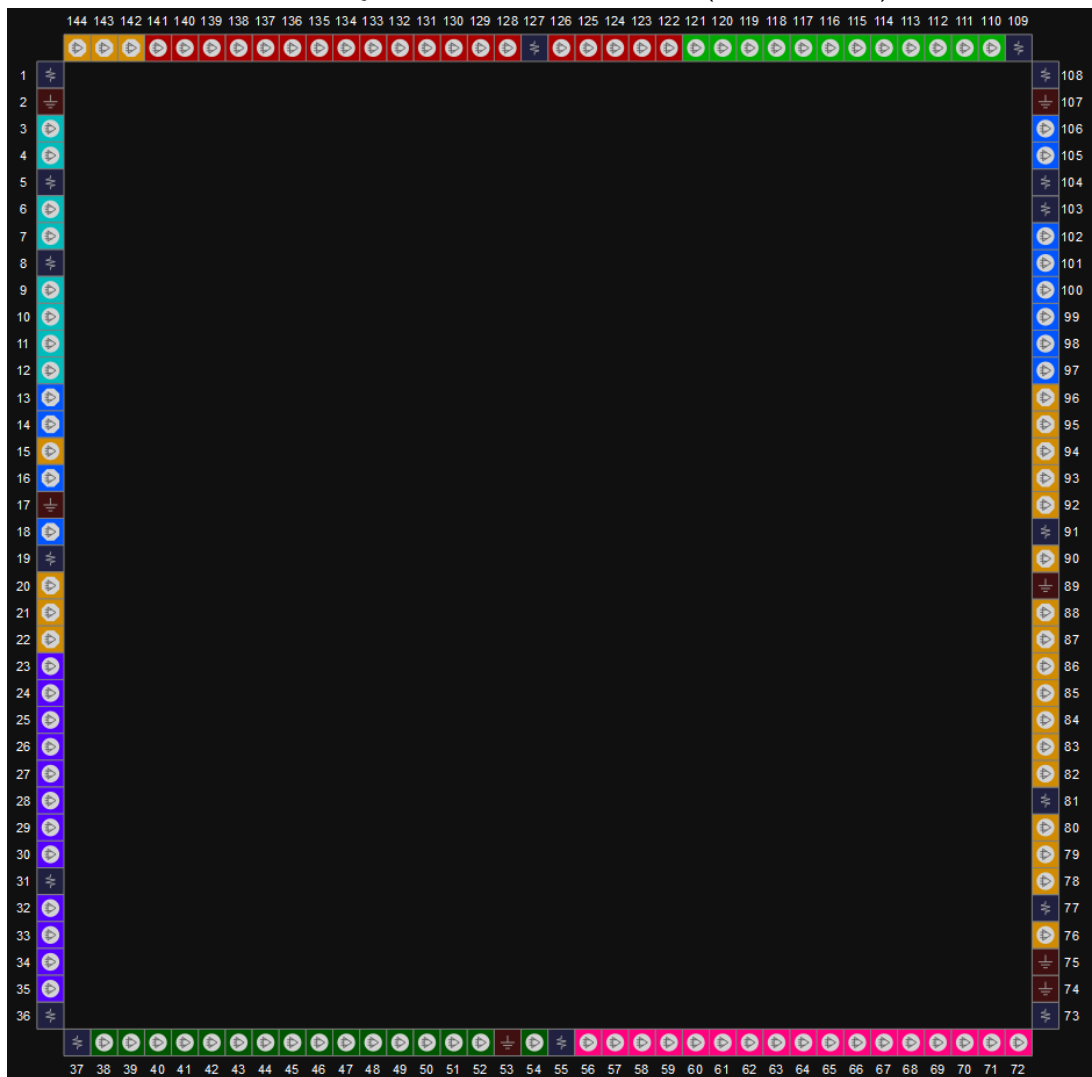


表 3-6 GW2AR-18 器件 EQ144PF 非 I/O 管脚(内嵌 PSRAM)

VCC/VCCPLLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109
VCCIO2	103
VCCIO3	77, 91
VCCIO5	37
VCCIO7	5,19
VCCX/VCCIO4/VCCIO6	31,55
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.7 EQ176 管脚分布示意图(内嵌 SDRAM)

图 3-7 GW2AR-18 器件 EQ176 封装管脚分布示意图(内嵌 SDRAM)

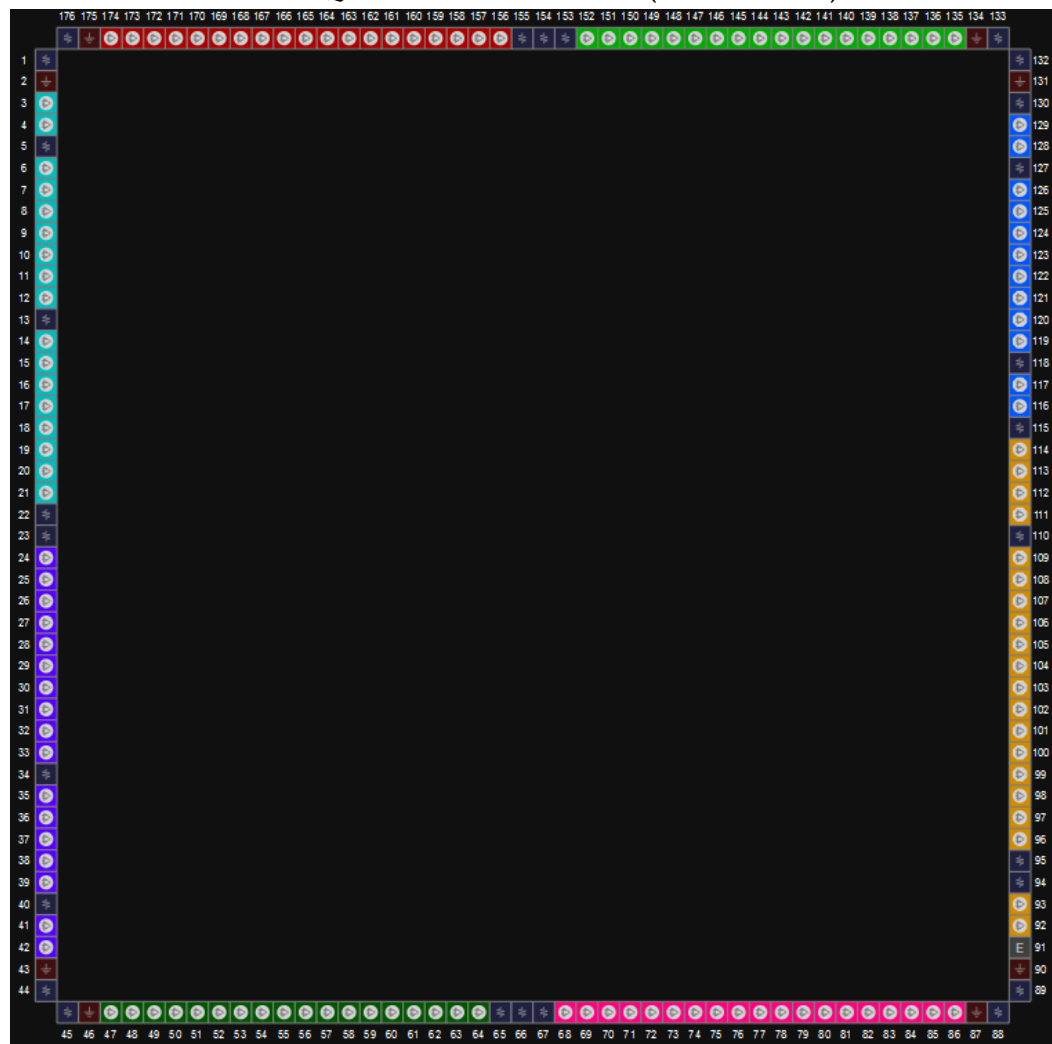


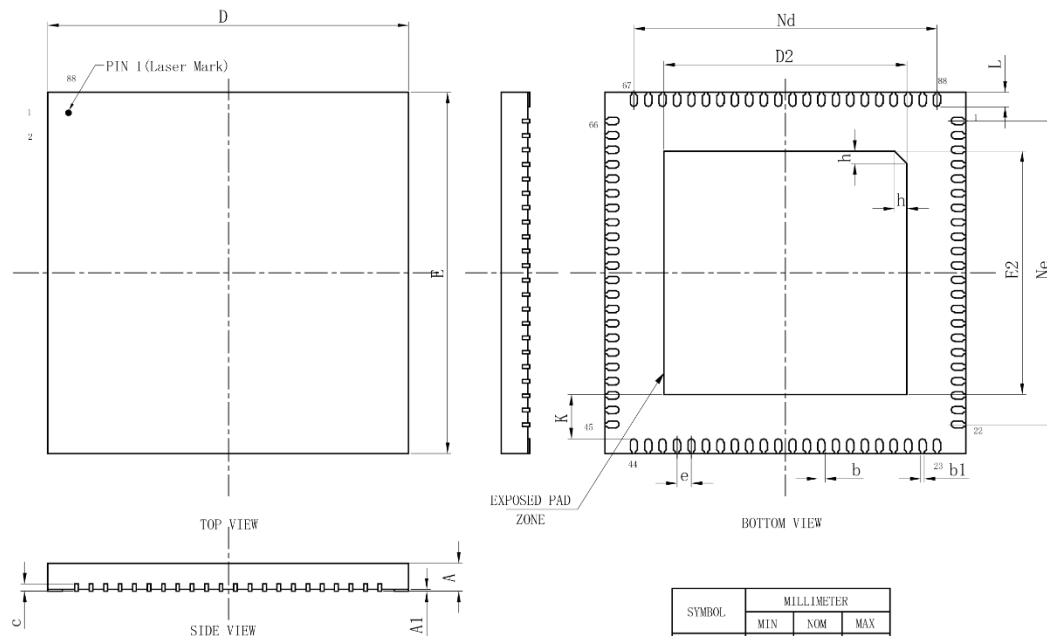
表 3-7 GW2AR-18 器件 EQ176 非 I/O 管脚(内嵌 SDRAM)

VCC	1, 44, 89, 132
VCCIO0	155, 176
VCCIO1	133, 153
VCCIO4	67, 88
VCCIO5	45, 65
VCCX	23, 66, 115, 154
VCCIO2/VCCIO3/VCCIO6/VCCIO7	5, 13, 22, 40, 95, 110, 130
VCCPLL1	34
VCCPLL0	127
VCCPLL1	94
VSS	2, 43, 46, 87, 90, 131, 134, 175
EXTR	91
MODE	111, 112, 113

4 封装尺寸

4.1 封装尺寸 QN88/QN88P/QN88PF (10mm x 10mm)

图 4-1 封装尺寸 QN88/QN88P/QN88PF

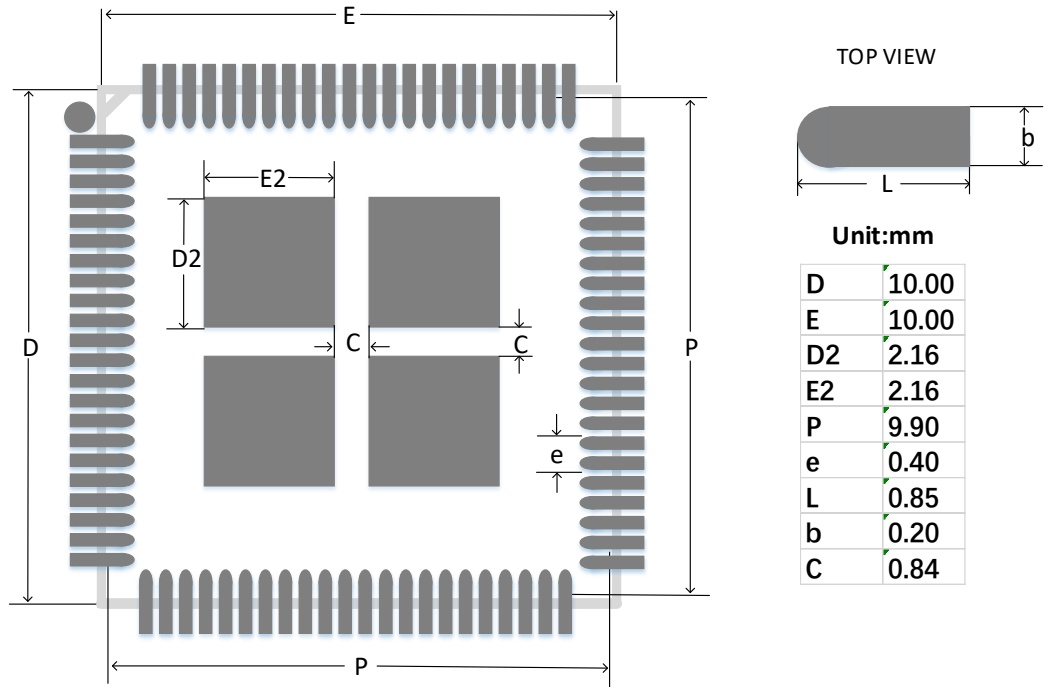


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
	0.80	0.85	0.90
	0.85	0.90	0.95
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.10REF		
c	0.18	0.20	0.25
D	9.90	10.00	10.10
D2	6.64	6.74	6.84
e	0.40BSC		
Nd	8.40REF		
E	9.90	10.00	10.10
E2	6.64	6.74	6.84
Ne	8.40REF		
L	0.30	0.40	0.50
K	0.20	-	-
h	0.30	0.35	0.40

注!

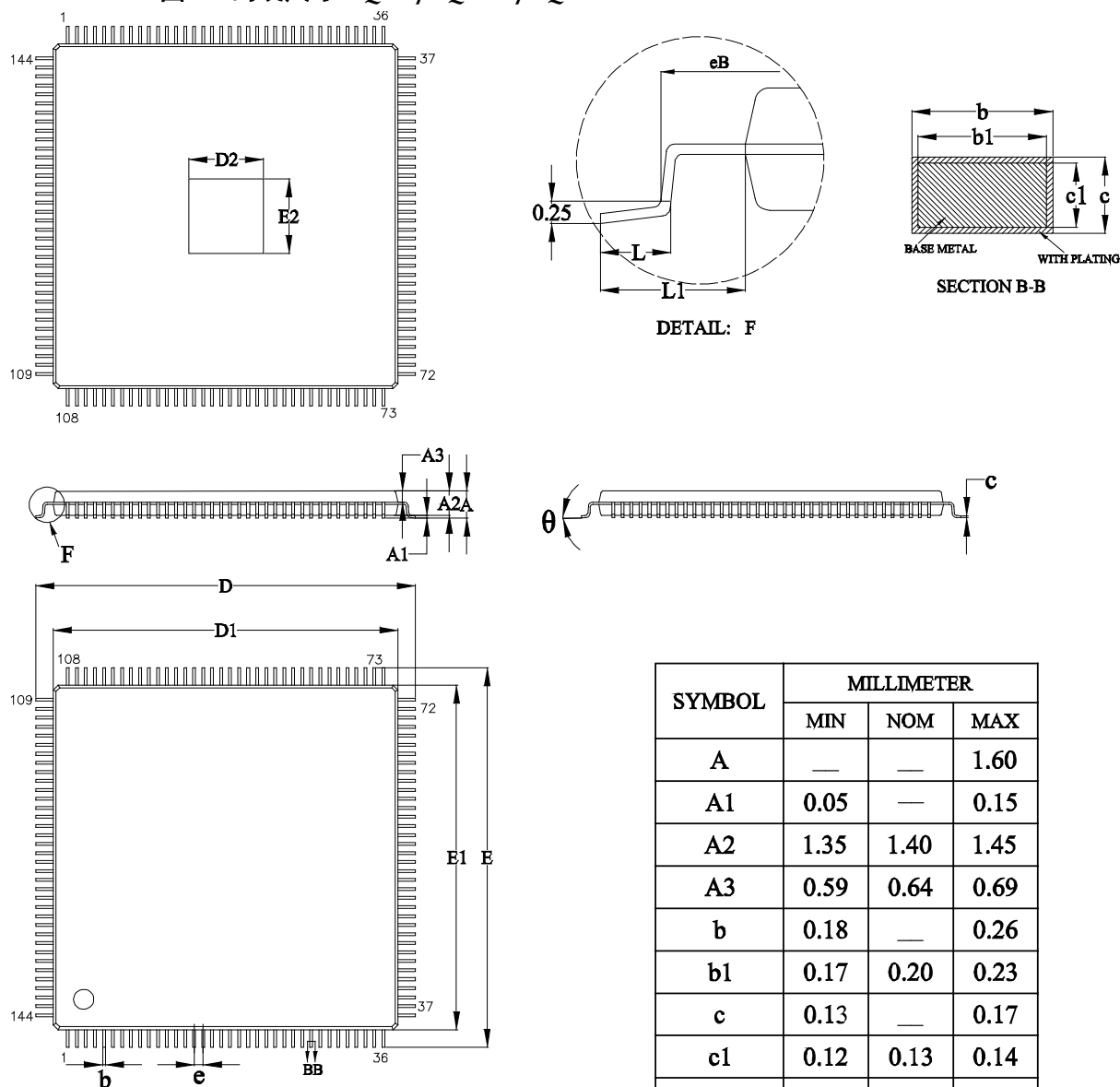
- GW2AR-LV18QN88 的 A(NOM)的值为 0.9mm。
- GW2AR-LV18QN88P 和 GW2AR-LV18QN88PF 的 A(NOM)的值为 0.9mm。

图 4-2 推荐 PCB Layout QN88/QN88P/QN88PF



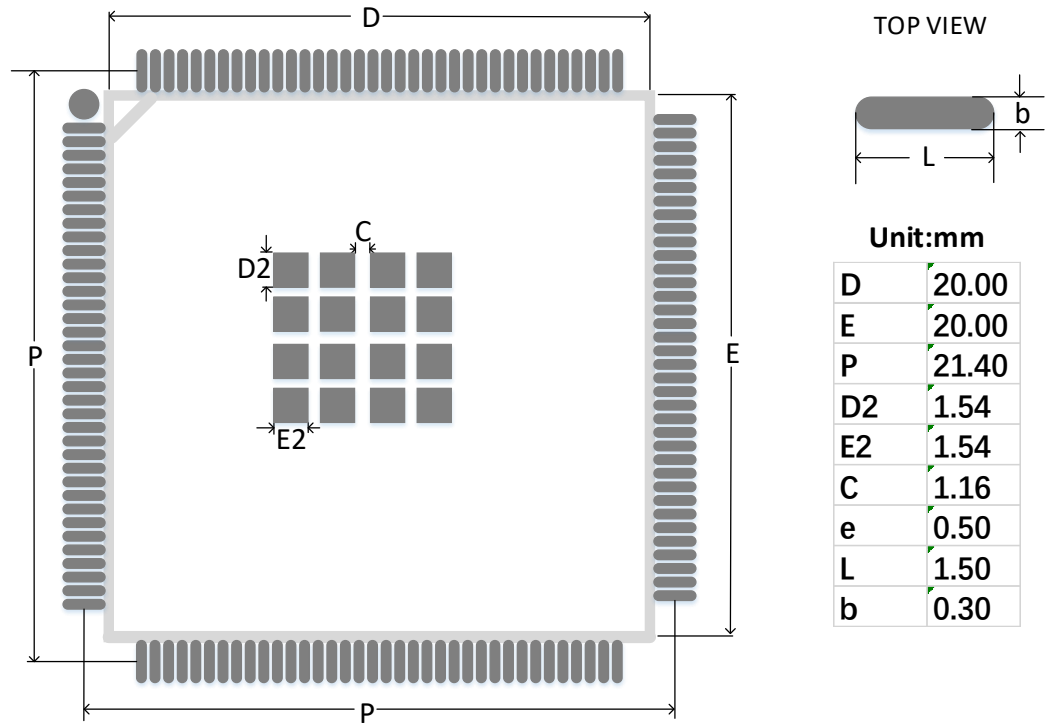
4.2 封装尺寸 EQ144/EQ144P/EQ144PF (20mm x 20mm)

图 4-3 封装尺寸 EQ144/EQ144P/EQ144PF



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
eB	21.15	—	21.40
L	0.45	—	0.75
D2	9.74REF		
E2	9.74REF		
L1	1.00REF		
θ	0	—	7°

图 4-4 推荐 PCB Layout EQ144/EQ144P/EQ144PF



4.3 封装尺寸 EQ176 (20mm x 20mm)

图 4-5 封装尺寸 EQ176

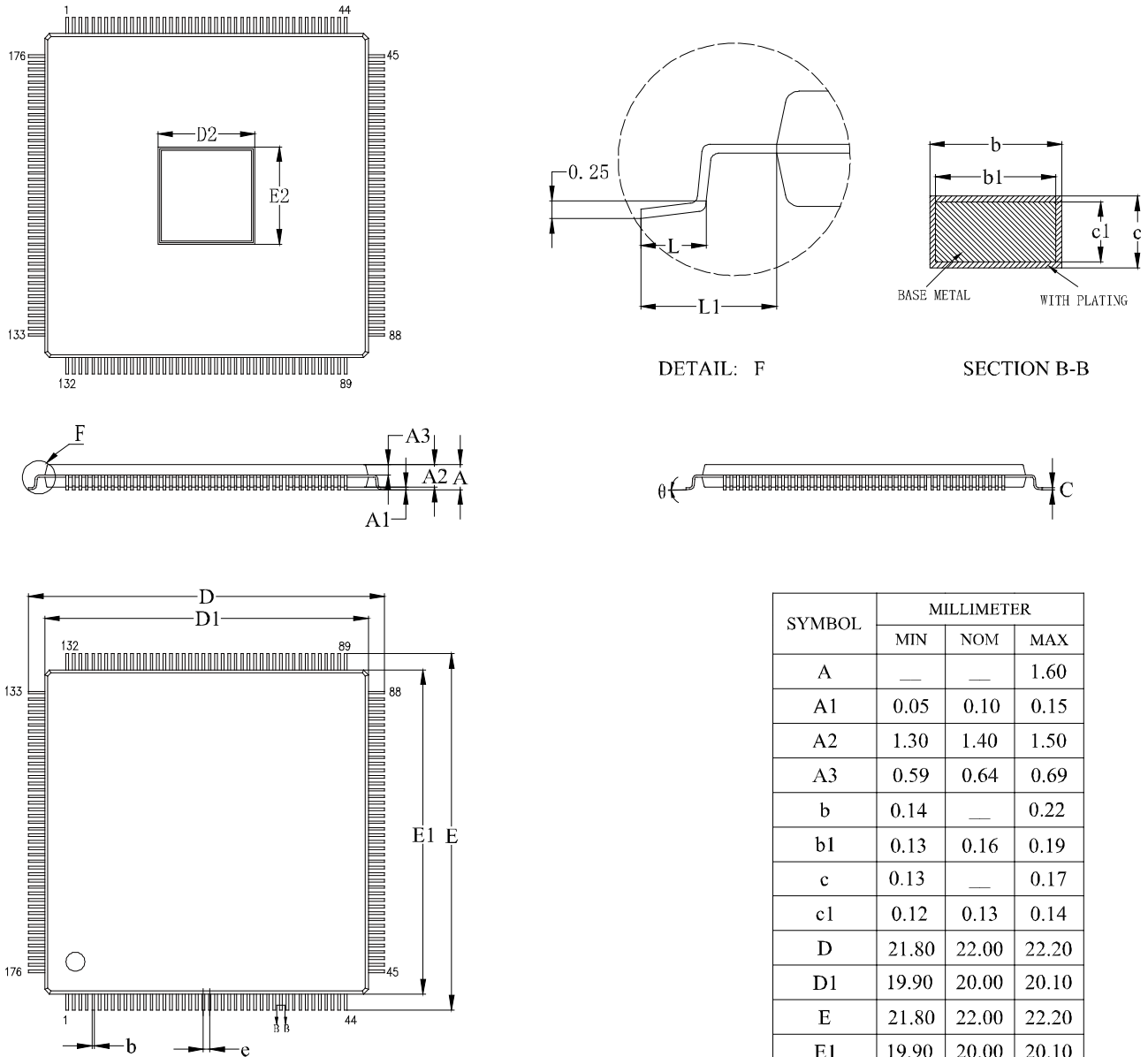
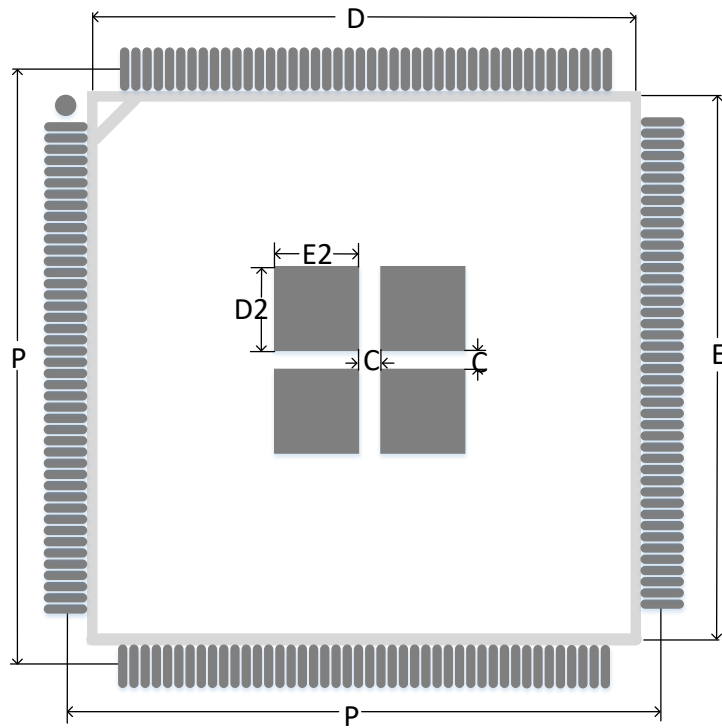
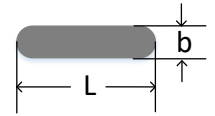


图 4-6 推荐 PCB Layout EQ176



TOP VIEW



Unit:mm

D	20.00
E	20.00
P	21.40
D2	1.90
E2	1.90
C	0.74
e	0.40
L	1.55
b	0.20

