GW1NS & GW1NSR & GW1NSER 系列 FPGA 产品原理图指导手册

简介

使用高云半导体 GW1NS & GW1NSR & GW1NSER 系列 FPGA 产品做电路板设计时需遵循一系列规则。本文档详细描述了 GW1NS & GW1NSR & GW1NSER 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG 下载
- MSPI 下载
- 时钟管脚
- 差分管脚
- RECONFIG_N、READY、DONE
- MODE
- JTAGSEL_N
- FASTRD_N
- 配置管脚复用
- FPGA 外接晶振电路参考
- Bank 电压
- 各器件支持的配置模式
- MIPI
- 管脚分配

电源

概述

GW1NS & GW1NSR & GW1NSER 系列 FPGA 产品支持 LV 版本。电压种类包括 V_{CC} 核电压、V_{CCX} 辅助电压和 V_{CCIO} Bank 电压。

LV 版本器件内部没有线性稳压器，辅助电压 V_{CCX} 支持 1.8V、2.5V 和 3.3V，I/O Bank 电压 V_{CCIO} 可根据需要在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中设置。

V_{CC} 核电压是 1.2V。V_{CCX} 为辅助电源，用于给芯片内部部分电路供电，支持 1.8V、2.5V、3.3V 电压，芯片启动后，可关闭 V_{CCX} 电压。V_{CCIO} Bank 电压根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中设置。

电源指标

GW1NS/GW1NSR/GW1NSER 系列器件有多个不同的电源轨，V_{CC}、V_{CCX}、V_{CCIO}。为了释放上电复位，必须给 V_{CC}、V_{CCX} 和特定的 V_{CCIO} 供电。不同器件所需的 V_{CCIO} 电源轨，请参考 *UG290，Gowin FPGA 产品编程配置手册*第 6.1 章“上电时序”中的“不同器件 POR 模块监控电源轨”表。V_{CCX} 应始终不低于 V_{CCIO}，否则 V_{CCIO} 上会存在漏电。

电源电压的推荐工作范围，请参考下列 Pinout 中的“Power”sheet。

- UG824，GW1NS-4&4C 器件 Pinout 手册
- UG864，GW1NSR-4 器件 Pinout 手册
- UG865，GW1NSR-4C 器件 Pinout 手册
- UG883，GW1NSER-4C 器件 Pinout 手册

上电顺序

V_{CCX} 不晚于 V_{CC} 上电。

V_{CCX} 必须大于等于 V_{CCIO}，不然 V_{CCIO} 会漏电。

注！

在上电过程中，如果 V_{CCX} 低于 V_{CCIO}，V_{CCIO} 可能会产生数百毫安的瞬时电流。这个高电流可能一直持续到 V_{CCX} 不低于 V_{CCIO} 为止。

上电时间

V_{CC} 电源上电时间的推荐参考范围值为 0.2ms ~2ms。V_{CCIO} 和 V_{CCX} 电源上电时间的推荐参考范围请参考 *DS821，GW1NS 系列 FPGA 产品数据手册*第 3.1.3 章“电源上升斜率”的“电源上升斜率”表。若满足下面电源上电时间的计算方法，可忽略上文提及的“电源上升斜率”表中的最小值（除了 V_{CCIO}）。

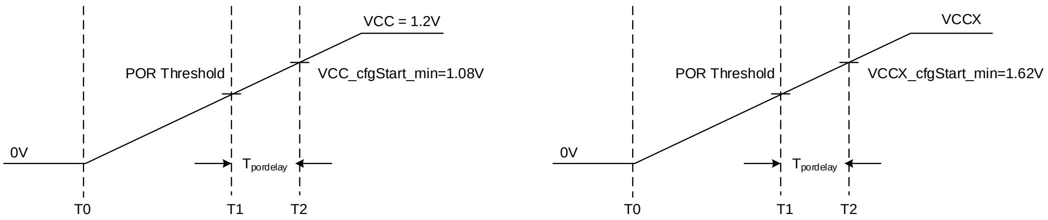
电源斜坡率

GW1NS & GW1NSR & GW1NSER 器件释放 POR 后，配置逻辑将访问内部闪存以读出工厂区数据进行初始化。为确保内部闪存在该读操作前已经

准备好，对电源上电时间有要求。

内部闪存由 V_{CC} 和 V_{CCX} 供电。在闪存规格中，读取操作需 $V_{CC} \geqslant 1.08V$ 且 $V_{CCX} \geqslant 1.62V$。器件开始初始化时，系统电源轨必须满足该条件。

图 1 电源斜坡波形



V_{CC} 和 V_{CCX} 的 POR 阈值电压参考 *DS821，GW1NS 系列 FPGA 产品数据手册*第 3.1.5 章“POR 特性”中的“POR 电压参数”表。POR 延迟时间: $T_{pordelay\text{-}min}$=500us、$T_{pordelay\text{-}typ}$=750us、$T_{pordelay\text{-}max}$=1ms。

计算电源斜坡时间，首先需知道将最后达到 POR 触发点的电源轨。这就是 T1，系统 POR 将被释放。然后得到 T2，相当于 T1+$T_{pordelay}$，这时器件开始访问内部闪存。需确保在 T2 时 $V_{CC} \geqslant 1.08V$ 且 $V_{CCX} \geqslant 1.62V$。

以 GW1N-4 为例，假设 V_{CC} 最后上电，V_{CCX} 和 V_{CCIO} 在 V_{CC} 之前是稳定的，那么 POR 释放时间将取决于 V_{CC} 电源轨。如果斜坡时间为 3.3ms，根据 *DS100，GW1N 系列 FPGA 产品数据手册*第 3.1.5 章“POR 特性”中的“POR 电压参数”表，V_{CC} 的 POR 阈值约为 0.9V。

T1 = 3.3ms * 0.9V/1.2V = 2.475ms

T2 = T1 + $T_{pordelay\text{-}min}$ = 2.975ms

因此，我们可以得到 $V_{CC\_cfgstart}$ = 1.2V * 2.975ms/3.3ms = 1.08V，大于 Min.=1.08V 的要求。那么这就是一个安全电源斜坡率。

注!

以上计算是基于电源是线性的。

如果 V_{CCX} 是最后一个上电的电源轨。需确保它满足 $V_{CCX\_cfgstart\_min}$ =1.62V 的要求。

总体功耗

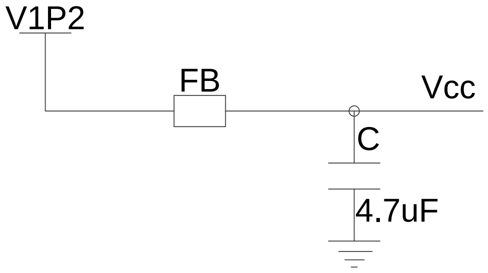
针对特定密度、封装和资源利用率，可以使用云源软件 GPA 工具进行功耗评估和分析。

电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1uF 陶瓷电容到地。

对于 V_{CC} 核电压输入端要重点进行噪声处理，如下图所示：

图 2 V_{CC} 核电压输入端噪声处理



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7uF 为陶瓷电容，精度±20%。

JTAG 下载

JTAG 概述

高云半导体 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将比特流数据写入到高云半导体 FPGA 产品的 SRAM 中，掉电后配置数据丢失。高云半导体所有封装的 FPGA 产品均支持 JTAG 配置模式。

信号定义

表 1 JTAG 配置模式信号定义

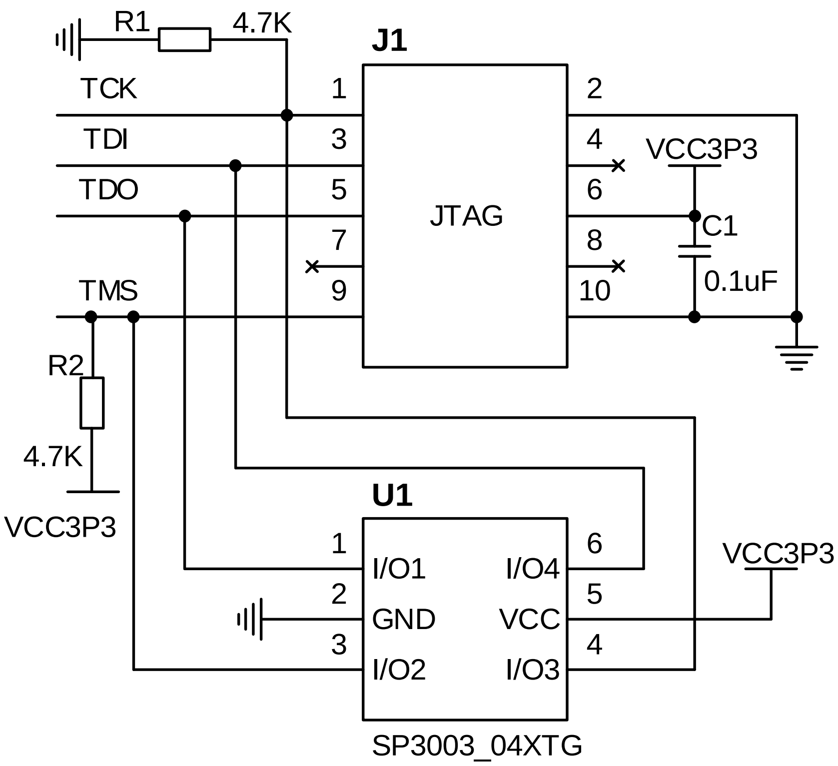
管脚名称	I/O 类型	说明
JTAGSEL_N[1]	I,内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效
TCK[2]	I	JTAG 串行时钟输入
TMS	I,内部弱上拉	JTAG 串行模式输入
TDI	I,内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

注！

- [1] JTAGSEL_N 信号只有当 JTAG 管脚设置为 GPIO 并且器件启动工作后才起作用；对于小蜜蜂(LittleBee)家族 FPGA，当 MODE[2:0]=001 时，JTAGSEL_N 始终为 GPIO，此时可将 JTAGSEL_N 和 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）同时用作 GPIO，但是此时 JTAGSEL_N 无法将 JTAG 管脚恢复为配置 IO，需要让器件重新进入编辑模式以恢复。
- [2] TCK 需在 PCB 上连接 4.7K 下拉电阻。

JTAG 电路参考

图 3 JTAG 电路参考



注！

- 电阻精度±5%。
- JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、VCC2P5。
- 为了更好保护 JTAG 管脚，防止静电损坏建议 JTAG 信号上增加 ESD 保护芯片，可选型号：SP3003_04XTG。

MSPI 下载

MSPI 概述

在 MSPI（Master SPI）模式下，FPGA 作为主器件（Master），通过其 SPI 接口从外部 Flash 存储器中读取比特流数据来配置 FPGA 的内部 SRAM。

信号定义

表 2 MSPI 配置模式的信号定义

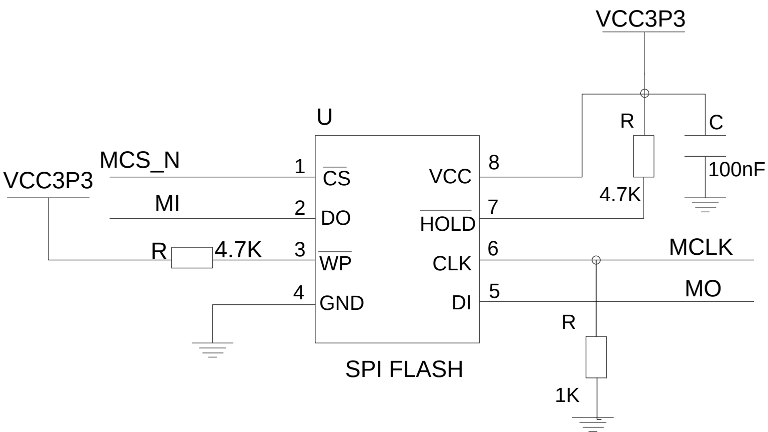
管脚名称	I/O 类型	说明
RECONFIG_N	I， 内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置
READY	I/O	1'b1：当前可以对器件进行编程配置 1'b0：禁止对器件进行编程配置
DONE	I/O	在非 JTAG 配置模式下， 1'b1：成功完成编程配置 1'b0：未完成编程配置
MODE[2:0]	I， 内部弱上拉	MODE 选择信号(在 READY 上升沿采样)
MCLK	O	FPGA 输出时钟
MCS_N	O	SPI 片选信号，低有效
MO	O	经 SPI 输出数据到 Slave
MI	I	从 Slave 经 SPI 输入数据
FASTRD_N	I	在 READY 信号的上升沿采样 1'b1: Read SPI 模式（SPI 指令：0x03） 1'b0: Fast Read SPI 模式（SPI 指令：0x0B）

注！

- MSPI 配置模式的时钟频率存在±10%(晨熙家族)或±5%(小蜜蜂家族)的误差。
- MSPI 配置模式的时钟频率上限不应大于 66.6MHz。
- 当时钟频率大于 30MHz 小于 66.6MHz 时需要使用 Flash 的高速访问模式并外部拉低 FASTRD_N 管脚。拉低 FASTRD_N 后，时钟频率需大于 5MHz。
- 时钟频率不高于 30MHz 时，FASTRD_N 管脚悬空即可。

MSPI 电路参考

图 4 MSPI 电路参考



注!

MCLK 信号需加 1K 下拉电阻。

时钟管脚

概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚。

- GCLK：GCLK 在产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络，每个 GCLK 可选时钟源包括专用的时钟输入管脚和普通的布线资源单元（CRU），使用专用的时钟输入管脚可以取得更好的时钟性能；
- PLL：通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

信号定义

表 3 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚，T(True)，[x]：全局时钟序号
GCLKC_[x]	I/O	全局时钟输入管脚，C(Comp)，[x]：全局时钟序号
LPLL_T_FB/RPLL_T_FB	I	左边/右边 PLL 反馈输入管脚，T(True)
LPLL_C_FB/RPLL_C_FB	I	左边/右边 PLL 反馈输入管脚，C(Comp)
LPLL_T_IN/RPLL_T_IN	I	左边/右边 PLL 时钟输入管脚，T(True)
LPLL_C_IN/RPLL_C_IN	I	左边/右边 PLL 时钟输入管脚，C(Comp)

时钟输入选择

如果外部时钟作为 PLL 时钟输入，建议从 PLL_T 端输入。

GCLK 是全局时钟，直接连接到器件的所有资源，建议从 GCLK_T 端输入。

差分管脚

概述

差分传输是一种信号传输的技术，区别于传统的一根信号线一根地线的做法，差分传输在这两根线上都传输信号，这两个信号的振幅相等，相位相同，极性相反。

差分类型

表 4 差分类型

I/O输出标准	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)
MIPI	差分（MIPI)	1.2	N/A
LVDS25	差分（True LVDS)	2.5/3.3	N/A
RSDS	差分（True LVDS)	2.5/3.3	N/A
MINILVDS	差分（True LVDS)	2.5/3.3	N/A
PPLVDS	差分（True LVDS)	2.5/3.3	N/A
SSTL15D	差分	1.5	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8
LVCMOS12D	差分	1.2	4,8
LVCMOS15D	差分	1.5	4,8
LVCMOS18D	差分	1.8	4,8,12
LVCMOS25D	差分	2.5	4,8,12,16
LVCMOS33D	差分	3.3	4,8,12,16,24

注！

具体差分管脚位置请参考各 pinout 手册。

RECONFIG_N、READY、DONE

概述

RECONFIG_N，相当于 FPGA 编程配置的复位功能，RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。

作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。

READY，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后需采用器件上电或触发 RECONFIG_N 的方式恢复状态。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置。当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。

DONE，FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功。当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。

RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。

信号定义

表 5 信号定义

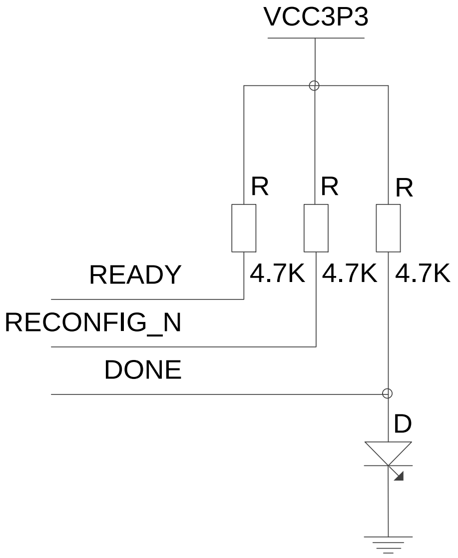
名称	I/O 类型	说明
RECONFIG_N	I，内部弱上拉	低电平脉冲：开始新的 GowinCONFIG 配置
READY[1]	I/O，内部弱上拉	高电平：当前可以对器件进行编程配置
		低电平：无法对器件进行编程配置
DONE[1]	I/O，内部弱上拉	高电平：成功完成编程配置
		低电平：未完成编程配置或编程配置失败

注！

[1] READY 和 DONE 默认状态为 open-drain 输出，内部弱上拉。在配置期间，DONE 输出 0。

READY、RECONFIG_N、DONE 参考电路

图 5 READY、RECONFIG_N、DONE 参考电路



注！

- 上拉电源为对应配置管脚位置的 Bank 电压值 VCCIO0。
- 电阻精度±5%。

MODE

概述

MODE 包括 MODE0、MODE1、MODE2，是 GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态。MODE[2:0]用来选择 GowinCONFIG 的编程配置模式，用户不需要改变模式时可以使用上拉或下拉的方式将其固定在特定的模式，上拉电阻推荐 4.7K，下拉电阻推荐 1K。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地，具体请参考相应器件的 PINOUT 手册。

信号定义

表 6 信号定义

名称	I/O 类型	说明
MODE2	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口

模式选择

表 7 模式选择

配置模式		MODE[2:0][1]	相关说明
JTAG		XXX[2]	外部 Host 通过 JTAG 接口对小蜜蜂(LittleBee)家族 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	I^2C[6]	100	外部 Host 通过 I2C 接口对 FPGA 产品进行配置
	SSPI	001	外部 Host 通过 SPI 接口对小蜜蜂(LittleBee)家族 FPGA 产品进行配置
	MSPI	010	FPGA 作为 Master，通过 SPI 接口[3]从外部 Flash (或其他器件)读取配置数据进行配置
	DUAL BOOT[4]	110	FPGA 优先选择外部 Flash 读取配置数据进行配置，外部 Flash 配置失败时选择从内部 Flash 进行配置
	SERIAL[5]	101	外部 Host 通过 DIN 接口对小蜜蜂(LittleBee)家族 FPGA 产品进行配置
	CPU[5]	111	外部 Host 通过 DBUS 接口对小蜜蜂(LittleBee)家族 FPGA 产品进行配置

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地(GW1N(R)-2 和 GW1N-1P5 器件除外，需参考相应的 pinout 手册)。
- [2]JTAG 配置模式与 MODE 输入值无关。
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的。
- [4]GW1N(R)-4/GW1N(R)-4B 目前暂不支持 DUAL BOOT。
- [5]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。
- [6]小蜜蜂(LittleBee)家族 FPGA 产品处于 I^2C 配置模式时，同时支持 Autoboot 模式，芯片上电后，FPGA 先自行从内置 Flash 读取比特流数据完成配置。Autoboot 配置期间，I^2C SDA 线必须保持外部上拉状态，否则设备可能无法正确配置；另外，建议同时外部上拉 SCL 线。请注意：此注释亦适用于 SDA 和 SCL 内部弱上拉的 C 版本器件。

JTAGSEL_N

概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。

信号定义

表 8 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I，内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效

注！

JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：

- JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚。
- JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。

FASTRD_N

概述

MSPI 配置模式读取 SPI Flash 速度选择信号。当 FASTRD_N 为高电平时为普通读取模式；当 FASTRD_N 为低电平时为高速读取模式。各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。

信号定义

表 9 信号定义

管脚名称	I/O 类型	说明
FASTRD_N	I/O	作为配置管脚类型输入，内部弱上拉，READY 信号上升沿时采样 MSPI 配置速度模式； 作为 GPIO 时，可用作输入或输出类型。

注！

- 高电平：普通 Flash 访问模式，时钟频率不得高于 30MHz。
- 低电平：高速 Flash 访问模式，时钟频率范围大于 30MHz，小于 80MHz。

配置管脚复用

概述

为最大化地提高 I/O 的利用率，高云半导体的 FPGA 产品支持将配置管脚设置为普通 I/O 使用。所有系列的 FPGA 上电后未进行任何配置操作之前，与配置相关的管脚均默认作为配置管脚使用。配置成功后，器件进入用户模式，按照用户选择的复用选项重新分配管脚的功能。

注！

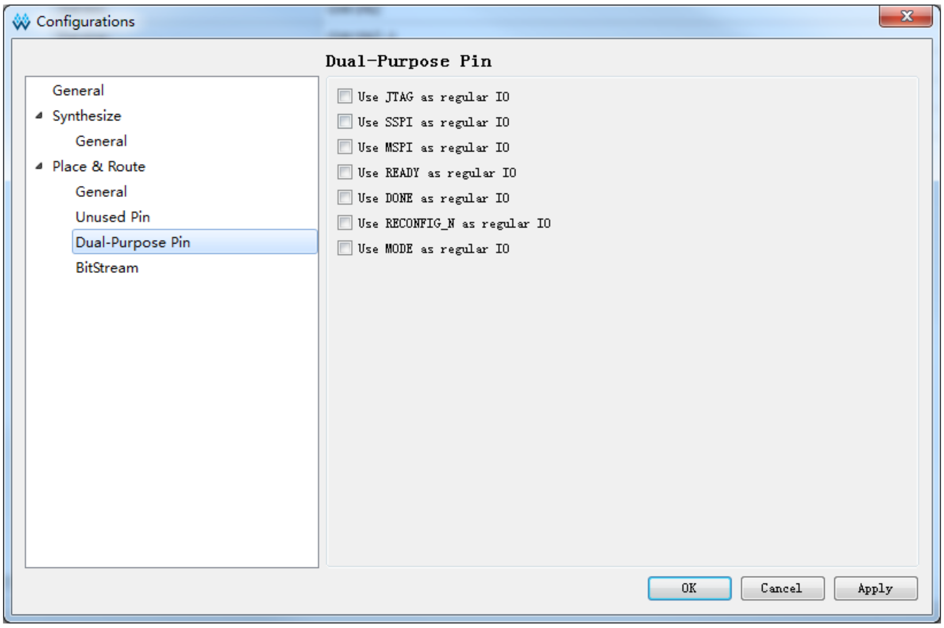
用户设置管脚复用选项时，需确保管脚的外部初始连接状态不影响器件的配置过程。对于影响配置的连接，需要先进行隔离处理，等待 FPGA 进入用户模式后再进行修改。

通过高云半导体云源软件配置管脚复用：

1. 打开高云半导体云源软件中相应的工程。
2. 在菜单栏中选择“Project > Configuration > Dual-Purpose Pin”，如图 6 所示。

3. 勾选对应选项设置配置管脚的复用情况。

图 6 配置管脚复用



管脚复用

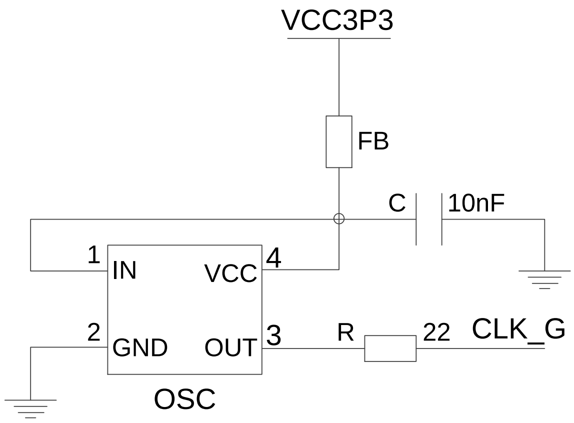
- SSPI：作为 GPIO 时，可用作 input 或 output 类型。
- MSPI：作为 GPIO 时，可用作 input 或 output 类型。
- RECONFIG_N：作为 GPIO 时，只能用作 output 类型。为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平。
- READY：作为 GPIO 时，可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则 FPGA 无法进行配置。
- DONE：作为 GPIO 时，可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则配置结束后 FPGA 无法进入用户模式。
- JTAG：作为 GPIO 时，可用作 input 或 output 类型。
- JTAGSEL_N：作为 GPIO 时，可用作 input 或 output 类型。
- MODE：作为 GPIO 时，可用作 input 或 output 类型。为保障配置过程顺利进行，用户复用 MODE 管脚时需要保证在配置的时候（上电或者低电平脉冲触发 RECONFIG_N）提供正确的配置模式值。MODE 最多可复用三个管脚，未封装出来的器件内部接地，具体请参考相应器件的 PINOUT 手册。不同的配置模式对应的 MODE 值请参考 *UG290, Gowin FPGA 产品编程配置手册*。

注！

如果 IO 口数量够使用，优先使用非复用管脚。

FPGA 外接晶振电路参考

图 7 FPGA 外接晶振电路



其中 FB 为磁珠，参考型号 MH2029-221Y；电阻精度±5%；电容精度±10%

Bank 电压

各器件的 Bank 供电要求请参考如下文档中的 Power 部分。

- UG824，GW1NS-4&4C 器件 Pinout 手册
- UG864，GW1NSR-4 器件 Pinout 手册
- UG865，GW1NSR-4C 器件 Pinout 手册
- UG883，GW1NSER-4C 器件 Pinout 手册

各器件支持的配置模式

GW1NS-4/4C

表 10 GW1NS-4/4C 配置模式

封装	JTAG	AUTO BOOT	MSPI	SSPI	SERIAL
CS49	Yes	Yes	No	No	No
CS81X	Yes	Yes	No	Yes	Yes
LQ144[2]	Yes	Yes	Yes	No	No
MG64	Yes	Yes	No	No	No
QN32[1]	Yes	Yes	Yes	No	No
QN48	Yes	Yes	No	No	No

注！

- [1] QN32 为 GW1NS-4 器件封装。
- [2] LQ144 为 GW1NS-4C 器件封装。

GW1NSER-4C

表 11 GW1NSER-4C 配置模式

封装	JTAG	AUTO BOOT
QN48G	Yes	Yes
QN48P	Yes	Yes

GW1NSR-4

表 12 GW1NSR-4 配置模式

封装	JTAG	AUTO BOOT
MG64P	Yes	Yes

GW1NSR-4C

表 13 GW1NSR-4C 配置模式

封装	JTAG	AUTO BOOT	MSPI	DUAL BOOT
QN48P	Yes	Yes	Yes	Yes
QN48G	Yes	Yes	No	Yes
MG64P	Yes	Yes	No	No

MIPI

GW1NS 系列 FPGA 产品支持内嵌的 MIPI 接口模块。GW1NS-4/GW1NS-4C 的 BANK0/BANK1 为 MIPI 输入，BANK2 支持 MIPI 输出。

注！

GW1NS-4/GW1NS-4C 器件 BANK0/BANK1 用作 MIPI 输入时，$V_{CCIO}0$/$V_{CCIO}1$ 需设置为 1.2V，BANK2 用作 MIPI 输出时 $V_{CCIO}2$ 需设置为 1.2V；并且 V_{CCX} 设置为 1.8V 时 MIPI 的速度仅能达到 V_{CCX} 设置为 2.5V/3.3V 时 MIPI 速度的 60%。

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源、差分信号资源等。

注！

- 配置过程中，器件所有 GPIO 均为高阻，内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。
- MIPI_OBUF 的 I/O 位置需选择差分对为 TrueLVDS 的差分对管脚。

参考文档

- UG290，Gowin FPGA 产品编程配置手册
- DS821，GW1NS 系列 FPGA 产品数据手册
- DS861，GW1NSR 系列 FPGA 产品数据手册
- DS881，GW1NSER 系列安全 FPGA 产品数据手册
- UG824，GW1NS-4&4C 器件 Pinout 手册
- UG864，GW1NSR-4 器件 Pinout 手册
- UG865，GW1NSR-4C 器件 Pinout 手册
- UG883，GW1NSER-4C 器件 Pinout 手册
- SUG100，Gowin 云源软件用户指南

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

版本信息

日期	版本	说明
2020/07/28	1.0	初始版本。
2021/12/06	1.1	● 修正表 1 推荐工作范围。 ● 完善各器件支持的配置模式表。
2022/07/15	1.1.1	更新 JTAG 电路参考的注释。
2022/10/20	1.2	删除 GW1NS-2、GW1NS-2C、GW1NSR-2、GW1NSR-2C、GW1NSE-2C 系列。
2023/03/10	1.3	● 更新“电源”章节。 ● 更新“JTAG”中的“图 3 JTAG 电路参考”。 ● 更新“电源”章节“电源斜坡率”中 GW1N-4 例子的数据。
2023/03/17	1.3.1	更新“管脚分配”中的注释。
2023/06/30	1.3.2	● 更新“各器件支持的配置模式”中的“表 10 GW1NS-4/4C 配置模式”。 ● 更新“MODE”章节的概述。
2023/08/10	1.3.3	● 优化“管脚分配”中的注释。 ● 更新“各器件支持的配置模式”中 GW1NS-4/4C QN48 封装的支持模式。
2024/02/22	1.3.4	新增“RECONFIG_N、READY、DONE”中“表 5 信号定义”的注释。
2024/06/07	1.4	● 新增“参考文档”章节。 ● 优化“上电时间”的描述。 ● 更新“JTAG”中的“图 3 JTAG 电路参考”。 ● 更新“FPGA 外接晶振电路参考”的注释。
2024/08/09	1.4.1	新增“各器件支持的配置模式”中 GW1NS-4/4C LQ144 封装的支持模式。
2024/08/23	1.4.2	优化“JTAG 下载”、“MSPI 下载”、“配置管脚复用”的章节描述。
2024/09/26	1.4.3	优化“电源”章节中“上电顺序”的描述。
2024/11/22	1.4.4	删除 GW1NSE 相关描述。
2025/03/21	1.4.5	新增“管脚分配”章节的 MIPI_OBUF 注释。
2025/06/27	1.4.6	新增“各器件支持的配置模式”中 GW1NS-4/GW1NS-4C 器件 CS81X 封装的支持模式。