

GW1NRF 系列 FPGA 产品原理图指导手册

使用高云®半导体 GW1NRF 系列 FPGA 产品做电路板设计时需遵循一系列规则。本文档详细描述了 GW1NRF 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG
- 时钟管脚
- 差分管脚
- JTAGSEL_N
- 配置管脚复用
- FPGA 外接时钟
- BLE 外接时钟
- FPGA Bank 电压
- BLE 电压
- 各器件支持的配置模式
- 管脚分配

电源

概述

GW1NRF 系列 FPGA 产品支持 2 个版本，LV 和 UV 版本。LV 版本支持 1.2V 核电压；UV 版本支持器件 $V_{cc}/V_{cc10}/V_{ccx}$ 统一供电。

注！

UV 版本和 LV 版本功能相同并且管脚兼容。

电源指标

GW1NRF 系列器件有多个不同的电源轨， V_{CC} 、 V_{CCX} 、 V_{CCIO} 。为了释放上电复位，必须给 V_{CC} 、 V_{CCX} 和特定的 V_{CCIO} 供电。不同器件所需的 V_{CCIO} 电源轨，请参考 [UG290, Gowin FPGA 产品编程配置手册](#) 第 4.1 章“上电时序”中的“不同器件 POR 模块监控电源轨”。 V_{CCX} 应始终不低于 V_{CCIO} ，否则 V_{CCIO} 上会存在漏电。

电源电压的推荐工作范围，请参考下列 Pinout 中的“Power” sheet。

- [UG892, GW1NRF-4B 器件 Pinout 手册](#)

上电时序

理论上，器件可以以任何顺序上电和下电。但是在上电过程中，如果 V_{CCX} 低于 V_{CCIO} ， V_{CCIO} 可能会产生数百毫安的瞬时电流。这个高电流可能一直持续到 V_{CCX} 不低于 V_{CCIO} 为止。为了防止这种意外电流，我们建议 V_{CCX} 在 V_{CCIO} 之前上电或者保证同时上电。

V_{CC} 没有特殊的上电顺序要求。

上电时间

V_{CC} 电源上电时间的推荐参考范围值为 0.2ms ~2ms。 V_{CCIO} 和 V_{CCX} 电源上电时间的推荐参考范围请参考 [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#) 第 4.1.3 章“电源上升斜率”的“电源上升斜率”表。若满足下面电源上电时间的计算方法，可忽略上文提及的“电源上升斜率”表(除了 V_{CCIO})。

注！

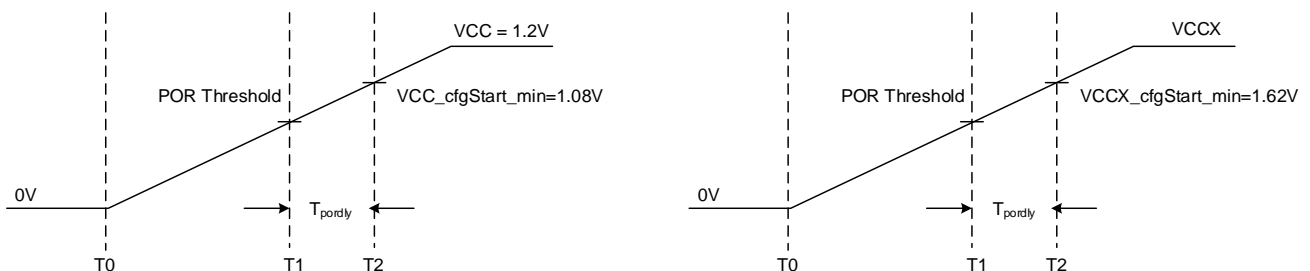
- 如果上电时间 > 2ms，则需要确保上电顺序为先 V_{CC} ，后 V_{CCX}/V_{CCIO} ；或根据电源斜坡率的计算公式计算安全电源上电时间。
- 如果上电时间 < 0.2ms，建议增加电容以延长上电时间。

电源斜坡率

GW1NRF 器件释放 POR 后，配置逻辑将访问内部闪存以读出工厂区数据进行初始化。为确保内部闪存在该读操作前已经准备好，对电源上电时间有要求。

内部闪存由 V_{CC} 和 V_{CCX} 供电。在闪存规格中，读取操作需 $V_{CC} \geq 1.08V$ 且 $V_{CCX} \geq 1.62V$ 。器件开始初始化时，系统电源轨必须满足该条件。

图 1 电源斜坡波形



V_{CC} 和 V_{CCX} 的 POR 阈值电压参考 [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#) 第 4.1.5 章“POR 特性”中的“POR 电压参数”表。POR 延迟时间: $T_{\text{pordly-min}}=500\mu\text{s}$ 、 $T_{\text{pordly-tp}}=750\mu\text{s}$ 、 $T_{\text{pordly-max}}=1\text{ms}$ 。

计算电源斜坡时间, 首先需知道将最后达到 POR 触发点的电源轨。这就是 T1, 系统 POR 将被释放。然后得到 T2, 相当于 $T1+T_{\text{pordelay}}$, 这时器件开始访问内部闪存。需确保在 T2 时 $V_{CC} \geq 1.08\text{V}$ 且 $V_{CCX} \geq 1.62\text{V}$ 。

以 GW1N-4 为例, 假设 V_{CC} 最后上电, V_{CCX} 和 V_{CCIO} 在 V_{CC} 之前是稳定的, 那么 POR 释放时间将取决于 V_{CC} 电源轨。如果斜坡时间为 3.3ms, 根据 [DS100, GW1N 系列 FPGA 产品数据手册](#) 第 4.1.5 章“POR 特性”中的“POR 电压参数”表, V_{CC} 的 POR 阈值约为 0.9V。

$$T1 = 3.3\text{ms} * 0.9\text{V}/1.2\text{V} = 2.475\text{ms}$$

$$T2 = T1 + T_{\text{pordly-min}} = 2.975\text{ms}$$

因此, 我们可以得到 $V_{CC_cfgstart} = 1.2\text{V} * 2.975\text{ms}/3.3\text{ms} = 1.08\text{V}$, 大于 $\text{Min.}=1.08\text{V}$ 的要求。那么这就是一个安全电源斜坡率。

注!

以上计算是基于电源是线性的。

如果 V_{CCX} 是最后一个上电的电源轨。需确保它满足 $V_{CCX_cfgstart_min}=1.62\text{V}$ 的要求。

对于 UV 器件, 使用内部 LDO 的 0.3V 电压降来计算 V_{CC} 电源斜坡时间, 即在 T2 时, 最小电压应该为 $1.08+0.3=1.38\text{V}$ 。

总体功耗

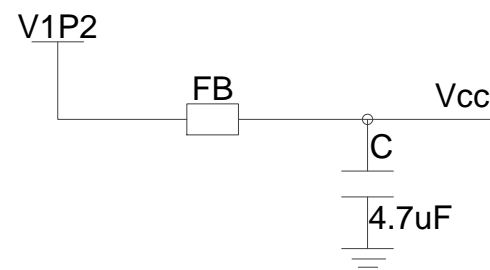
针对特定密度、封装和资源利用率, 可以使用云源软件 GPA 工具进行功耗评估和分析。

电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1 μF 陶瓷电容到地;

对于 V_{CC} 核电压输入端要重点进行噪声处理, 具体参考如下图所示:

图 2 V_{CC} 核电压输入端噪声处理



其中 FB 为磁珠, 参考型号 MH2029-221Y, 4.7 μF 为陶瓷电容, 精度不低于 $\pm 20\%$ 。

JTAG

JTAG 概述

JTAG 接口是将比特流数据下载到 FPGA 的 SRAM、片内 FLASH 或片外 FLASH 中。

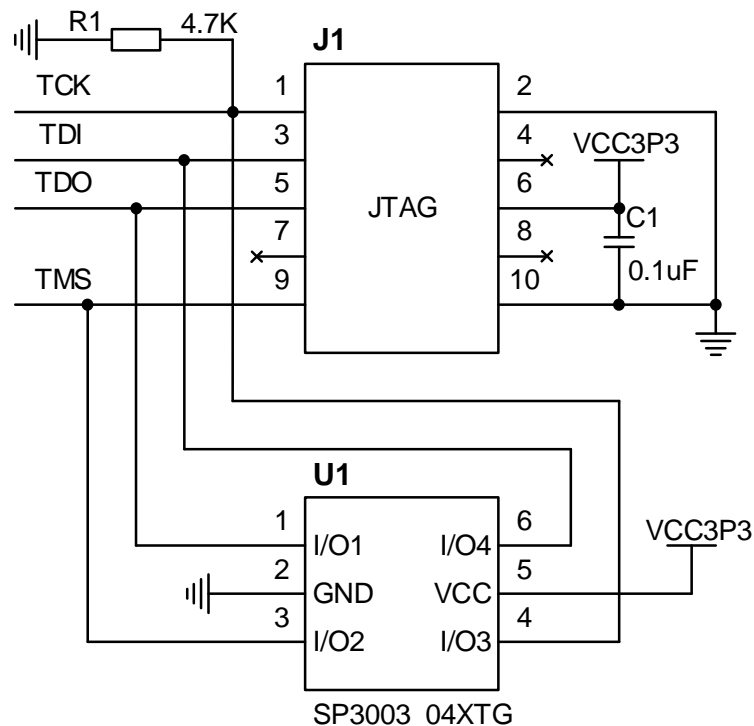
信号定义

表 1 JTAG 配置模式信号定义

名称	I/O类型	说明
TCK	I	JTAG 串行时钟输入
TMS	I, 内部弱上拉	JTAG 串行模式输入
TDI	I, 内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

JTAG 电路参考

图 3 JTAG 电路参考



注!

- JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、VCC2P5。
- 为了更好保护 JTAG 管脚，防止静电损坏建议 JTAG 信号上增加 ESD 保护芯片，可选型号：SP3003_04XTG。

时钟管脚

概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚。

- **GCLK:** GCLK 在产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络，每个 GCLK 可选时钟源包括专用的时钟输入管脚和普通的布线资源单元 (CRU)，使用专用的时钟输入管脚可以取得更好的时钟性能；
- **PLL:** 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

信号定义

表 2 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚, T(True), [x]: 全局时钟序号。
GCLKC_[x]	I/O	全局时钟输入管脚, C(Comp), [x]: 全局时钟序号。
LPLL_T_FB/RPLL_T_FB	I	左边/右边 PLL 反馈输入管脚, T(True)。
LPLL_C_FB/RPLL_C_FB	I	左边/右边 PLL 反馈输入管脚, C(Comp)。
LPLL_T_IN/RPLL_T_IN	I	左边/右边 PLL 时钟输入管脚, T(True)。
LPLL_C_IN/RPLL_C_IN	I	左边/右边 PLL 时钟输入管脚, C(Comp)。

时钟输入选择

如果外部时钟作为 PLL 时钟输入，建议从 PLL_T 端输入。

GCLK 是全局时钟，直接连接到器件的所有资源，建议从 GCLK_T 端输入。

差分管脚

概述

差分传输是一种信号传输的技术，区别于传统的一根信号线一根地线的做法，差分传输在这两根线上都传输信号，这两个信号的振幅相等，相位相同，极性相反。

差分类型

表3差分类型I/O输出标准	单端/差分	Bank VCCIO(V)	输出驱动能力(mA)
LVPECL33E	差分	3.3	16
MVLDS25E	差分	2.5	16
BLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVDS25E	差分	2.5	8

表3差分类型I/O输出标准	单端/差分	Bank VCCIO(V)	输出驱动能力(mA)
LVDS25	差分	2.5/3.3	3.5/2.5/2/6
RSDS	差分	2.5/3.3	2
MINILVDS	差分	2.5/3.3	2
PPLVDS	差分	2.5/3.3	3.5
SSTL15D	差分	1.5	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8

注!

具体差分管脚位置参考各 pinout 手册。

JTAGSEL_N

概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。

信号定义

表 4 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I, 内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效

注!

JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚；JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。

配置管脚复用

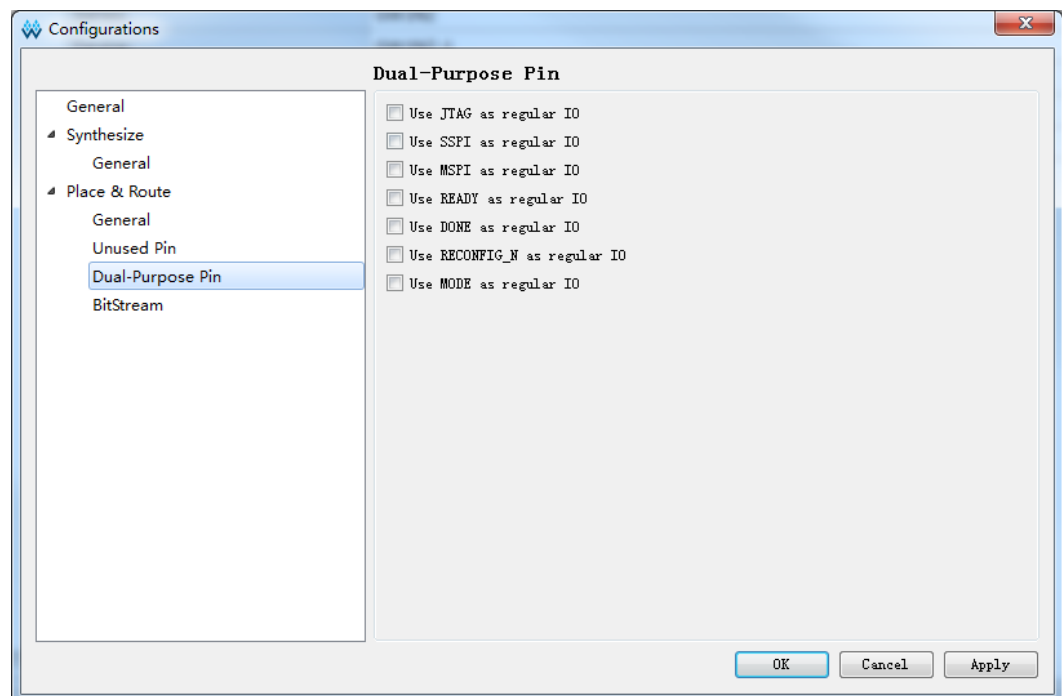
概述

配置管脚复用指的是在上电瞬间执行的是配置功能，下载完比特流文件后作为普通 IO 使用。

通过高云半导体云源软件配置管脚复用：

- a). 打开高云半导体云源软件中相应的工程。
- b). 在菜单栏中选择“Project > Configuration > Dual-Purpose Pin”，如图 4 所示。
- c). 勾选对应选项设置配置管脚的复用情况。

图 4 配置管脚复用



管脚复用

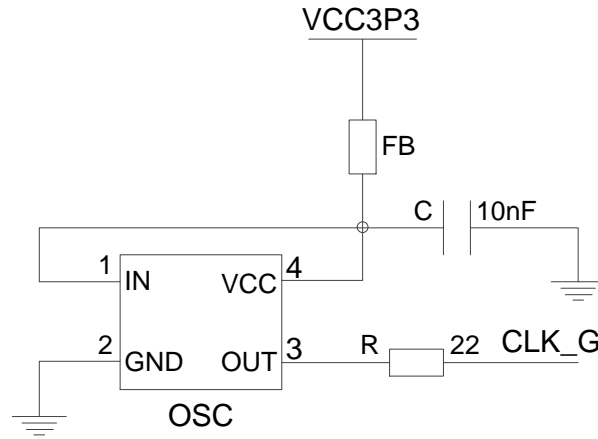
- JTAG: 作为 GPIO 时，可用作 input 或 output 类型。
- JTAGSEL_N: 作为 GPIO 时，可用作 input 或 output 类型。

注！

如果 IO 口数量够使用，优先使用非复用管脚。

FPGA 外接时钟

图 5 FPGA 外接晶振电路



其中 FB 为磁珠，参考型号 MH2029-221Y；电阻精度不低于 $\pm 5\%$ ；电容精度不低于 $\pm 20\%$ 。

BLE 外接时钟

启用外部时钟情况如下：

- LF_XIN 和 LF_XOUT 外接 32KHz 的晶体振荡器；
- XIN 和 XOUT 外接 48MHz 的晶体振荡器。

FPGA Bank 电压

各器件的 Bank 供电要求请参考如下文档中的 Power 部分，[UG892, GW1NRF-4B 器件 Pinout 手册](#)。

BLE 电压

BLE 电源种类包括 VBAT1、VBAT2、MCUVCC、VCCGPIO、SW_DCDC。电源管理可以配置为不同的模式：

- DCDC 降压模式，电池连接到 VBAT1 和 VBAT2，DCDC 输出 1.25V 电压连接到 VCC。
- DCDC 升压模式，电池连接到 VCC 和 VBAT2，DCDC 输出 2.6V 电压连接到 VBAT1。
- DCDC 关闭模式，电池连接到 VBAT1 和 VBAT2，DCDC 输出连接到地，VCC 连接到 2.2 μ F 的去耦电容。在 VBAT1 和 VCC 之间有一个专用的线性电源调节器(LDO)，在 VCC 上产生 1.25V 的电压。
- 外部 DCDC 配置模式，电池连接到管脚 VBAT2 和 VCC。DCDC 输出连接到地，VBAT1 连接到外部供电，最低供电电压为 2.6V。

各器件支持的配置模式

表 5 GW1NRF-4B 配置模式

封装	JTAG	AUTO BOOT
QN48	Yes	Yes
QN48E	Yes	Yes

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源、差分信号资源等。

注！

配置过程中，器件所有 GPIO 均为高阻，内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

版本信息

日期	版本	说明
2020/07/28	1.0	初始版本。
2021/12/06	1.1	<ul style="list-style-type: none">● 修正“表 1 推荐工作范围”；● 完善各器件支持的配置模式表。
2022/07/15	1.1.1	更新 JTAG 电路参考的注释。
2023/03/10	1.2	<ul style="list-style-type: none">● 更新“电源”章节。● 更新“JTAG”章节中的“图 3 JTAG 电路参考”。● 更新“电源”章节“电源斜坡率”中 GW1N-4 例子的数据。
2023/03/17	1.2.1	更新“管脚分配”中的注释。
2023/08/10	1.2.2	优化“管脚分配”中的注释。

版权所有© 2023 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。