

Arora V 模拟数字转换器 (SAR ADC) 用户指南

UG298-1.0.1, 2025-06-27

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/01/20	1.0	初始版本。
2025/06/27	1.0.1	● 增加 3.2 输入通道选择（分压系数）。 ● 补充 SAR ADC 例化相关描述。

目录

图目录.....	ii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 特性.....	3
2.2 功能描述.....	3
2.2.1 概述.....	3
2.2.2 结构框图.....	4
2.2.3 SAR ADC 转换时序.....	5
2.2.4 电气特性参数.....	5
3 SARADC.....	7
3.1 适用器件.....	7
3.2 输入通道选择（分压系数）.....	7
3.3 SAR ADC 例化.....	10
3.3.1 端口示意图.....	10
3.3.2 端口介绍.....	11
3.3.3 配置参数介绍.....	11
3.3.4 例化示例.....	13
4 SAR ADC 配置及调用.....	15
4.1 SAR ADC 配置.....	15
4.2 SAR ADC 生成文件.....	16

图目录

图 2-1 60K 器件 SAR ADC 结构框图.....	4
图 2-2 SAR ADC 转换时序.....	5
图 3-1 SAR ADC 电压模式输入通道选择框图.....	8
图 3-2 SAR ADC 端口示意图(静态输入通道).....	10
图 3-3 SAR ADC 端口示意图(动态输入通道).....	10
图 4-1 SAR ADC 配置页面.....	15

1 关于本手册

1.1 手册内容

Arora V 模拟数字转换器（SAR ADC）用户指南主要内容包括功能特点、端口描述、配置调用等，旨在帮助用户快速了解 Arora V SAR ADC 的特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模拟数字转换器
CIC Filter	Cascaded Integrator-comb Filter	级联积分梳状滤波器
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
OSC	Oscillator	晶体振荡器
SAR	Successive Approximation Register	逐次逼近寄存器
SRAM	Static Random Access Memory	静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Arora V FPGA 60K 产品内部集成了 13 bits 模数转换器，是一款低功耗，低漏电流的 SAR ADC。结合 FPGA 的可编程逻辑能力，以及内部集成的电压，该 ADC 可以满足芯片内部模数转化要求。同时，FPGA 提供丰富自由的可配置 GPIO 差分接口以及 ADC 模拟差分信号接口，连接到 ADC 的电压通道，可以满足芯片外部的电压数据采集要求和监测要求。

2.1 特性

Arora V SAR ADC 主要特性如下：

- ADC 个数：1 个
- 单个 ADC 输入通道数：最大支持 122 个^{[1][2]}
- 参考电压源：内置和片外
- 位宽精度：13 bits
- 最大采样率：10Msps
- 采样时钟：10MHz ~ 300MHz
- 单端输入信号范围：0V ~ 1V
- 差分信号范围：-1V ~ 1V
- 电压传感器分辨率：+/-0.3mV

注！

- ^[1]具体支持的通道数量参考相关 Pinout 手册。
- ^[2] Pinout 手册中所有 BANK ADC_INPUT 有 bus 的差分 GPIO 都可用，推荐使用 BANK2 的 GPIO。

2.2 功能描述

2.2.1 概述

Arora V SAR ADC 提供了模拟 SAR 调制器，以满足用户实现数模转化，同时提供 GPIO 差分输入接口来满足片外电压信息的输入，支持差分 and 单端信号输入。

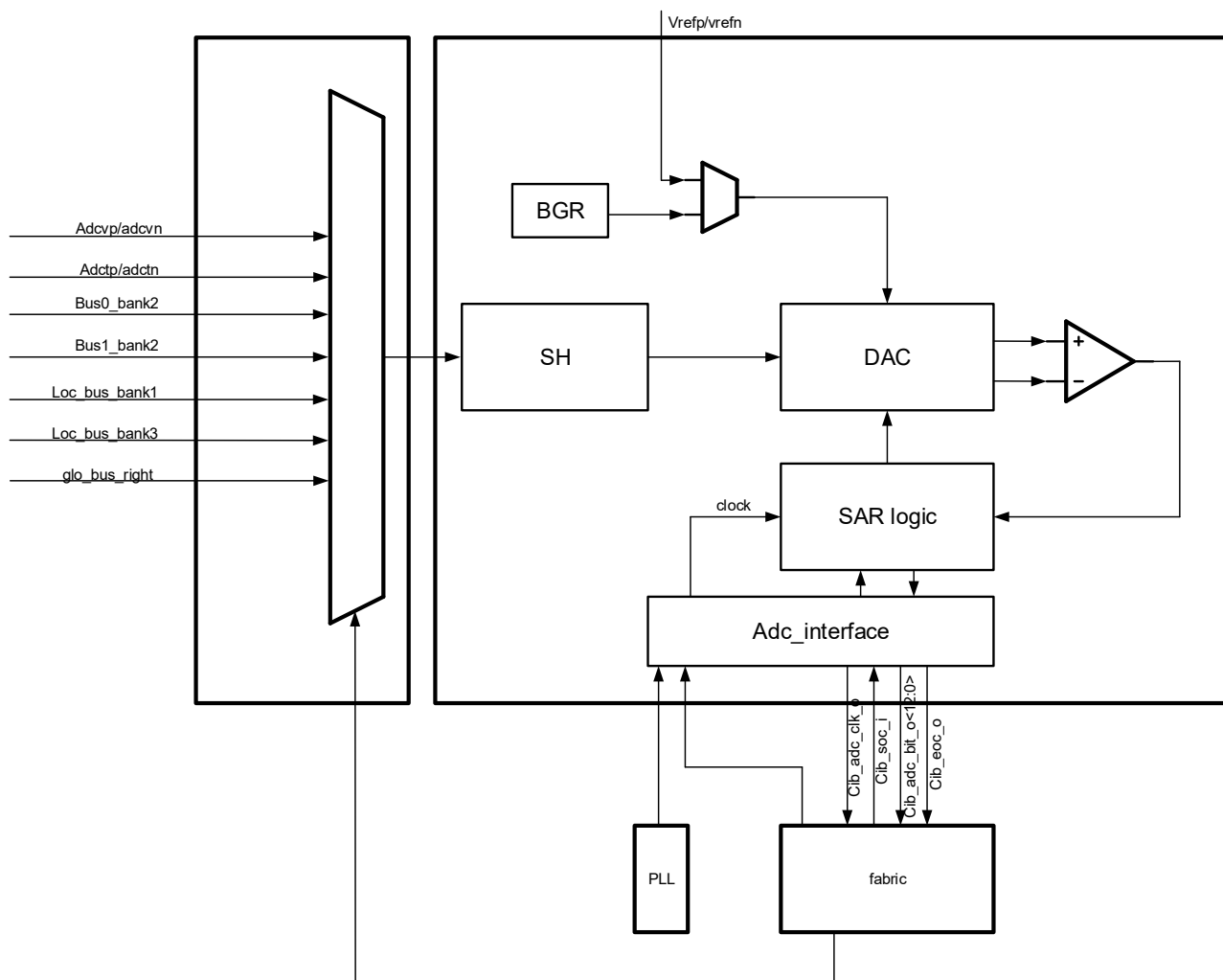
Arora V SAR ADC 内置高精度基准电压源，同时支持片外电压基准源，且 Arora V SAR ADC 的电源电压检测具有低功耗、高精度特点。

Arora V SAR ADC 内部集成了电压信号处理模块，不需要用户外部提供电压参考源，实现电压信号测量的精度要求，降低用户的成本。

2.2.2 结构框图

GW5A-60/GW5AT-60 SAR ADC 结构框图如图 2-1 所示。

图 2-1 60K 器件 SAR ADC 结构框图



GW5A-60/GW5AT-60 SAR ADC 支持片内电压检测模式，通过控制信号可以选择通路，监测 FPGA 内部 IP 模块电源电压、Bank 电压、内核电压、SRAM 电压等。片外电压信号可以通过 Bank 0/1/2/3/4/5/6/7 的 GPIO 差分管脚或专用 ADC 输入差分管脚送到 ADC，进行 ADC 量化。

GW5A-60/GW5AT-60 SAR ADC 可以选择 CLK (来自 User Logic 的时钟) 或者 PLL 输入，通过时钟源的选择，可以在功耗和性能之间得到较好的平衡。

2.2.3 SAR ADC 转换时序

SAR ADC 从采样模拟输入信号到转换完成输出数字信号需要 N 个采样计数周期，生成输出信号。当 ADC 采样请求信号 soc 上升沿出现且 ADC 使能信号 adcen_i 打开后（高电平有效），则会触发 ADC 进行一次采样过程；当测量完毕后会把 eoc 信号拉高，表示采样完成，并输出 adcb_{it} [12:0]采样值。

adcb_{it} [12:0]值为 13 位无符号数，计算公式： $(\text{adcb}_{it} [12:0]\text{值}/4096-1) \times V_{ref}$ 再乘以分压系数得到实际的测量值，单位 V。

图 2-2 SAR ADC 转换时序

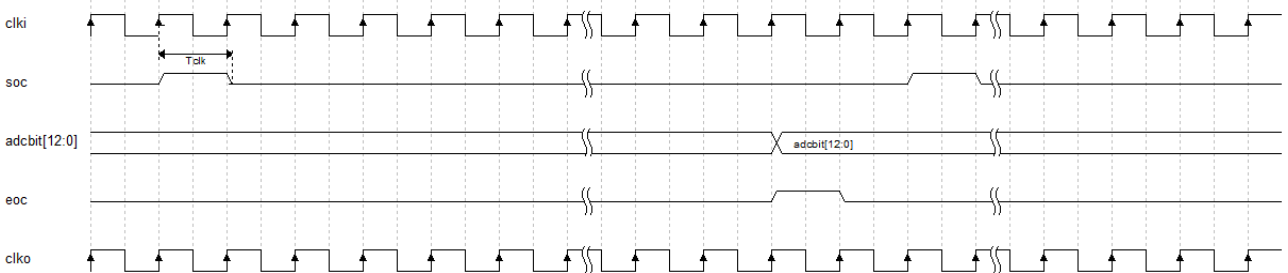


表 2-1 SAR ADC 时序参数

符号	描述	规格		单位
		最小值	最大值	
T _{clk}	时钟周期	3.125	100	ns
T _S	soc 建立时间	0.8	-	ns
T _H	soc 保持时间	0.8	-	ns
N _{conversionCycle}	转换周期数	22	32	Cycle

2.2.4 电气特性参数

表 2-2 SAR ADC 电气参数

参数	描述	规格			单位
		最小值	典型值	最大值	
DC 精度					
输出	数字输出位数	-	13	-	Bit
INL	非线性积分	-2	-	2	LSB
DNL	非线性微分	-1	-	1	LSB
模拟输入					
Vref	外部输入参考电压	-	1.25	-	V
CH[7: 0]	单端输入范围	0	-	1	V
CIN	输入电容 ^[1]	-	1	-	pF

参数	描述	规格			单位
		最小值	典型值	最大值	
转换速率					
Fs	采样率	-	-	10	MHz
CLK	主时钟	10	-	300	MHz
N _{ConversionCycles}	转换周期数	22	-	32	时钟周期
动态特性参数					
SNRFS ^[2]	信噪比	-	60	-	dB
ENOB	有效输出数据位数	-	9.6	-	Bit
V _{INBW}	专用输入管脚-3dB 带宽	-	160	-	MHz
供电电压 ^[3]					
V _{dd_a}	模拟内核电压	-	0.9	-	V
V _{dd_dig}	数字电压	-	0.9	-	V
Vddx	模拟电压	-	1.8	-	V

注！

- ^[1]通过专用管脚进去的电容。
- ^[2]测试条件：V_{in}= -0.5dBFS，f_{IN}=1KHz。
- ^[3]供电电压范围请参考 [DS981，GW5AT 系列 FPGA 产品数据手册](#)或 [DS1103，GW5A 系列 FPGA 产品数据手册](#)。

3 SARADC

3.1 适用器件

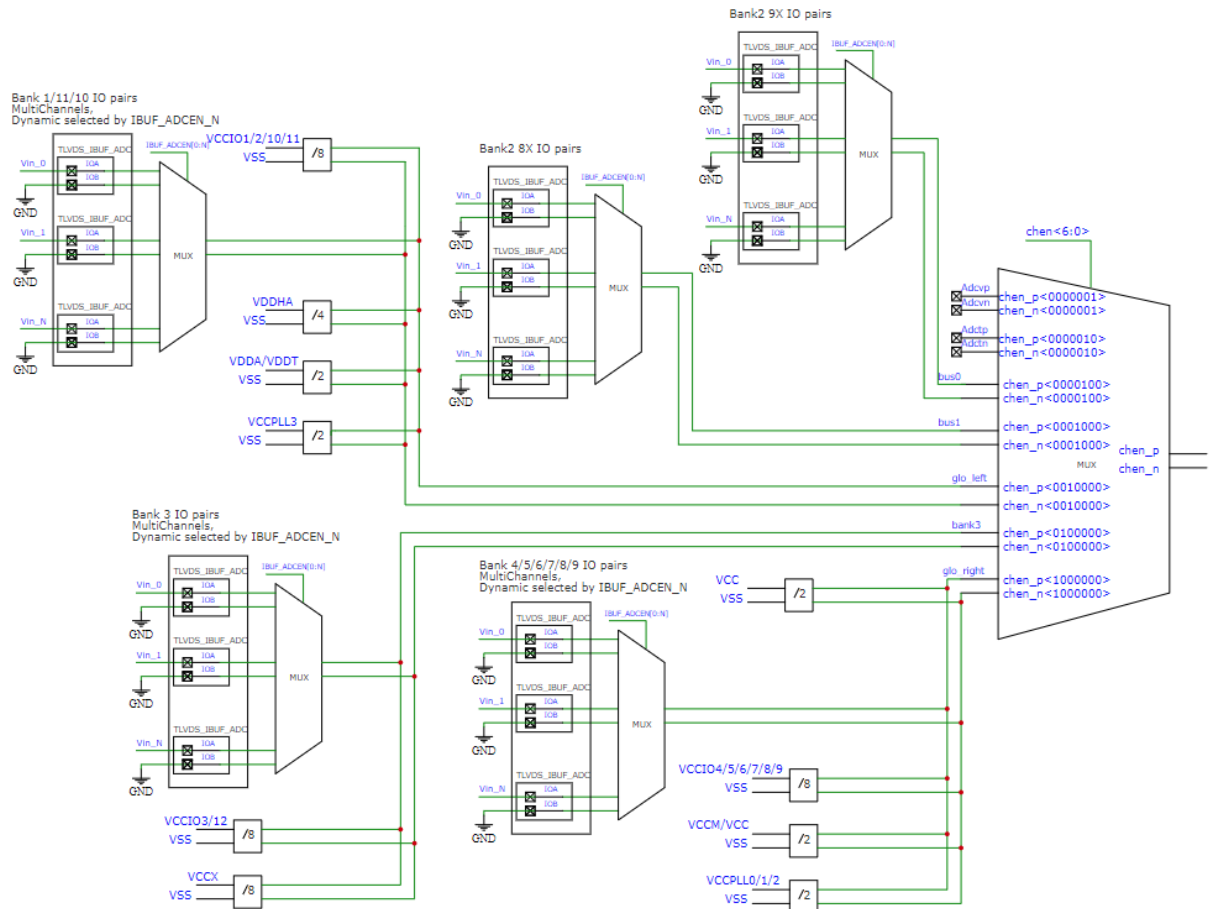
表 3-1 SAR ADC 适用器件

家族	系列	器件
Arora V	GW5A	GW5A-60
	GW5AT	GW5AT-60

3.2 输入通道选择（分压系数）

GW5A-60/GW5AT-60 SAR ADC 电压模式输入通道选择框图如图 3-1 所示。

图 3-1 SAR ADC 电压模式输入通道选择框图



GW5A-60/GW5AT-60 SAR ADC 电压模式输入通道选择分压系数表如表 3-2 所示。

表 3-2 SAR ADC 电压模式输入通道选择分压系数表

chen [6:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[28:0]	备注
7'b0000001	adcv		1		
7'b0000010	adct		1		
7'b0000100	bus0		1		BANK2 上 IO
7'b0001000	bus1		1		BANK2 上 IO
7'b0010000	glo_left	VDD12M (LV) VCC(EV)	4	BUF_EN[0]	
		VCCIO1	8	BUF_EN[1]	
		VCCIO2	8	BUF_EN[2]	
		VCCIO10	8	BUF_EN[15]	
		VCCIO11	8	BUF_EN[16]	
		VDDAM	2	BUF_EN[20]	
		VDDHAQ0	4	BUF_EN[22]	

chen [6:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[28:0]	备注
7'b0010000	glo_left	VDDAQ0	2	BUF_EN[23]	
		VDDTQ0	2	BUF_EN[24]	
		VCCPLL3	2	BUF_EN[28]	
		PAD	1		BANK1/10/11 上 IO
7'b0100000	bank3	VCCIO3	8	BUF_EN[3]	
		VCCIO12	8	BUF_EN[4]	
		VCCX	8	BUF_EN[5]	
		PAD	1		BANK3 上 IO
7'b1000000	glo_right	VCC	2	BUF_EN[7]	
		VCCLDO	8	BUF_EN[8]	
		VCCIO4	8	BUF_EN[9]	
		VCCIO5	8	BUF_EN[10]	
		VCCIO6	8	BUF_EN[11]	
		VCCIO7	8	BUF_EN[12]	
		VCCIO8	8	BUF_EN[13]	
		VCCIO9	8	BUF_EN[14]	
		VCCM	2	BUF_EN[17]	
		VCCPLL0	2	BUF_EN[25]	
		VCCPLL1	2	BUF_EN[26]	
		VCCPLL2	2	BUF_EN[27]	
		PAD	1		BANK4/5/6/7/8/9 上 IO

3.3 SAR ADC 例化

3.3.1 端口示意图

图 3-2 SAR ADC 端口示意图(静态输入通道)

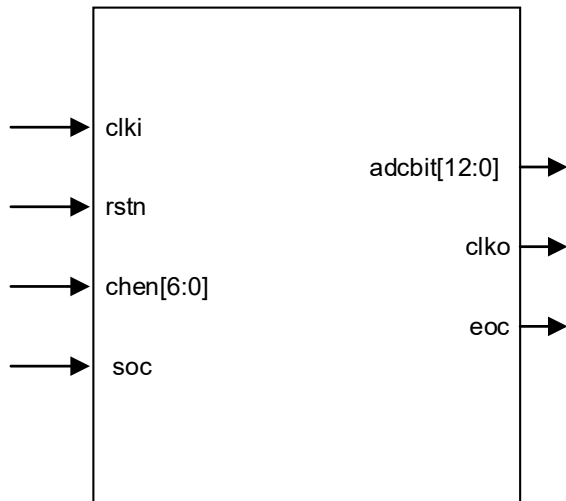
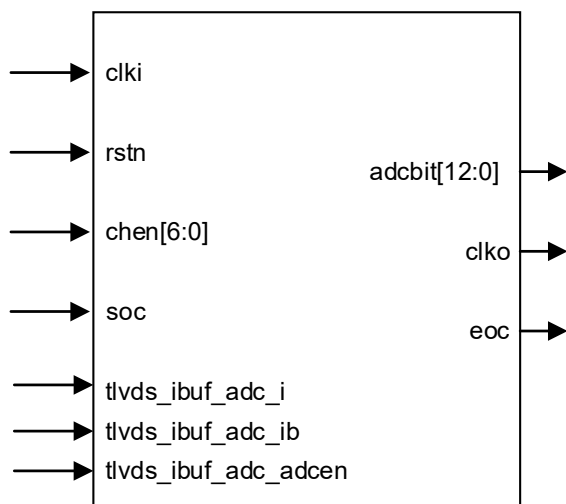


图 3-3 SAR ADC 端口示意图(动态输入通道)



3.3.2 端口介绍

SAR ADC 端口

表 3-3 SAR ADC 端口介绍

端口	I/O	描述
chen[6:0]	input	input source selection bit [6:0] 7'b0000001: adcv 7'b0000010: adct 7'b0000100: bus0 7'b0001000: bus1 7'b0010000: glo_left 7'b0100000: bank3 7'b1000000: glo_right
clki	input	clk input
rstn	input	digital part reset signal, active low
soc	input	measurement request signal, valid rising edge
eoc	output	measurement completion signal, active high
adcbit[12:0]	output	bit[12:0] the measurement result output
clko	output	bypass clki

SAR ADC_IO_BUF 端口

表 3-4 SAR ADC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	差分 GPIO 的 A 端口输入的信号, A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	差分 GPIO 的 B 端口输入的信号, B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 通道的 adc 使能信号, 同时最多只能使能 1 个, chen 和 adcen 相互组合实现需要的动态控制。

3.3.3 配置参数介绍

表 3-5 SAR ADC 配置界面参数介绍

参数	默认	描述
Common	ADC/SAR ADC	SAR ADC
Enable Clock Division	不勾选	勾选后, Clock Division Factor: 1/2/4/8
Clock Source Selection	CLK	clk source PLL or CLK, 选 PLL 时, 只能用 PLL_T[1]的 clkout0,; 选 CLK 时, 可以外供时钟

参数	默认	描述
BandGap Reference Voltage Selection	Internal	Internal or External 选 Internal 是内部电压参考源, 选 External 是外部电压参考源 (需要特定管脚 Vrefp Vrefn)
Sample and Hold Sample Start Point	1	固定为 1
Sample and Hold Sample End Point	11	取值要大于等于 Sample and Hold Sample Start Point+10
Digital to Analog Converter Sample Start Point	13	取值要大于等于 Sample and Hold Sample End Point +2
Digital to Analog Converter Sample End Point	18	取值要大于等于 Digital to Analog Converter Sample Start Point +5
Counter Length	20	取值要大于等于 Digital to Analog Converter Sample End Point +2
Dynamic Input Source Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口(所有 bank 输入, 支持多对 IO)
glo_left (Voltage mode)	VDD12M(LV) VCC(EV)	VDD12M/VCCIO1_2_10_11/VDDAM/VDDHAQ0/VDDAQ0/VDDTQ0/VCCPLL3/PAD PAD 对应 bank1/10/11 的 IO, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus2 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口 A 端接需要测试的电压, B 端要接 GND
glo_right (Voltage mode)	VCC	VCC/VCCLDO/VCCIO4_5_6_7_8_9/VCCM/VCCPLL0_1_2 / PAD PAD 对应 bank4/5/6/7/8/9 的 IO, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus4 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口 A 端接需要测试的电压, B 端要接 GND
bank3 (Voltage mode)	VCCIO3	VCCIO3/VCCIO12/VCCX/PAD

参数	默认	描述
bank3 (Voltage mode)	VCCIO3	PAD 对应 bank3 的 IO，当使用这个 bank 的 IO 作为 ADC 输入,不勾选 Dynamic Input Source Enable 时，需要增加物理约束如下：USE_ADC_SRC bus3 loc; loc: ADC 输入管脚的位置信息，例如 IOR26 勾选 Dynamic Input Source Enable 时，启用 tlvs_ibuf_adc ADC 输入接口 A 端接需要测试的电压，B 端要接 GND
bus0	PAD	BANK2 上的 9 对 IO，请参考 pinout 手册
bus1	PAD	BANK2 上的 8 对 IO，请参考 pinout 手册

3.3.4 例化示例

Verilog 例化：

```
Gowin_ADC your_instance_name(
.adcbit(adcbt), //output [12:0] adcbt
.clko(clko), //output clko
.eoc(eoc), //output eoc
.clki(clki), //input clki
.chen(chen), //input [6:0] chen
.rstn(rstn), //input rstn
.soc(soc) //input soc
);
```

Vhdl 例化：

```
component Gowin_ADC
port (
adcbit: out std_logic_vector(12 downto 0);
clko: out std_logic;
eoc: out std_logic;
clki: in std_logic;
chen: in std_logic_vector(6 downto 0);
rstn: in std_logic;
soc: in std_logic
);
end component;
your_instance_name: Gowin_ADC
port map (
adcbit => adcbt,
clko => clko,
eoc => eoc,
```

```
clki => clki,  
chen => chen,  
rstn => rstn,  
soc => soc  
);
```

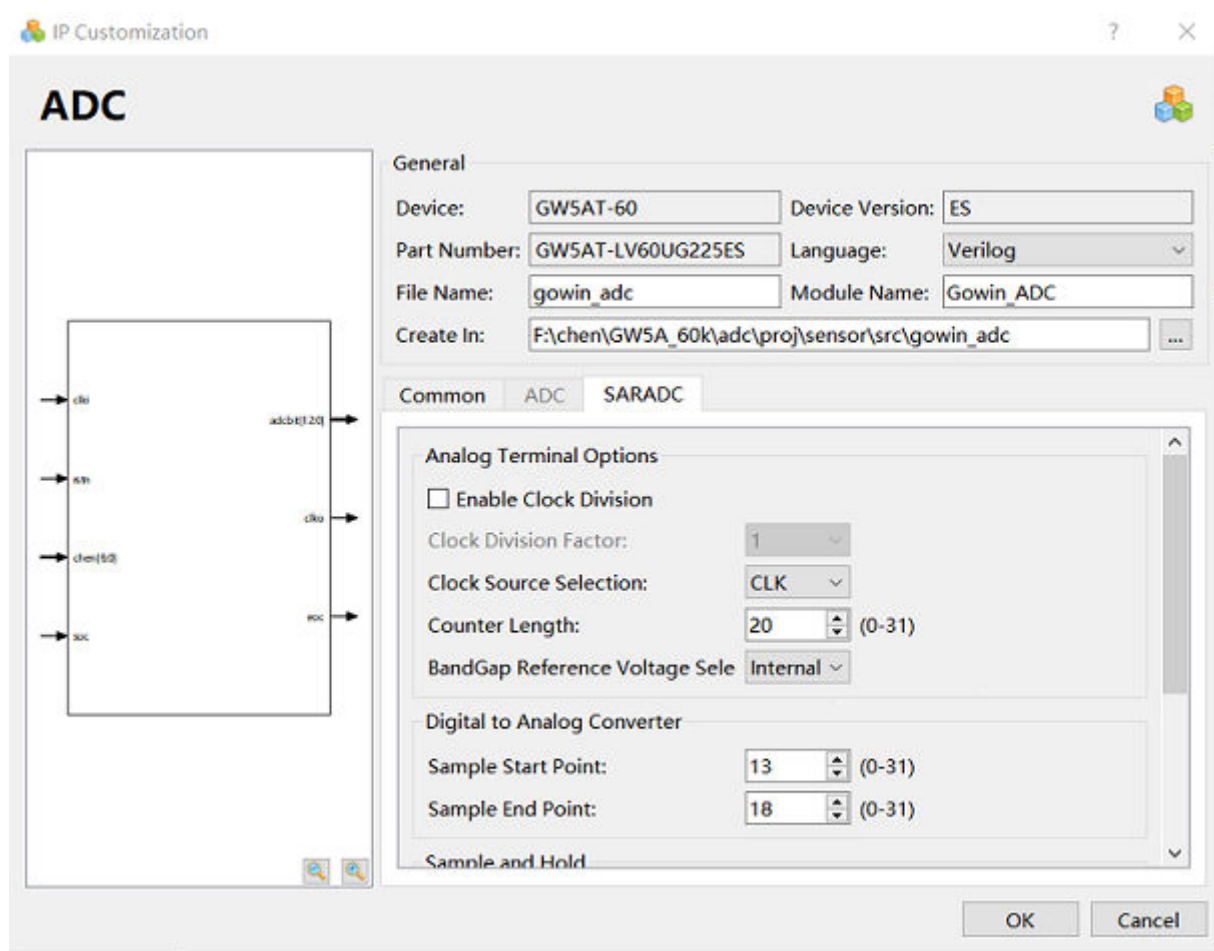
4 SAR ADC 配置及调用

在高云半导体云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 ADC。

4.1 SAR ADC 配置

SAR ADC 配置界面如图 4-1 所示。

图 4-1 SAR ADC 配置页面



4.2 SAR ADC 生成文件

SAR ADC 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin_adc.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 Gowin_ADC。
- IP 设计使用模板文件“gowin_adc_tmp.v”，为用户提供 IP 设计使用模板文件。
- IP 配置文件：“gowin_adc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择语言是 VHDL，则产生的前两个文件名后缀为.vhd。

