

Arora V 模拟数字转换器 (ADC) 用户指南

UG299-1.0.5, 2025-04-29

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/05/08	1.0	初始版本。
2023/07/18	1.0.1	优化 ADC 转换时序描述。
2023/12/08	1.0.2	优化 ADC 参数配置描述。
2024/02/02	1.0.3	● 优化 ADC 输入的描述。 ● 更新表 3-3 ADC 配置界面参数介绍。
2024/12/30	1.0.4	补充表 2-1 ADC 时序参数及表 2-2 ADC 电气参数。
2025/04/29	1.0.5	● 增加 5 ADC (60K)。 ● 完善 4 ADC (75K/138K)及 3 ADC(25K)。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 特性.....	3
2.2 功能描述.....	4
2.2.1 概述.....	4
2.2.2 结构框图.....	4
2.3 ADC 电气特性.....	5
2.3.1 ADC 转换时序.....	5
2.3.2 电气特性参数.....	6
3 ADC(25K).....	7
3.1 适用器件.....	7
3.2 输入通道选择 (分压系数).....	8
3.3 ADC 例化.....	10
3.3.1 端口示意图.....	10
3.3.2 端口介绍.....	11
3.3.3 配置参数介绍.....	14
3.3.4 例化示例.....	16
4 ADC (75K/138K).....	18
4.1 适用器件.....	18
4.2 输入通道选择 (分压系数).....	19
4.3 ADC 例化.....	22
4.3.1 端口示意图.....	22
4.3.2 端口介绍.....	23
4.3.3 配置参数介绍.....	26

4.3.4 例化示例(以 ADCULC 为例).....	29
5 ADC (60K).....	31
5.1 适用器件.....	31
5.2 输入通道选择 (分压系数).....	32
5.3 ADC 例化.....	34
5.3.1 端口示意图.....	34
5.3.2 端口介绍.....	35
5.3.3 配置参数介绍.....	37
5.3.4 例化示例.....	40
6 ADC (15K).....	42
6.1 适用器件.....	42
6.2 输入通道选择 (分压系数).....	43
6.3 ADC 例化.....	44
6.3.1 端口示意图.....	44
6.3.2 端口介绍.....	45
6.3.3 配置参数介绍.....	47
6.3.4 例化示例.....	47

图目录

图 2-1 器件 ADC 结构框图.....	4
图 2-2 ADC 转换时序.....	5
图 3-1 ADC 电压模式输入通道选择框图.....	8
图 3-2 ADC 端口示意图(静态输入通道).....	10
图 3-3 ADC 端口示意图(动态输入通道).....	11
图 3-4 ADC 配置页面.....	14
图 4-1 ADC 电压模式输入通道选择框图.....	19
图 4-3 ADC 端口示意图(静态输入通道).....	22
图 4-4 ADC 端口示意图(动态输入通道).....	23
图 4-5 ADC 配置页面示例.....	26
图 5-1 ADC 电压模式输入通道选择框图.....	32
图 5-2 ADC 端口示意图(静态输入通道).....	34
图 5-3 ADC 端口示意图(动态输入通道).....	35
图 5-4 ADC 配置页面.....	38
图 6-1 ADC 电压模式输入通道选择框图.....	43
图 6-2 ADC 端口示意图(静态输入通道).....	44
图 6-3 ADC 端口示意图(动态输入通道).....	45
图 6-4 ADC 配置页面.....	47

表目录

表 1-1 术语、缩略语.....	1
表 2-1 ADC 时序参数.....	5
表 2-2 ADC 电气参数.....	6
表 3-1 ADC 适用器件.....	7
表 3-2 ADC 电压模式输入通道选择和分压系数表.....	8
表 3-3 ADC 端口介绍.....	11
表 3-4 ADC_mDRP 端口介绍.....	12
表 3-5 ADC mDRP Control Registers.....	12
表 3-6 ADC_IO_BUF 端口介绍.....	13
表 3-7 ADC 配置界面参数介绍.....	14
表 4-1 ADC 适用器件.....	18
表 4-2 ADCULC 电压模式输入通道选择和分压系数表.....	20
表 4-3 ADCLRC 电压模式输入通道选择和分压系数表.....	21
表 4-4 ADCULC 端口介绍.....	23
表 4-5 ADCULC_IO_BUF 端口介绍.....	24
表 4-6 ADCLRC 端口介绍.....	24
表 4-7 ADCLRC_IO_BUF 端口介绍.....	25
表 4-8 ADCULC 配置界面参数介绍.....	26
表 4-9 ADCLRC 配置界面参数介绍.....	27
表 5-1 ADC 适用器件.....	31
表 5-2 ADC 电压模式输入通道选择分压系数表.....	32
表 5-3 ADC 端口介绍.....	35
表 5-4 ADC_MDRP 端口介绍.....	36
表 5-5 ADC mDRP Control Registers.....	36
表 5-6 ADC_IO_BUF 端口介绍.....	37
表 5-7 ADC 配置界面参数介绍.....	38
表 6-1 ADC 适用器件.....	42
表 6-2 ADC 端口介绍.....	45
表 6-3 ADC_mDRP 端口介绍.....	46
表 6-4 ADC mDRP Control Registers.....	46

表 6-5 ADC_IO_BUF 端口介绍.....	47
----------------------------	----

1 关于本手册

1.1 手册内容

Arora V 模拟数字转换器（ADC）用户指南主要内容包括功能特点、端口描述、配置调用等，旨在帮助用户快速了解 Arora V ADC 的特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog to Digital Converter	模拟数字转换器
CIC Filter	Cascaded Integrator-comb Filter	级联积分梳状滤波器
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
OSC	Oscillator	晶体振荡器

术语、缩略语	全称	含义
SRAM	Static Random Access Memory	静态随机存储器
ADCULC	-	ADC 的位置，左上
ADCLRC	-	ADC 的位置，右上

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Arora V FPGA 产品内部集成了 8 通道 10 bits Delta-sigma 模数转换器，是一款低功耗，低漏电流的 delta-sigma ADC。结合 FPGA 的可编程逻辑能力，以及内部集成的电压、温度传感单元，该 ADC 可以满足芯片内部温度和电源监测的数据采集要求和监测要求。同时，FPGA 提供丰富自由的可配置 GPIO 差分接口以及 ADC 模拟差分信号接口，连接到 ADC 的电压通道，可以满足芯片外部的电压数据采集要求和监测要求。

2.1 特性

Arora V ADC 主要特性如下：

- ADC core 个数：
 - GW5A-25/ GW5AR-25/ GW5AS-25：1 个
 - GW5A-138/ GW5AT-138/ GW5AT-75/ GW5AST-138：2 个
 - GW5A-60/ GW5AT-60：1 个 delta-sigma ADC，另内置 1 个 SARADC^[1]
- 注！
- ^[1] SAR ADC 相关信息请参考 [UG298, Arora V 模拟数字转换器\(SAR ADC\)用户指南](#)。
- GW5AT-15/ GW5ART-15：1 个
- 参考电压源：内置
- 每个 ADC 通道数：8
- 位宽精度：10 bits
- 采样时钟：< 10MHz
- ADC 差分信号输入电压范围：0~1V（正端输入电压 > 负端输入电压）
- 温度传感器精度：+/-2℃
- 电压传感器精度：+/-5mV

2.2 功能描述

2.2.1 概述

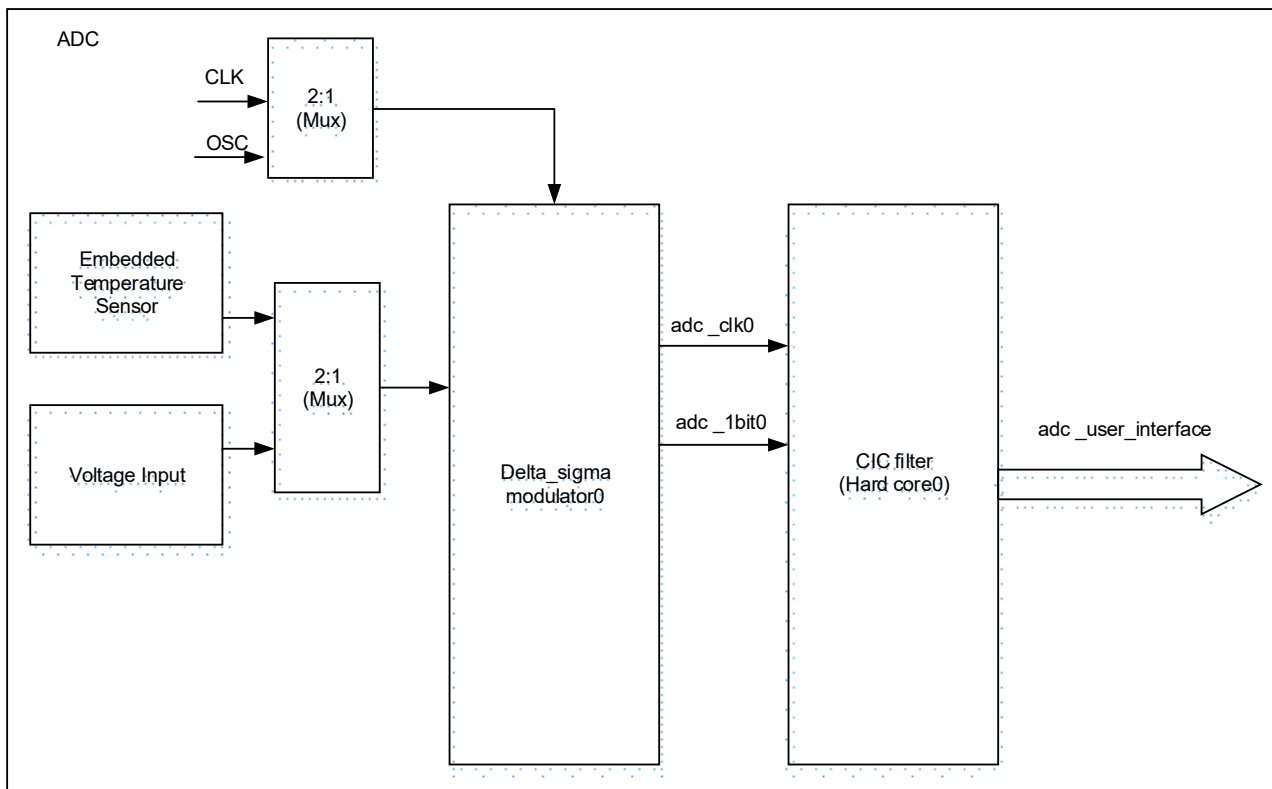
Arora V ADC 提供了模拟 Delta-sigma 调制器，以满足用户实现芯片内多区域的温度检测及电压检测，同时提供 GPIO 差分输入接口来满足片外电压信息的输入，仅支持差分信号输入，且正端输入电压 > 负端输入电压。

Arora V ADC 内置高精度基准电压源，不需要片外提供电压基准源，且 Arora V ADC 的温度和电源电压检测具有低功耗、高精度特点。Arora V ADC 内部集成了电压信号处理模块，不需要用户外部提供电压参考源，实现电压信号测量的精度要求，降低用户的成本。

2.2.2 结构框图

Arora V ADC 结构框图如图 2-1 所示。

图 2-1 器件 ADC 结构框图



Arora V ADC 支持片内温度检测和电压检测模式，通过控制信号可以选择来自片内温度传感器的电压，进入片内温度检测模式，也可以选择另外一条通路，监测 FPGA 内部 IP 模块电源电压，Bank 电压、内核电压、SRAM 电压等。片外电压信号可以通过 IO Bank 的 GPIO 差分管脚或专用 ADC 输入差分管脚送到 ADC，进行 ADC 量化。在使用 ADC 的时候，尽量避免使用 ADC IO 相同 BANK 的数字 IO 以减小噪声干扰。

Arora V ADC 可以选择 CLK(来自 UserLogic 的时钟)或者 OSC 时钟输入，通过时钟源的选择，可以在功耗和性能之间得到较好的平衡。

进入到 Delta_sigma modulator0 电压信号经过量化和噪声整形后输出 adc_1bit0 和 adc_clk0，再送到芯片的内置的 CIC 硬核来进一步处理得到温度和电压的数字表征。

另外部分封装上还提供了 2 对专用 ADC 差分输入接口：adcvp/adcvn, adctp/adctn，为用户提供低延时，低噪声的差分电压输入通道。

2.3 ADC 电气特性

2.3.1 ADC 转换时序

ADC 从采样模拟输入信号到转换完成输出数字信号需要 N 个采样计数周期，生成输出信号。当 ADC 采样请求信号 sensor_req 上升沿出现且 ADC 使能信号 sensor_en 打开后（高电平有效），则会触发 ADC 进行一次采样过程；当采样点数达到设置的点数后会把 sensor_rdy 信号拉高，表示采样完成，并输出 sensor_value [13:0]采样值。

电压测量模式下：sensor_value [13:0]值为 14 位的无符号数，需要除以 2048 后乘以分压系数，得到实际的测量值，单位 V。

温度模式下：sensor_value 值为有符号数（sensor_value [13]表示符号位，sensor_value [12:0]表示数据位），数据位需要除以 4 后得到实际的测量值，单位℃。

图 2-2 ADC 转换时序

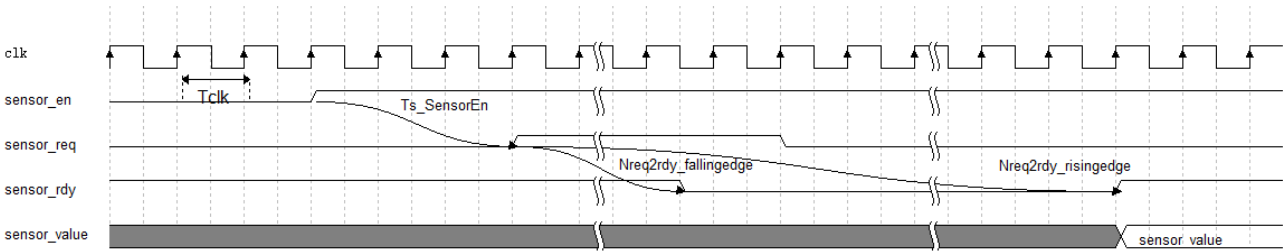


表 2-1 ADC 时序参数

符号	描述	规格		单位
		最小值	最大值	
Tclk	时钟周期	100	-	ns
TS_SensorEn	SensorEn rising edge to Sensor Req 建立时间	10	-	ns
Nreq2rdy_fallingedge	时钟周期数(SensorReq rising edge to Sensor_ready falling edge)	-	10	Cycle
Nreq2rdy_risingedge	时钟周期数(SensorReq rising edge to Sensor_ready rising edge)	128	2048	Cycle

2.3.2 电气特性参数

表 2-2 ADC 电气参数

参数	描述	规格			单位
		最小值	典型值	最大值	
DC 精度					
输出	数字输出位数	-	14	-	Bit
INL	非线性积分	-2	-	2	LSB
DNL	非线性微分	-1	-	1	LSB
模拟输入					
Vref	内部参考电压		1.0	-	V
CH[7:0]	单端输入范围	0	-	1	V
CIN	输入电容 ^[1]	-	1.3	-	pF
转换速率					
Fs	采样率	-	-	10	MHz
N _{req2rdy_risingedge}	转换周期数	128	-	2048	时钟周期
动态特性参数					
SNRFS ^[2]	信噪比	-	60	-	dB
ENOB	有效输出数据位数	-	9.6	-	Bit
V _{INBW}	专用输入管脚-3dB 带宽	-	5	-	MHz
供电电压 ^[3]					
V _{dd_a}	模拟内核电压	-	0.9	-	V

注！

- ^[1]通过专用管脚进去的电容。
- ^[2]测试条件: Vin= -0.5dBFS, f_{IN}=1KHz。
- ^[3]供电电压范围请参考相关器件的数据手册。

3 ADC(25K)

3.1 适用器件

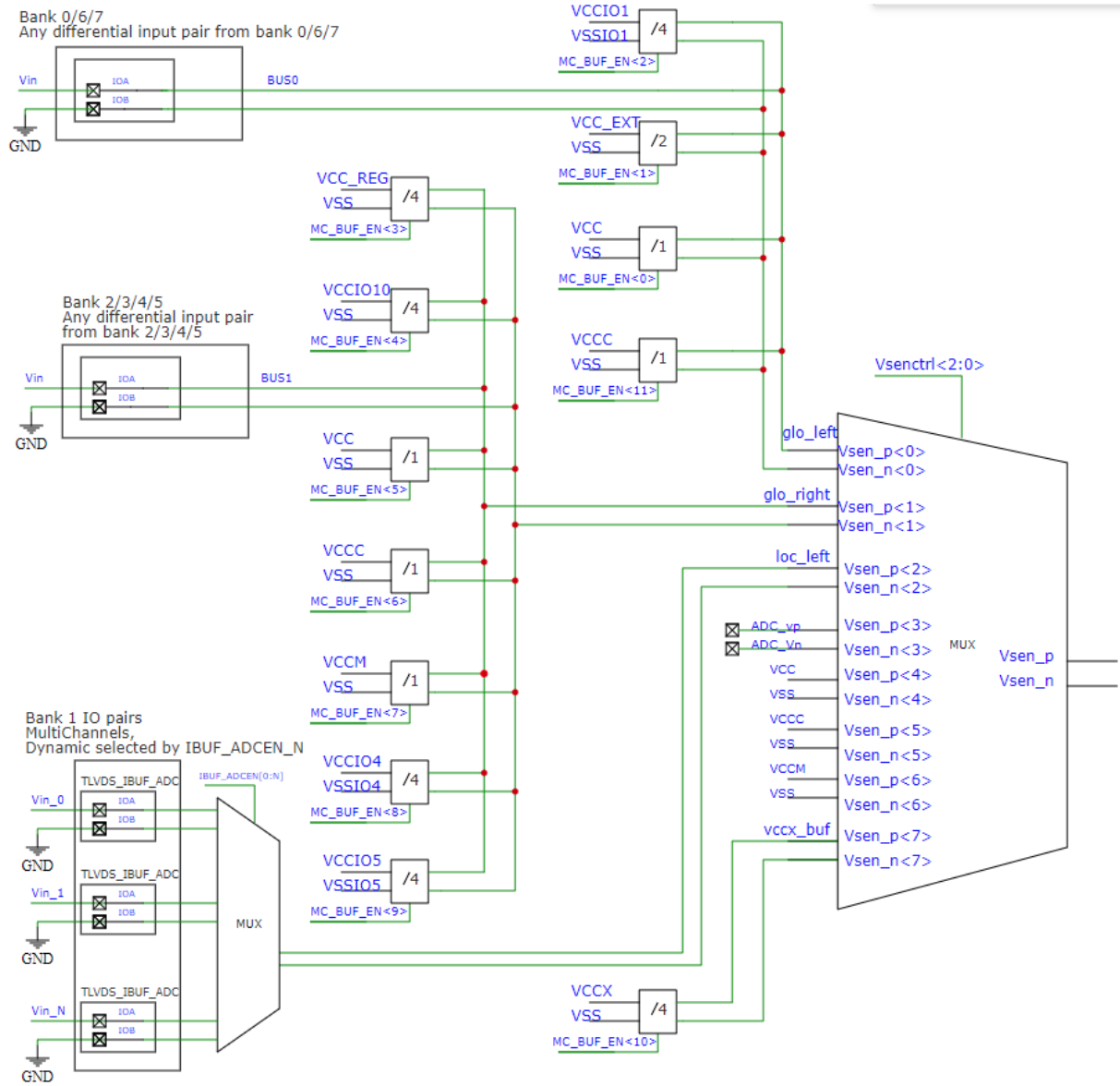
表 3-1 ADC 适用器件

家族	系列	器件
晨熙	GW5A	GW5A-25A
	GW5AR	GW5AR-25A
	GW5AS	GW5AS-25A

3.2 输入通道选择 (分压系数)

GW5A-25 / GW5AR-25 / GW5AS-25 ADC 电压模式输入通道选择框图如下所示。

图 3-1 ADC 电压模式输入通道选择框图



GW5A-25 / GW5AR-25 / GW5AS-25 ADC 电压模式输入通道选择和分压系数表如下所示。

表 3-2 ADC 电压模式输入通道选择和分压系数表

Vsenctrl[2:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[11:0]	备注
000	glo_left	VCC	1	BUF_EN[0]	
		VDD12_MIPI	2	BUF_EN[1]	VCC_EXT
		VCCIO1	4	BUF_EN[2]	

Vsenc1[2:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[11:0]	备注
000	glo_left	PAD	1		BANK0/6/7 上的 IO
001	glo_right	VCC_LDO	4	BUF_EN[3]	VCC_REG
		VCCIO10	4	BUF_EN[4]	
		VCC	1	BUF_EN[5]	
		VCCM	1	BUF_EN[7]	
		VCCIO4	4	BUF_EN[8]	
		VCCIO5	4	BUF_EN[9]	
		PAD	1		BANK2/3/4/5 上的 IO
010	loc_left		1		BANK1 上的 IO
011	adcv		1		
100	vcc		1		
101	vccc		1		
110	vccm		1		
111	vccx_buf	VCCX	4	BUF_EN[10]	

3.3 ADC 例化

3.3.1 端口示意图

图 3-2 ADC 端口示意图(静态输入通道)

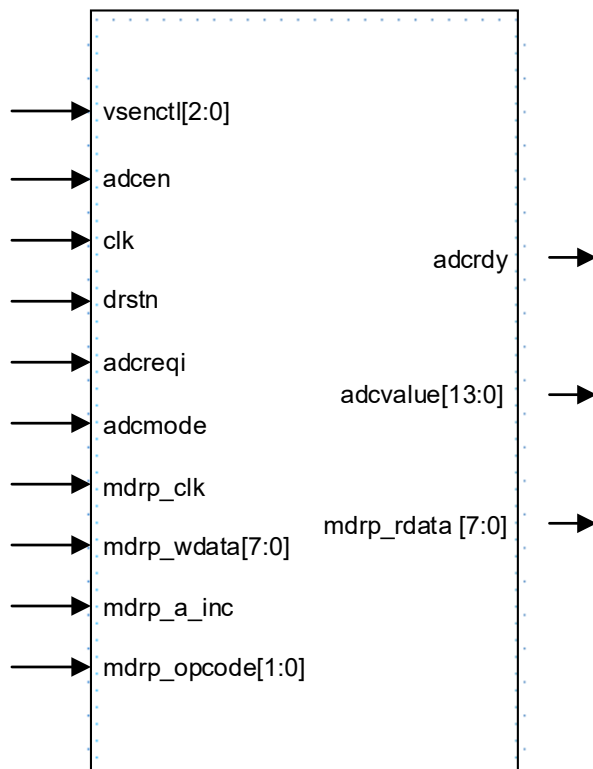
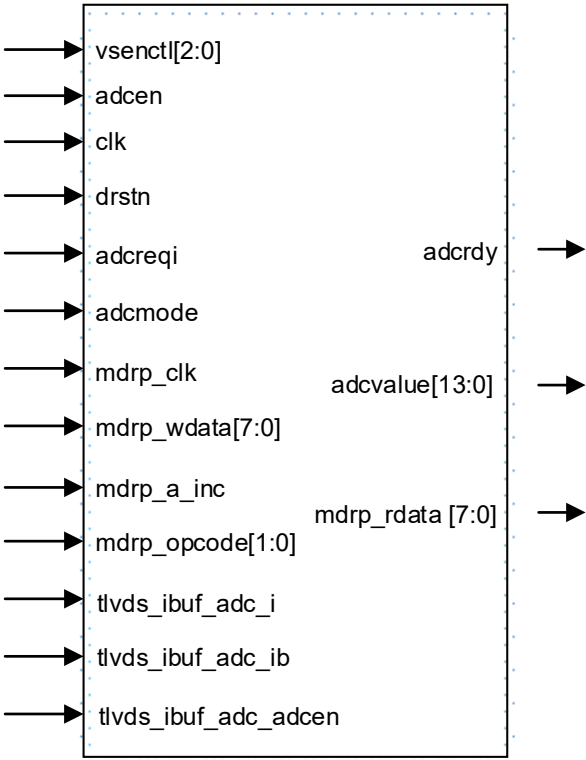


图 3-3 ADC 端口示意图(动态输入通道)



3.3.2 端口介绍

ADC 端口

表 3-3 ADC 端口介绍

端口	I/O	描述
vsenctl[2:0]	input	input source selection bit [2:0] • 3'b000: glo_left • 3'b001: glo_right • 3'b010: loc_left（对应 Bank1 GPIO） • 3'b011: adcv • 3'b100: vcc • 3'b101: vccc • 3'b110: vccm • 3'b111: vccx_buf
adcen	input	enable signal, active high
clk	input	clk input
drstn	input	digital part reset signal, active low
adcreqi	input	measurement request signal, valid rising edge
adcmode	input	mode selection • 1'b0: temperature mode

端口	I/O	描述
adcmode	input	1'b1: voltage mode
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output

ADC_mDRP 端口

表 3-4 ADC_mDRP 端口介绍

端口	I/O	描述
mdrp_clk	input	mdrp clock
mdrp_wdata[7:0]	input	bit[7:0] mdrp_wdata
mdrp_a_inc	input	mdrp_a_inc
mdrp_opcode[1:0]	input	bit[1:0] mdrp_opcode
mdrp_rdata	output	bit[7:0] mdrp_rdata

mDRP Control Registers

表 3-5 ADC mDRP Control Registers

Address	Register name	Default Value	R/W	Description
0x00	sensor_adc_ctrl1	0x43	RW	Bit[7:6] reserved Bit[5:3] cfg_sample_cnt_sel 001:128 010:256 011:512 100:1024 Bit[2:0] cfg_vsen_ctrl 000:glo_left 001:glo_right 010:loc_left(对应 Bank1 GPIO) 011:adc_v 100:vcc 101:vccc 110:vccm 111:vccx_buf
0x01	sensor_adc_ctrl2	0x04	RW	Bit[7:4] reserved Bit[3] cfg_sensor_mode 0:Temperature 1:Voltage Bit[2:0] cfg_rate_change_ctrl

Address	Register name	Default Value	R/W	Description
0x01	sensor_adc_ctrl2	0x04	RW	• 010:16 • 011:32 • 100:64 • 101:128
0x02	sensor_adc_ctrl3	0xDA	RW	Bit[7:0] cfg_fscal_value[7:0]
0x03	sensor_adc_ctrl4	0x02	RW	• Bit[7:2] reserved • Bit[1:0] cfg_fscal_value[9:8]
0x04	sensor_adc_ctrl5	0x64	RW	Bit[7:0] cfg_offset_value[7:0]
0x05	sensor_adc_ctrl6	0x0B	RW	• Bit[7:4] reserved • Bit[3:0] cfg_offset_value[11:8]

ADC_IO_BUF 端口

表 3-6 ADC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	Bank1 上差分 GPIO 的 A 端口输入的 adcvp 信号，A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	Bank1 上差分 GPIO 的 B 端口输入的 adcvn 信号，B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 的 adc 使能信号，同时最多只能使能 1 个 adcen

注！

Bank1 支持多路 ADC 通道输入。

3.3.3 配置参数介绍

在高云半导体云源软件界面菜单栏 **Tools** 下，可启动 **IP Core Generator** 工具，打开 ADC 配置界面，图 3-4 为 ADC 配置界面示例。

图 3-4 ADC 配置页面

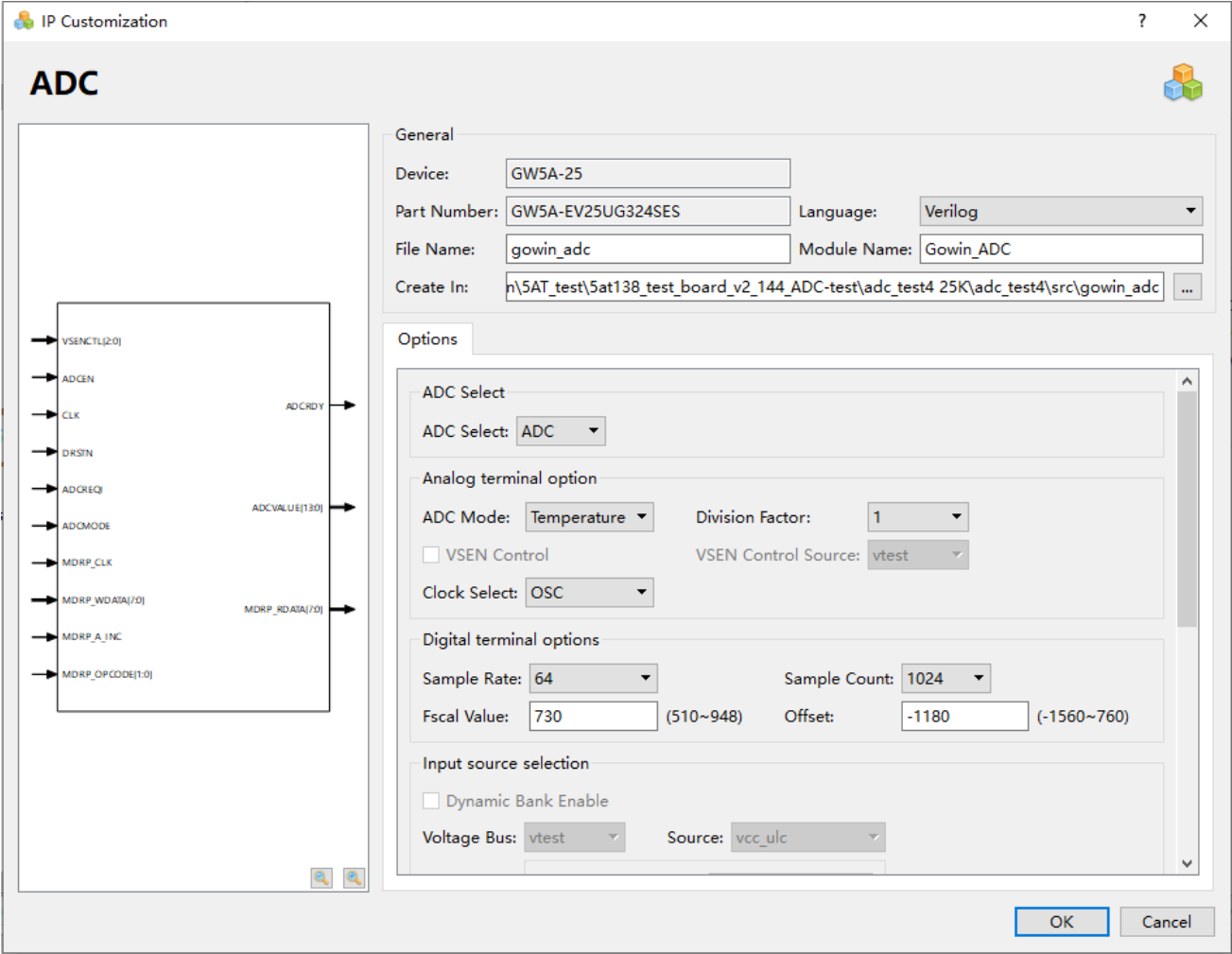


表 3-7 ADC 配置界面参数介绍

参数	默认	描述
ADC Select	ADC	ADC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source OSC (2.5MHz) or CLK
Sample Rate	128	sample rate configuration 16/32/64/128

参数	默认	描述
Sample Count	1024	sample count configuration 128/256/512/1024
Fscal Value	730(Temperature) 653(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Input Source Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口 (Bank1 输入, 支持多对 IO)
glo_left (Voltage mode)	VCC	VCC/VDD12_MIPI/VCCIO1/PAD PAD 对应 bank0/6/7 的 IO, 简称 bus0, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus0 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口, 仅支持一对 IO A 端接需要测试的电压, B 端要接 GND
glo_right (Voltage mode)	VCC_LDO	VCC_LDO/VCCIO10/VCC/VCCM/VCCIO4_5/PAD PAD 对应 bank2/3/4/5 的 IO, 简称 bus1, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus1 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口, 仅支持一对 IO A 端接需要测试的电压, B 端要接 GND
vccx_buf (Voltage mode)	VCCX	VCCX

ADC 窗口配置完成后, 产生以配置文件“File Name”命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件“gowin_adc.v”为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 Gowin_ADC;
- IP 设计使用模板文件“gowin_adc_tmp.v”, 为用户提供 IP 设计使用模板文件;

- IP 配置文件：“gowin_adc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

3.3.4 例化示例

Verilog 例化：

```
Gowin_ADC Gowin_ADC_inst (
.adcrdy(adcrdy_o),
.adcvalue adcvalue_o,
.mdrp_rdata(mdrp_rdata_o),
.vsenctl(vsenctl_i),
.adcen(adcen_i),
.clk(clk_i),
.drstn(drstn_i),
.adcreqi(adcreqi_i),
.adcmode(adcmode_i),
.mdrp_clk(mdrp_clk_i),
.mdrp_wdata(mdrp_wdata_i),
.mdrp_a_inc(mdrp_a_inc_i),
.mdrp_opcode(mdrp_opcode_i)
);
```

Vhdl 例化：

```
component Gowin_ADC
port (
adcrdy: out std_logic;
adcvalue: out std_logic_vector(13 downto 0);
mdrp_rdata: out std_logic_vector(7 downto 0);
vsenctl: in std_logic_vector(2 downto 0);
adcen: in std_logic;
clk: in std_logic;
drstn: in std_logic;
adcreqi: in std_logic;
adcmode: in std_logic;
mdrp_clk: in std_logic;
mdrp_wdata: in std_logic_vector(7 downto 0);
mdrp_a_inc: in std_logic;
mdrp_opcode: in std_logic_vector(1 downto 0)
);
```

```
end component;  
Gowin_ADC_inst: Gowin_ADC  
port map (  
  adcrdy => adcrdy_o,  
  adcvalue => adcvalue_o,  
  mdrp_rdata => mdrp_rdata_o,  
  vsenctl => vsenctl_i,  
  adcen => adcen_i,  
  clk => clk_i,  
  drstn => drstn_i,  
  adcreqi => adcreqi_i,  
  adcmode => adcmode_i,  
  mdrp_clk => mdrp_clk_i,  
  mdrp_wdata => mdrp_wdata_i,  
  mdrp_a_inc => mdrp_a_inc_i,  
  mdrp_opcode => mdrp_opcode_i  
);
```

4 ADC (75K/138K)

4.1 适用器件

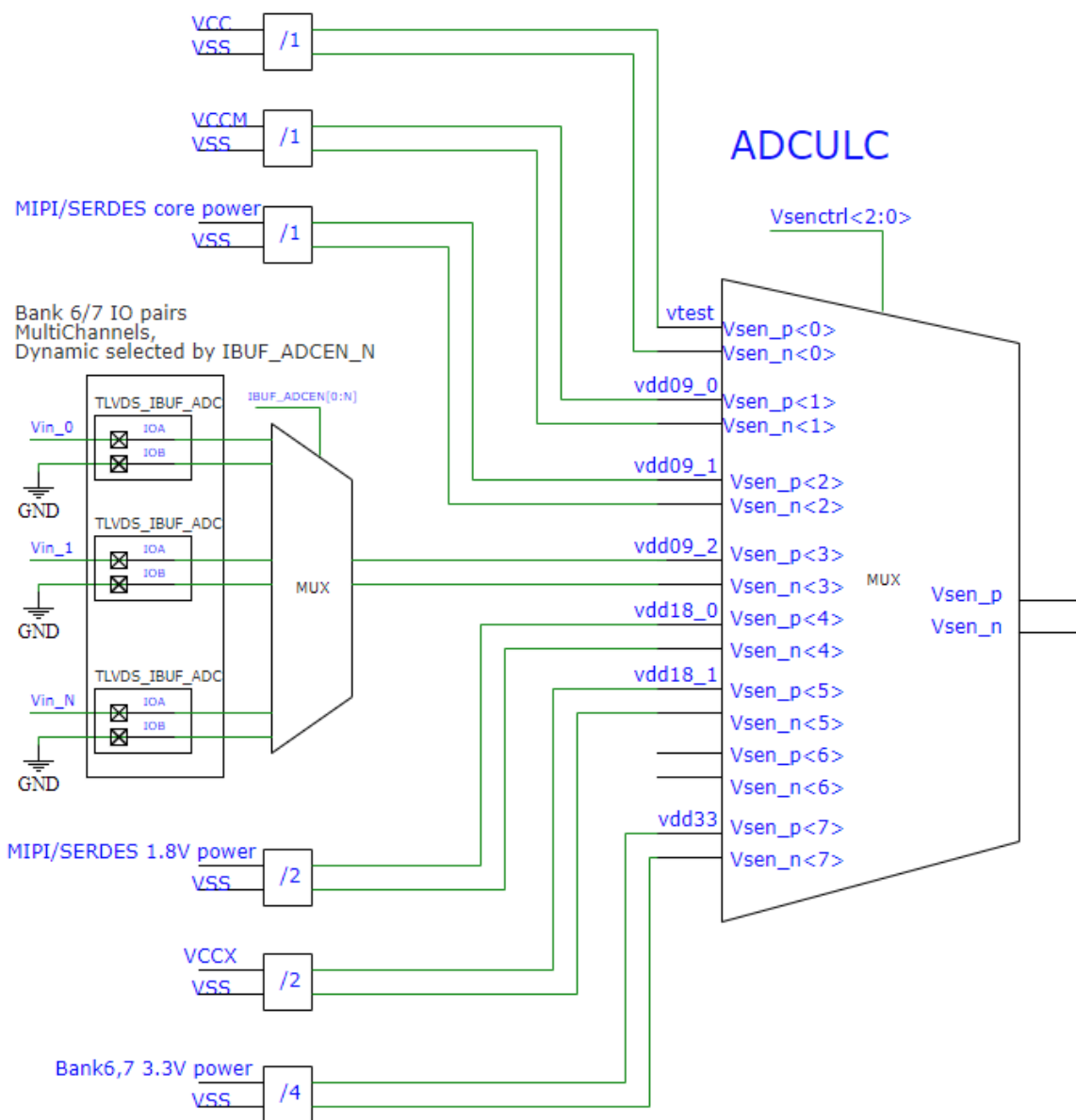
表 4-1 ADC 适用器件

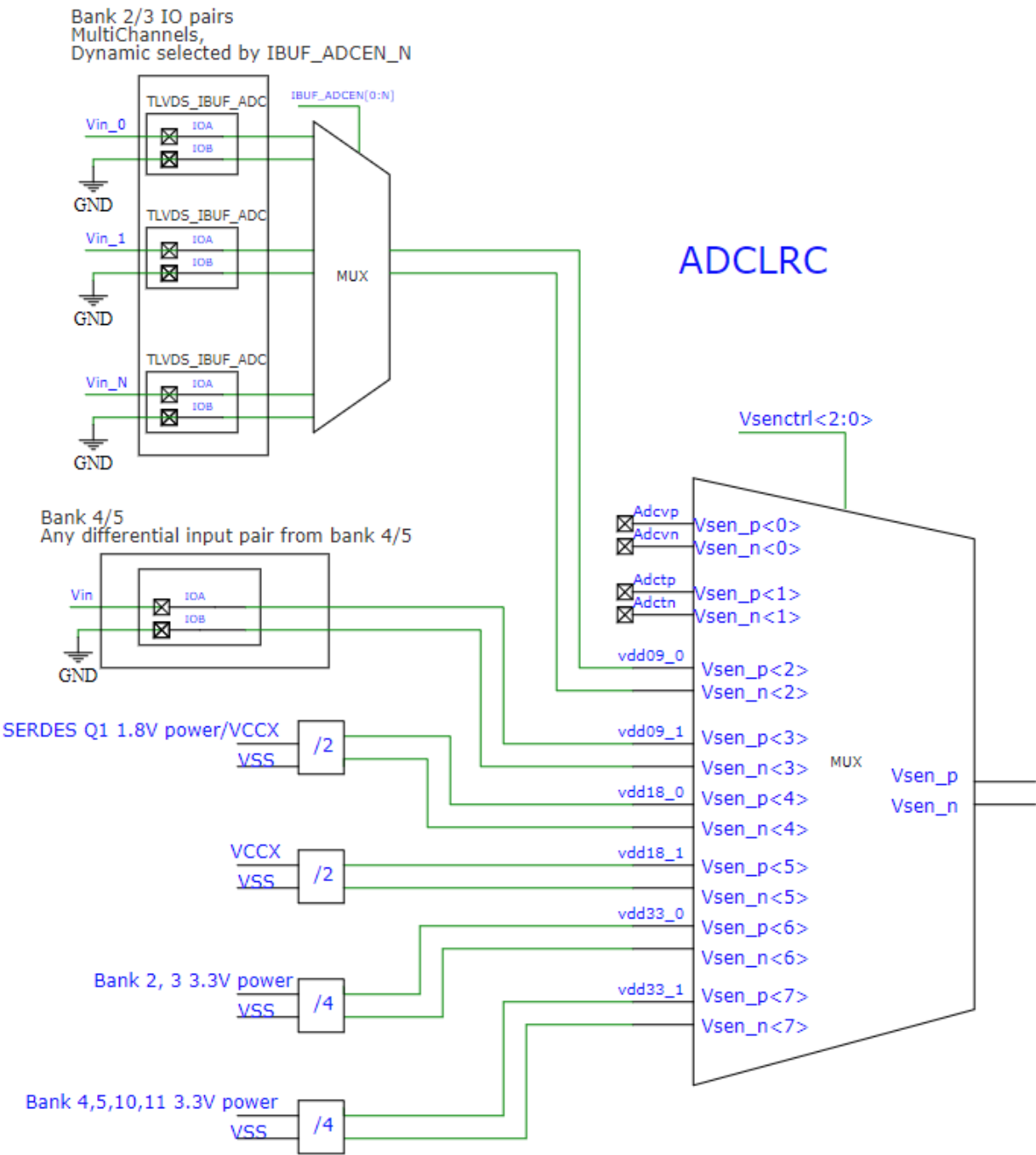
家族	系列	器件
晨熙	GW5A	GW5A-138B
	GW5AS	GW5AS-138B
	GW5AT	GW5AT-138 / GW5AT-138B / GW5AT-75B
	GW5AST	GW5AT-138B

4.2 输入通道选择 (分压系数)

GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 ADC 电压模式输入通道选择框图如下所示。

图 4-1 ADC 电压模式输入通道选择框图





GW5A-138/GW5AT-138/GW5AT-75/GW5AST-138 ADC 电压模式输入通道选择和分压系数表如下。

表 4-2 ADCULC 电压模式输入通道选择和分压系数表

Vsenctl[2:0]	ADC Bus	输入 Channel	分压系数	备注
000	vtest	VCC	2	
001	vdd09_0	VCCM	2	
010	vdd09_1	VDDA_Q0	2	

Vsenc1[2:0]	ADC Bus	输入 Channel	分压系数	备注
010	vdd09_1	VDDT_Q0	2	
		VDDA_MIPI	2	
		VDDD_MIPI	2	
011	vdd09_2	ADCINBK6	1	BANK6 上 IO
		VCC	2	
		ADCINBK7	1	BANK7 上 IO
100	vdd18_0	VDDHA_Q0	4	
		VDDX_MIPI	4	
101	vdd18_1	VCCX	4	
111	vdd33	VCCIO6	8	
		VCCIO7	8	

表 4-3 ADCLRC 电压模式输入通道选择和分压系数表

Vsenc1[2:0]	ADC Bus	输入 Channel	分压系数	备注
000	adcv	adcv	1	
001	adct	adct	1	
010	vdd09_0	VDDA_Q1	2	
		VDDT_Q1	2	
		VCC	2	
		ADCINBK2	1	BANK2 上 IO
		ADCINBK3	1	BANK3 上 IO
011	vdd09_1	ADCINBK4	1	BANK4 上 IO
		VCC	2	
		ADCINBK5	1	BANK5 上 IO
100	vdd18_0	VDDHA_Q1	4	
		VCCX	4	
101	vcc18_1	VCCX	4	
110	vdd33_0	VCCIO2	8	
		VCCIO3	8	
111	vdd33_1	VCCIO4	8	
		VCCIO5	8	
		VCCIO10	8	

4.3 ADC 例化

4.3.1 端口示意图

图 4-3 ADC 端口示意图(静态输入通道)

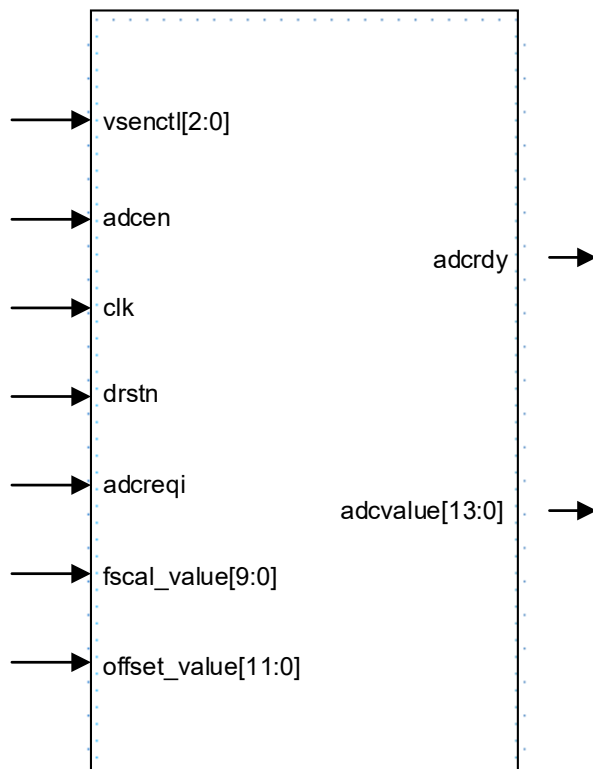
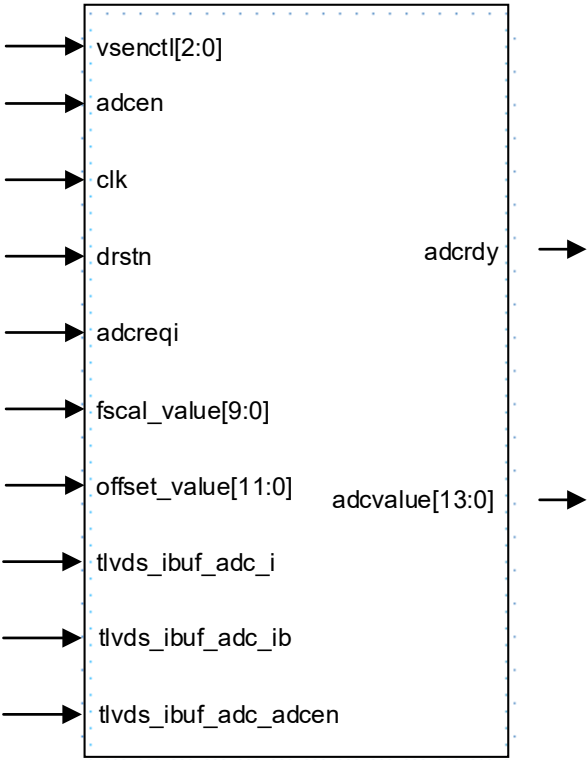


图 4-4 ADC 端口示意图(动态输入通道)



4.3.2 端口介绍

ADCULC 端口

表 4-4 ADCULC 端口介绍

端口	I/O	描述
clk	input	clk input
drstn	input	digital part reset signal, active low
vsenctl	input	input source selection bit[2:0] • 3'b000:vtest • 3'b001:vdd09_0 • 3'b010:vdd09_1 • 3'b011:vdd09_2 • 3'b100:vdd18_0 • 3'b101:vdd18_1 • 3'b111:vdd33
adcen	input	enable signal, active high
adcreqi	input	measurement request signal, valid rising edge
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output

端口	I/O	描述
fscal_value	input	bit[9:0] - temperature mode: 510~948 - voltage mode: 452~840
offset_value	input	bit[11:0] - temperature mode: -1560~-760 - voltage mode: -410~410
adcinbk6a	input	adcvp from Bank6 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk6b	input	adcvn from Bank6 GPIO 的 B 端口, B 端要接 GND
adcinbk7a	input	adcvp from Bank7 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk7b	input	adcvn from Bank7 GPIO 的 B 端口, B 端要接 GND

ADCULC_IO_BUF 端口

表 4-5 ADCULC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	Bank6/7 上差分 GPIO 的 A 端口输入的 adcvp 信号, A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	Bank6/7 上差分 GPIO 的 B 端口输入的 adcvn 信号, B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 通道的 adc 使能信号,同时最多只能使能 1 个, Bank6/7 在同一个 vsenctrl 上只需控制 adcen

注!

Bank6/7 上可以选择多对 IO 进行测试。

ADCLRC 端口

表 4-6 ADCLRC 端口介绍

端口	I/O	描述
clk	input	clk input
drstn	input	digital part reset signal, active low
vsenctrl	input	input source selection bit[2:0] 3'b000: adcv 3'b001: adct 3'b010: vdd09_0 3'b011: vdd09_1 3'b100: vdd18_0 3'b101: vdd18_1 3'b110: vdd33_0

端口	I/O	描述
vsenctl	input	3'b111: vdd33_1
adcen	input	enable signal, active high
adcreqi	input	measurement request signal, valid rising edge
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output
fscal_value	input	bit[9:0] temperature mode: 510~948 voltage mode: 452~840
offset_value	input	bit[11:0] temperature mode: -1560~-760 voltage mode: -410~410
adcinbk2a	input	adcvp from Bank2 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk2b	input	adcvn from Bank2 GPIO 的 B 端口, B 端要接 GND
adcinbk3a	input	adcvp from Bank3 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk3b	input	adcvn from Bank3 GPIO 的 B 端口, B 端要接 GND
adcinbk4a	input	adcvp from Bank4 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk4b	input	adcvn from Bank4 GPIO 的 B 端口, B 端要接 GND
adcinbk5a	input	adcvp from Bank5 GPIO 的 A 端口, A 端接需要测试的电压
adcinbk5b	input	adcvn from Bank5 GPIO 的 B 端口, B 端要接 GND

ADCLRC_IO_BUF 端口

表 4-7 ADCLRC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	Bank2/3 上差分 GPIO 的 A 端口输入的 adcvp 信号, A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	Bank2/3 上差分 GPIO 的 B 端口输入的 adcvn 信号, B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 通道的 adc 使能信号, 同时最多只能使能 1 个, Bank 2/3 在同一个 vsenctrl 上只需控制 adcen

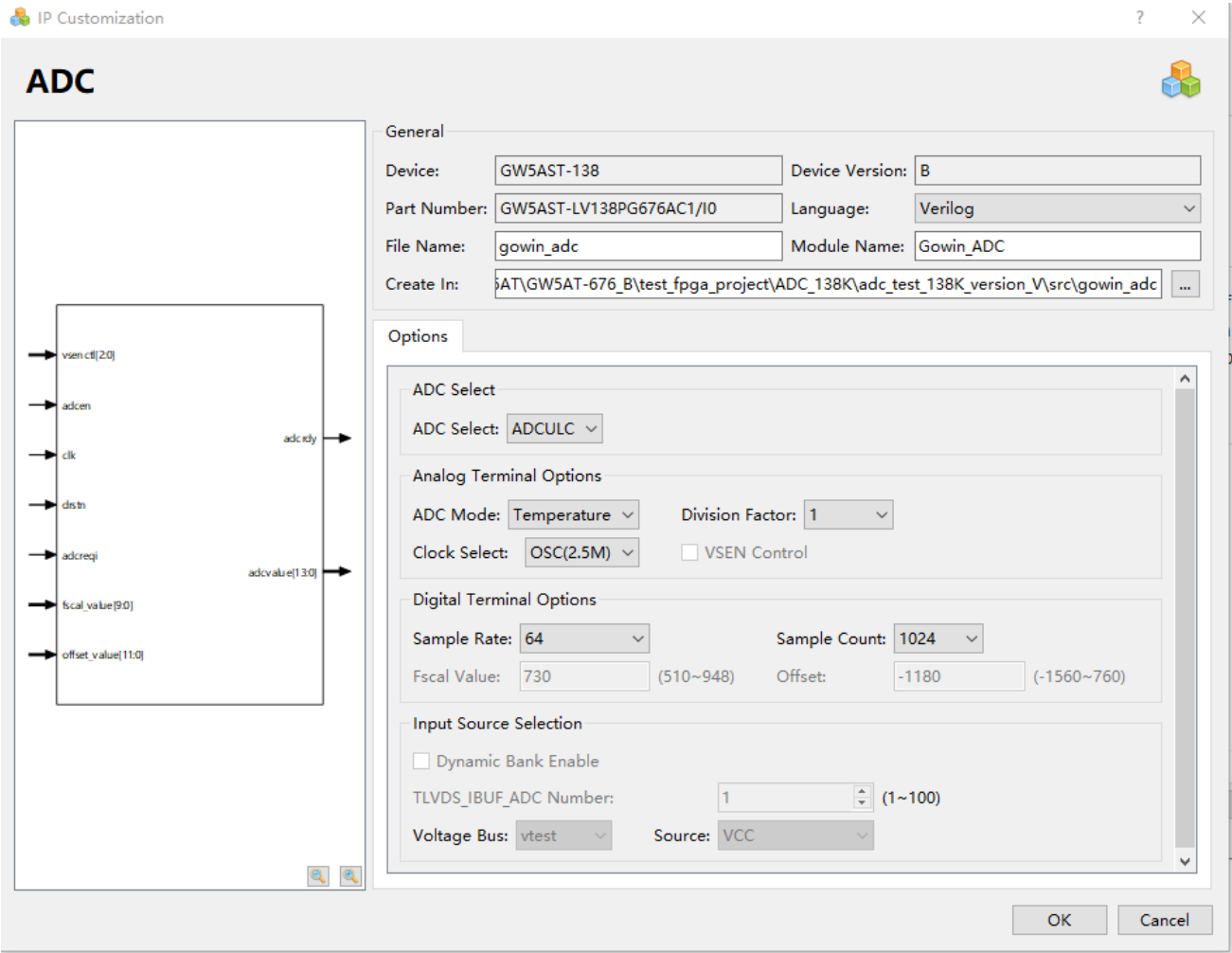
注!

Bank2/3 上可以选择多对 IO 进行测试

4.3.3 配置参数介绍

在高云半导体云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，打开 ADC 配置界面，图 4-5 为 ADC 配置界面示例。

图 4-5 ADC 配置页面示例



ADCULC 配置界面参数

表 4-8 ADCULC 配置界面参数介绍

参数	默认	描述
ADC Select	ADCULC	ADCULC/ADCLRC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Clock Select	OSC	clk source OSC(2.5MHz) /CLK/IO
VSEN Control	不勾选	vsenctl 端口控制

参数	默认	描述
VSEN Control	不勾选	勾选时生成的 ADC IP 无 vsenctl 信号
Sample Rate	128	sample rate configuration 16/32/64/128
Sample Count	1024	sample count configuration 128/256/512/1024
Fscal Value	730(Temperature) 653(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Input Source Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口 (Bank6/7 输入,支持多对 IO)
vtest (Voltage mode)	VCC	VCC
vdd09_0 (Voltage mode)	VCCM	VCCM
vdd09_1 (Voltage mode)	VDDA_Q0	VDDA_Q0/VDDT_Q0/VDDA_MIPi/VDDD_MIPi
vdd09_2 (Voltage mode)	ADCINBK6	ADCINBK6/VCC/ ADCINBK7
Vdd18_0 (Voltage mode)	VDDHA_Q0	VDDHA_Q0/VDDX_MIPi
Vdd18_1 (Voltage mode)	VCCX	VCCX
Vdd33 (Voltage mode)	VCCIO6	VCCIO6/VCCIO7

ADCLRC 配置界面参数

表 4-9 ADCLRC 配置界面参数介绍

参数	默认	描述
ADC Select	ADCULC	ADCULC/ADCLRC
ADC Mode	Temperature	Temperature/Voltage
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz

参数	默认	描述
Clock Select	OSC	clk source OSC(2.5MHz) /CLK/IO
VSEN Control	不勾选	vsenctl 端口控制 勾选时生成的 ADC IP 无 vsenctl 信号
Sample Rate	128	sample rate configuration 16/32/64/128
Sample Count	1024	sample count configuration 128/256/512/1024
Fscal Value	730(Temperature) 653(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Input Source Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口 (Bank2/3 输入, 支持多对 IO)
vdd09_0 (Voltage mode)	VDDA_Q1	VDDA_Q1/VDDT_Q1/VCC/ADCINBK2/ADCINBK3
vdd09_1 (Voltage mode)	ADCINBK4	ADCINBK4/VCC/ ADCINBK5
vdd18_0 (Voltage mode)	VDDHA_Q1	VDDHA_Q1/VCCX
vdd18_1 (Voltage mode)	VCCX	VCCX
vdd33_0 (Voltage mode)	VCCIO2	VCCIO2/VCCIO3
vdd33_1 (Voltage mode)	VCCIO4	VCCIO4/VCCIO5/VCCIO10

ADC 窗口配置完成后, 产生以配置文件“File Name”命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件“gowin_adc.v”为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 Gowin_ADC;
- IP 设计使用模板文件“gowin_adc_tmp.v”, 为用户提供 IP 设计使用模板文件;

- IP 配置文件：“gowin_adc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

4.3.4 例化示例(以 ADCULC 为例)

Verilog 例化：

```
Gowin_ADC Gowin_ADC_inst(
.adcrdy(adcrdy_o), //output adcrdy
.adcvalue(advalue_o), //output [13:0] adcvalue
.adcinbk6a(adcinkb6a_i), //input adcinkb6a
.adcinbk6b(adcinkb6b_i), //input adcinkb6b
.adcinbk7a(adcinkb7a_i), //input adcinkb7a
.adcinbk7b(adcinkb7b_i), //input adcinkb7b
.vsenctl(vsenctl_i), //input [2:0] vsenctl
.adcen(adcen_i), //input adcen
.clk(clk_i), //input clk
.drstn(drstn_i), //input drstn
.adcreqi(adcreqi_i) ,//input adcreqi
.fscal_value(fscal_value_i), //input [9:0] fscal_value
.offset_value(offset_value_i) //input [11:0] offset_value
);
```

Vhdl 例化：

```
component Gowin_ADC
port (
adcrdy: out std_logic;
adcvalue: out std_logic_vector(13 downto 0);
adcinkb6a: in std_logic;
adcinkb6b: in std_logic;
adcinkb7a: in std_logic;
adcinkb7b: in std_logic;
vsenctl: in std_logic_vector(2 downto 0);
adcen: in std_logic;
clk: in std_logic;
drstn: in std_logic;
adcreqi: in std_logic;
fscal_value: in std_logic_vector(9 downto 0);
offset_value: in std_logic_vector(11 downto 0)
);
```

```
end component;  
Gowin_ADC_inst: Gowin_ADC  
port map (  
  adcrdy => adcrdy_o,  
  adcvalue => adcvalue_o,  
  adcinbk6a => adcinbk6a_i,  
  adcinbk6b => adcinbk6b_i,  
  adcinbk7a => adcinbk7a_i,  
  adcinbk7b => adcinbk7b_i,  
  vsenctl => vsenctl_i,  
  adcen => adcen_i,  
  clk => clk_i,  
  drstn => drstn_i,  
  adcreqi => adcreqi_i,  
  fscal_value => fscal_value_i,  
  offset_value => offset_value_i  
);
```

5 ADC (60K)

5.1 适用器件

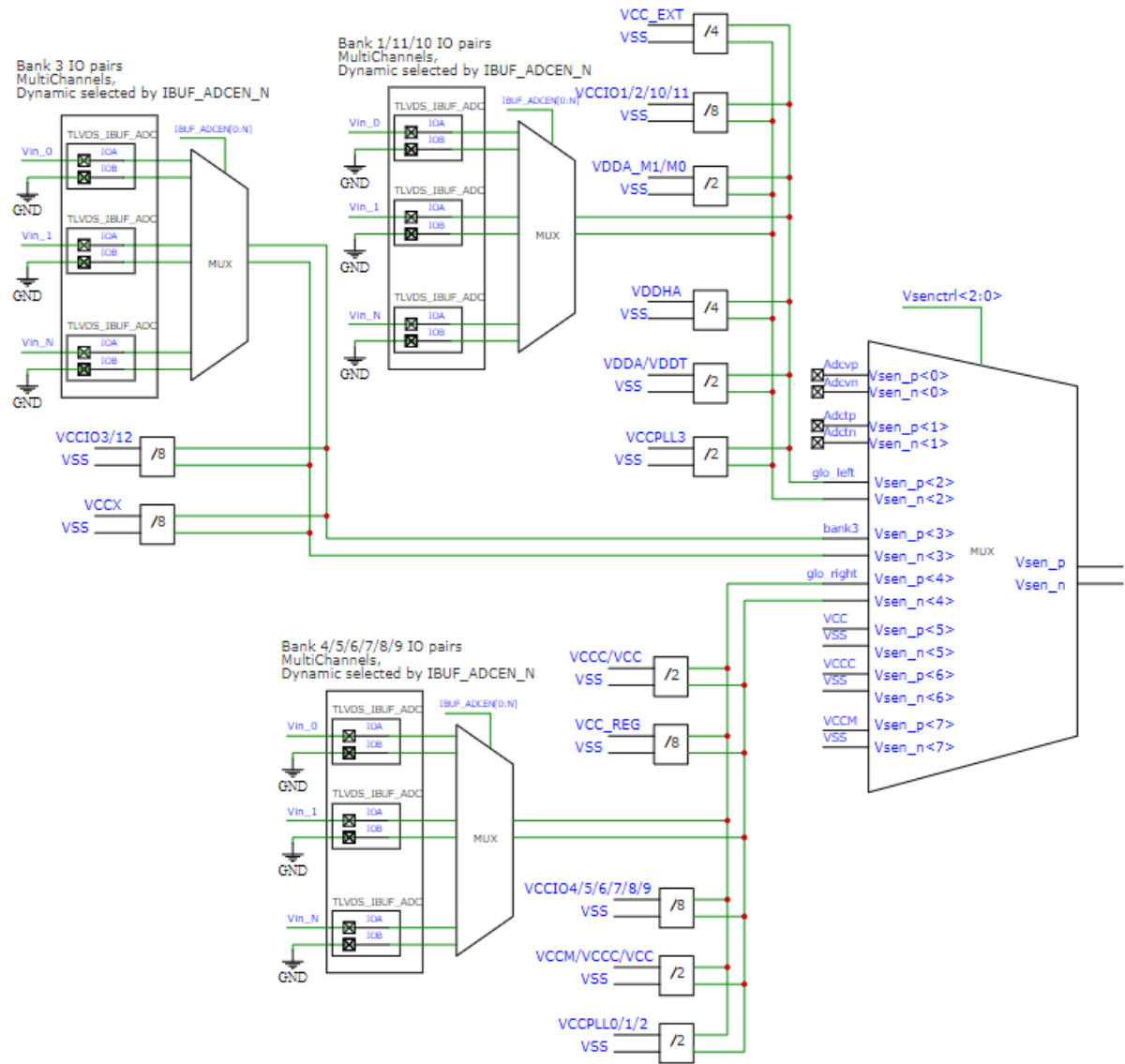
表 5-1 ADC 适用器件

家族	系列	器件
晨熙	GW5A	GW5A-60
	GW5AT	GW5AT-60

5.2 输入通道选择 (分压系数)

GW5A-60/GW5AT-60 ADC 电压模式输入通道选择框图如下所示。

图 5-1 ADC 电压模式输入通道选择框图



GW5A-60/GW5AT-60 ADC 电压模式输入通道选择分压系数表如下所示。

表 5-2 ADC 电压模式输入通道选择分压系数表

Vsenctl[2:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[28:0]	备注
000	adcv		1		
001	adct		1		
010	glo_left	VDD12_MIPI	4	BUF_EN[0]	VCC_EXT

Vsenctl[2:0]	ADC Bus	输入 Channel	分压系数	BUF_EN[28:0]	备注
	glo_left	VCCIO1	8	BUF_EN[1]	
		VCCIO2	8	BUF_EN[2]	
		VCCIO10	8	BUF_EN[15]	
		VCCIO11	8	BUF_EN[16]	
		VDDA_MIPI	2	BUF_EN[20]	VDDA_M1/M0
		VDDHA_Q0	4	BUF_EN[22]	VDDHA
		VDDA_Q0	2	BUF_EN[23]	VDDA
		VDDT_Q0	2	BUF_EN[24]	VDDT
		VCCPLL3	2	BUF_EN[28]	
		PAD	1		BANK1/11/10 上 IO
011	bank3	VCCIO3	8	BUF_EN[3]	
		VCCIO12	8	BUF_EN[4]	
		VCCX	8	BUF_EN[5]	
		PAD	1		BANK3 上 IO
100	glo_right	VCC	2	BUF_EN[7]	
		VCC_LDO	8	BUF_EN[8]	VCC_REG
		VCCIO4	8	BUF_EN[9]	
		VCCIO5	8	BUF_EN[10]	
		VCCIO6	8	BUF_EN[11]	
		VCCIO7	8	BUF_EN[12]	
		VCCIO8	8	BUF_EN[13]	
		VCCIO9	8	BUF_EN[14]	
		VCCM	2	BUF_EN[17]	
		VCCPLL0	2	BUF_EN[25]	
		VCCPLL1	2	BUF_EN[26]	
		VCCPLL2	2	BUF_EN[27]	
		PAD	1		BANK4/5/6/7/8/9 上 IO
101	vcc		1		
110	vccc		1		
100	vccm		1		

5.3 ADC 例化

5.3.1 端口示意图

图 5-2 ADC 端口示意图(静态输入通道)

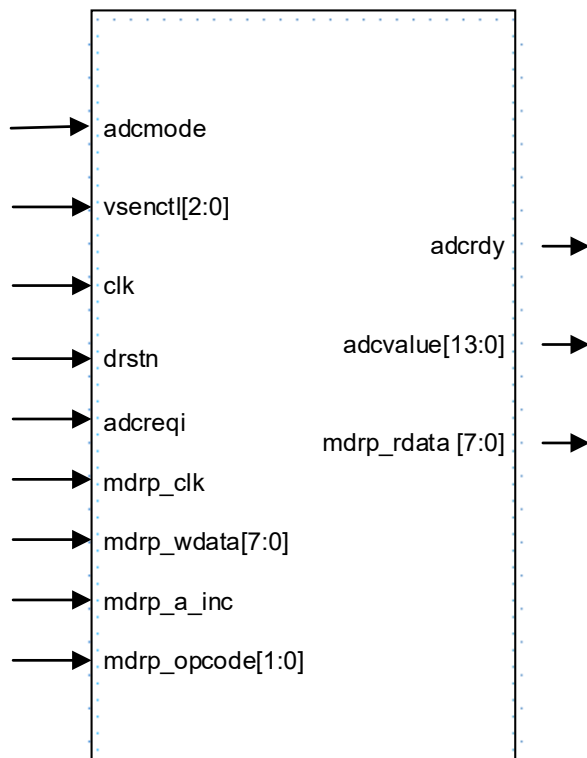
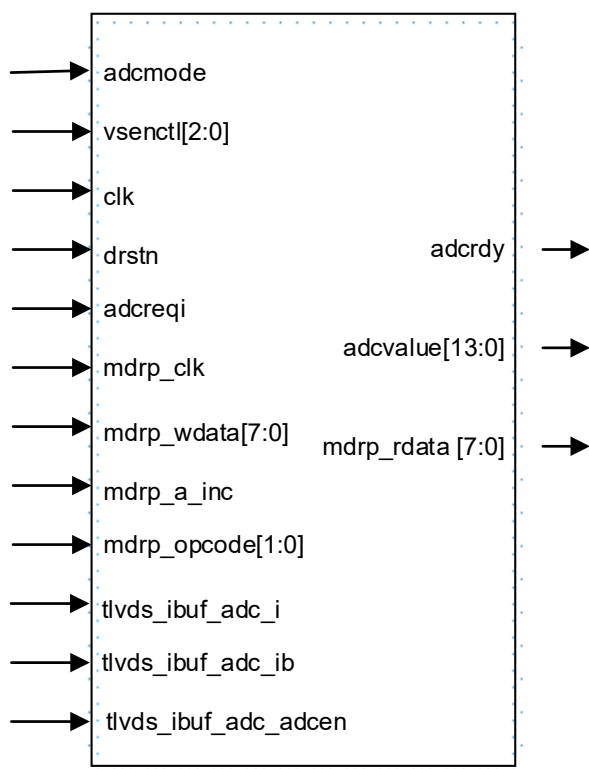


图 5-3 ADC 端口示意图(动态输入通道)



5.3.2 端口介绍

ADC 端口

表 5-3 ADC 端口介绍

端口	I/O	描述
adcmode	input	mode selection 1'b0: temperature mode 1'b1:voltage mode
vsenctl[2:0]	input	input source selection bit [2:0] 3'b000: adcv 3'b001: adct 3'b010: glo_left 3'b011: bank3 3'b100: glo_right 3'b101: vcc 3'b110: vccc 3'b111: vccm
clk	input	clk input
drstn	input	digital part reset signal, active low
adcreqi	input	measurement request signal, valid rising edge

端口	I/O	描述
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output

ADC_mDRP 端口

表 5-4 ADC_MDRP 端口介绍

端口	I/O	描述
mdrp_clk	input	mdrp clock
mdrp_wdata[7:0]	input	bit[7:0] mdrp_wdata
mdrp_a_inc	input	mdrp_a_inc
mdrp_opcode[1:0]	input	bit[1:0] mdrp_opcode
mdrp_rdata	output	bit[7:0] mdrp_rdata

mDRP Control Registers

表 5-5 ADC mDRP Control Registers

Address	Register Name	Default Value	R/W	Description
0x00	sensor_adc_ctrl1	0x43	RW	Bit[7:6] reserved Bit[5:3] cfg_sample_cnt_sel • 001:128 • 010:256 • 011:512 • 100:1024 Bit[2:0] cfg_vsen_ctrl • 000:adcv • 001:adct • 010:glo_left • 011:bank3 • 100:glo_right • 101:vcc • 110:vccc • 111:vccm
0x01	sensor_adc_ctrl2	0x04	RW	Bit[7:4] reserved Bit[3] cfg_sensor_mode • 0:Temperature 1:Voltage Bit[2:0] cfg_rate_change_ctrl • 010:16 • 011:32

Address	Register Name	Default Value	R/W	Description
0x01	sensor_adc_ctrl2	0x04	RW	100:64 101:128
0x02	sensor_adc_ctrl3	0xDA	RW	Bit[7:0] cfg_fscal_value[7:0]
0x03	sensor_adc_ctrl4	0x02	RW	Bit[7:2] reserved Bit[1:0] cfg_fscal_value[9:8]
0x04	sensor_adc_ctrl5	0x64	RW	Bit[7:0] cfg_offset_value[7:0]
0x05	sensor_adc_ctrl6	0x0B	RW	Bit[7:4] reserved Bit[3:0] cfg_offset_value[11:8]

ADC_IO_BUF 端口

表 5-6 ADC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	差分 GPIO 的 A 端口输入的 adcvp 信号, A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	差分 GPIO 的 B 端口输入的 adcvn 信号, B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 通道的 adc 使能信号, 同时最多只能使能 1 个, vsenc-trl 和 adcen 相互组合实现需要的动态控制。 注! 需要在界面 Source 处全选 PAD。

注!

所有 Bank 上都可以选择多对 IO 进行测试。

5.3.3 配置参数介绍

在高云半导体云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，打开 ADC 配置界面，ADC 配置界面示例如图 5-4 所示。

图 5-4 ADC 配置页面

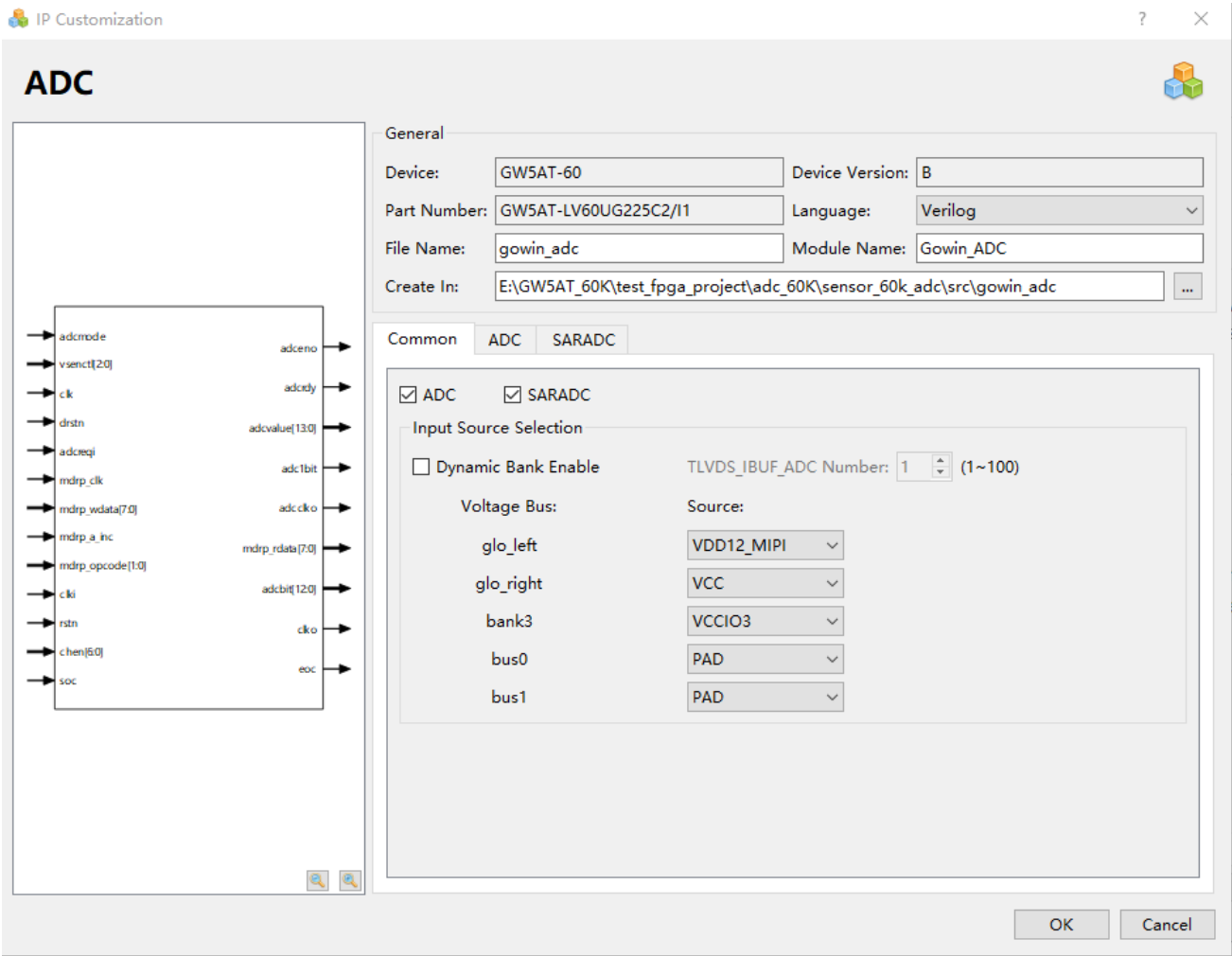


表 5-7 ADC 配置界面参数介绍

参数	默认	描述
Common	ADC/SARADC	ADC
ADC Mode	Voltage	Temperature/Voltage
ADC Enable Selection	不勾选	不勾选时 ADC 一直工作，勾选后，adceni 被例化可外部信号控制 ADC 工作状态
Clock Select	CLK	clk source OSC (2.5MHz) or CLK
Division Factor	1	clock division 0: /1, 1: /2, 2: /4, 3: /8 Clock after frequency division, 500kHz~8MHz
Sample Rate	128	sample rate configuration 16/32/64/128
Sample Count	1024	sample count configuration 128/256/512/1024

参数	默认	描述
Fscal Value	730(Temperature) 653(Voltage)	temperature mode: 510~948 voltage mode: 452~840
Offset	-1180(Temperature) 0(Voltage)	temperature mode: -1560~-760 voltage mode: -410~410
Dynamic Input Source Enable (Voltage mode)	不勾选	勾选后, 启用 tlvs_ibuf_adc ADC 输入接口(所有 bank 输入, 支持多对 IO)
glo_left (Voltage mode)	VDD12_MIP1	VDD12_MIP1/VCCIO1_2_10_11/VDDA_MIP1/VDDHA_Q0/ VDDA_Q0/VDDT_Q0/VCCPLL3/PAD PAD 对应 Bank1/10/11 的 IO, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus2 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口, A 端接需要测试的电压, B 端要接 GND。
glo_right (Voltage mode)	VCC	VCC/VCC_LDO/VCCIO4_5_6_7_8_9/VCCM/ VCCPLL0_1_2 / PAD PAD 对应 bank4/5/6/7/8/9 的 IO, 当使用这几个 bank 的 IO 作为 ADC 输入, 不勾选 Dynamic Input Source Enable 时, 需要增加物理约束如下: USE_ADC_SRC bus4 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口, A 端接需要测试的电压, B 端要接 GND。
bank3 (Voltage mode)	VCCIO3	VCCIO3/VCCIO12/VCCX/PAD PAD 对应 bank3 的 IO, 当使用这个 bank 的 IO 作为 ADC 输 入,不勾选 Dynamic Input Source Enable 时, 需要增加物理约 束如下: USE_ADC_SRC bus3 loc; loc: ADC 输入管脚的位置信息, 例如 IOR26 勾选 Dynamic Input Source Enable 时, 启用 tlvs_ibuf_adc ADC 输入接口, A 端接需要测试的电压, B 端要接 GND。
bus0	PAD	PAD (SARADC 时用到)
bus1	PAD	PAD (SARADC 时用到)

ADC 窗口配置完成后, 产生以配置文件“File Name”命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件“gowin_adc.v”为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 Gowin_ADC;
- IP 设计使用模板文件“gowin_adc_tmp.v”, 为用户提供 IP 设计使用模板文件;

- IP 配置文件：“gowin_adc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

5.3.4 例化示例

Verilog 例化：

```
Gowin_ADC Gowin_ADC_inst (
.adceno(adceno), //output adceno
.adcrdy(adcrdy), //output adcrdy
.adcvalue(adcvalue), //output [13:0] adcvalue
.mdrp_rdata(mdrp_rdata), //output [7:0] mdrp_rdata
.adc1bit(adc1bit), //output adc1bit
.adcclko(adcclko), //output adcclko
.adcmode(adcmode), //input adcmode
.vsenctl(vsenctl), //input [2:0] vsenctl
.clk(clk), //input clk
.drstn(drstn), //input drstn
.adcreqi(adcreqi), //input adcreqi
.mdrp_clk(mdrp_clk), //input mdrp_clk
.mdrp_wdata(mdrp_wdata), //input [7:0] mdrp_wdata
.mdrp_a_inc(mdrp_a_inc), //input mdrp_a_inc
.mdrp_opcode(mdrp_opcode) //input [1:0] mdrp_opcode
);
```

Vhdl 例化：

```
component Gowin_ADC
port (
adceno: out std_logic;
adcrdy: out std_logic;
adcvalue: out std_logic_vector(13 downto 0);
mdrp_rdata: out std_logic_vector(7 downto 0);
adc1bit: out std_logic;
adcclko: out std_logic;
adcbit: out std_logic_vector(12 downto 0);
clko: out std_logic;
eoc: out std_logic;
adcmode: in std_logic;
vsenctl: in std_logic_vector(2 downto 0);
clk: in std_logic;
```

```
drstn: in std_logic;
adcreqi: in std_logic;
mdrp_clk: in std_logic;
mdrp_wdata: in std_logic_vector(7 downto 0);
mdrp_a_inc: in std_logic;
mdrp_opcode: in std_logic_vector(1 downto 0);
clki: in std_logic;
chen: in std_logic_vector(6 downto 0);
rstn: in std_logic;
soc: in std_logic
);
end component;
your_instance_name: Gowin_ADC
port map (
  adceno => adceno,
  adcrdy => adcrdy,
  adcvalue => adcvalue,
  mdrp_rdata => mdrp_rdata,
  adc1bit => adc1bit,
  adccclko => adccclko,
  adcbits => adcbits,
  clko => clko,
  eoc => eoc,
  adcmode => adcmode,
  vsenctrl => vsenctrl,
  clk => clk,
  drstn => drstn,
  adcreqi => adcreqi,
  mdrp_clk => mdrp_clk,
  mdrp_wdata => mdrp_wdata,
  mdrp_a_inc => mdrp_a_inc,
  mdrp_opcode => mdrp_opcode,
  clki => clki,
  chen => chen,
  rstn => rstn,
  soc => soc
);
```

6 ADC (15K)

6.1 适用器件

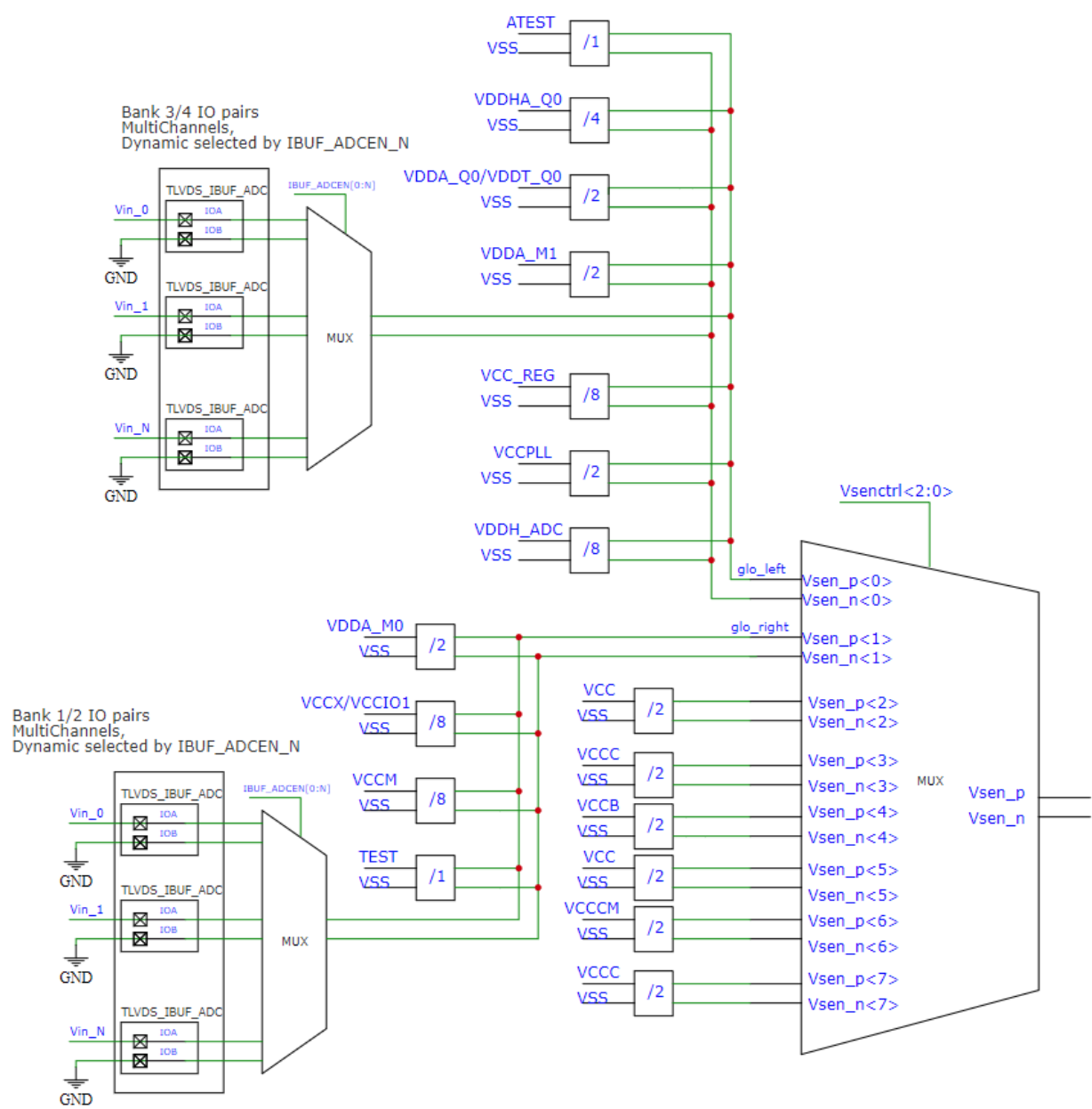
表 6-1 ADC 适用器件

家族	系列	器件
Arora V	GW5AT	GW5AT-15
	GW5ART	GW5ART-15

6.2 输入通道选择 (分压系数)

GW5AT-15/GW5ART-15 ADC 电压模式输入通道选择框图如下所示。

图 6-1 ADC 电压模式输入通道选择框图



GW5AT-15/GW5ART-15 ADC 电压模式输入通道选择分压系数表如下所示。

TBD

6.3 ADC 例化

6.3.1 端口示意图

图 6-2 ADC 端口示意图(静态输入通道)

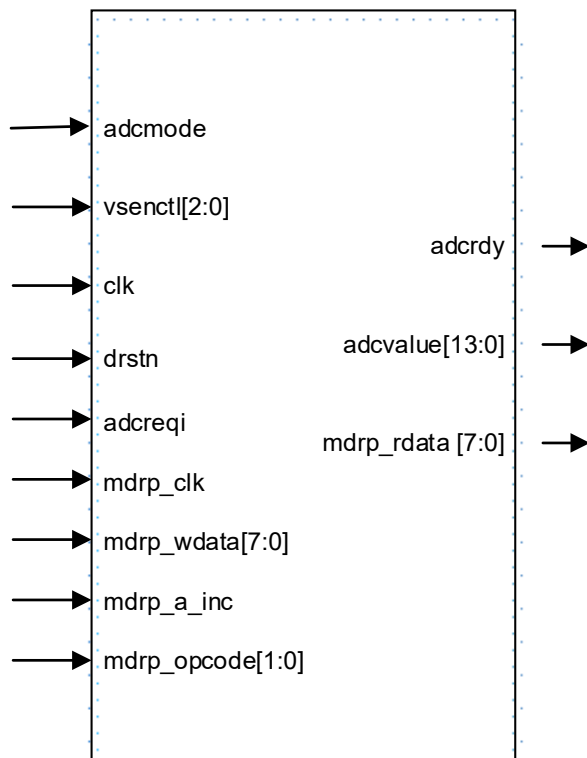
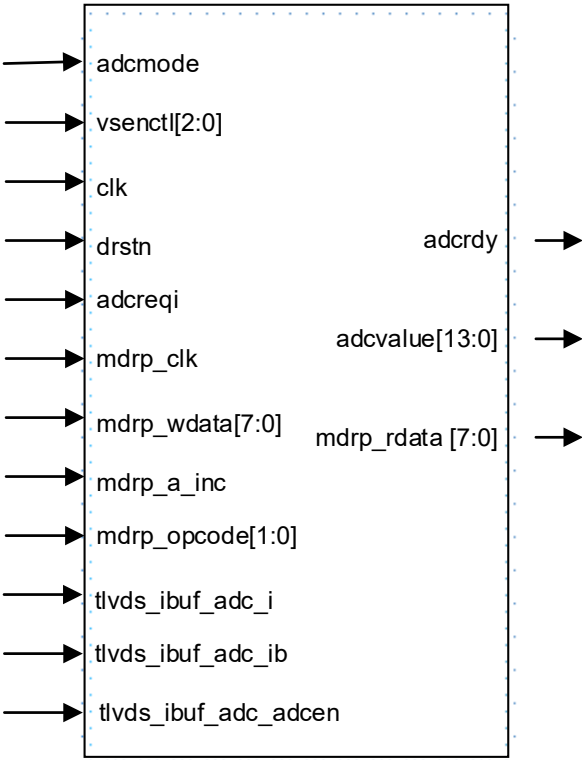


图 6-3 ADC 端口示意图(动态输入通道)



6.3.2 端口介绍

ADC 端口

表 6-2 ADC 端口介绍

端口	I/O	描述
adcmode	input	mode selection 1'b0: temperature mode 1'b1: voltage mode
vsenctl[2:0]	input	input source selection bit [2:0] 3'b000: glo_left 3'b001: glo_right 3'b010: vcc 3'b011: vccc 3'b100: vccb 3'b101: vcc 3'b110: vccm 3'b111: vccc
clk	input	clk input
drstn	input	digital part reset signal, active low
adcreqi	input	measurement request signal, valid rising edge

端口	I/O	描述
adcrdy	output	measurement completion signal, active high
adcvalue	output	bit[13:0] the measurement result output

ADC_mDRP 端口

表 6-3 ADC_mDRP 端口介绍

端口	I/O	描述
mdrp_clk	input	mdrp clock
mdrp_wdata[7:0]	input	bit[7:0] mdrp_wdata
mdrp_a_inc	input	mdrp_a_inc
mdrp_opcode[1:0]	input	bit[1:0] mdrp_opcode
mdrp_rdata	output	bit[7:0] mdrp_rdata

mDRP Control Registers

表 6-4 ADC mDRP Control Registers

Address	Register Name	Default Value	R/W	Description
0x00	sensor_adc_ctrl1	0x43	RW	Bit[7:6] reserved Bit[5:3] cfg_sample_cnt_sel • 001:128 • 010:256 • 011:512 • 100:1024 Bit[2:0] cfg_vsen_ctrl • 000:glo_left • 001:glo_right • 010:vcc • 011:vccc • 100:vccb • 101:vcc • 110:vccm • 111:vccc
0x01	sensor_adc_ctrl2	0x04	RW	Bit[7:4] reserved Bit[3] cfg_sensor_mode • 0:Temperature 1:Voltage Bit[2:0] cfg_rate_change_ctrl • 010:16 • 011:32

Address	Register Name	Default Value	R/W	Description
0x01	sensor_adc_ctrl2	0x04	RW	100:64 101:128
0x02	sensor_adc_ctrl3	0xDA	RW	Bit[7:0] cfg_fscal_value[7:0]
0x03	sensor_adc_ctrl4	0x02	RW	Bit[7:2] reserved Bit[1:0] cfg_fscal_value[9:8]
0x04	sensor_adc_ctrl5	0x64	RW	Bit[7:0] cfg_offset_value[7:0]
0x05	sensor_adc_ctrl6	0x0B	RW	Bit[7:4] reserved Bit[3:0] cfg_offset_value[11:8]

ADC_IO_BUF 端口

表 6-5 ADC_IO_BUF 端口介绍

端口	I/O	描述
tlvds_ibuf_adc_i	input	Bank1/2/3/4 上差分 GPIO 的 A 端口输入的 adcvp 信号，A 端接需要测试的电压
tlvds_ibuf_adc_ib	input	Bank1/2/3/4 上差分 GPIO 的 B 端口输入的 adcvn 信号，B 端要接 GND
tlvds_ibuf_adc_adcen	input	差分 GPIO 的 adc 使能信号，同时最多只能使能 1 个，vsenctrl 和 adcen 相互组合实现需要的动态控制。 注！ 需要在界面 Source 处全选 PAD。

注！

Bank1/2/3/4 上都可以选择多对 IO 进行测试。

6.3.3 配置参数介绍

在高云半导体云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，打开 ADC 配置界面，ADC 配置界面示例如图 6-4 所示。

图 6-4 ADC 配置页面

TBD

6.3.4 例化示例

TBD

