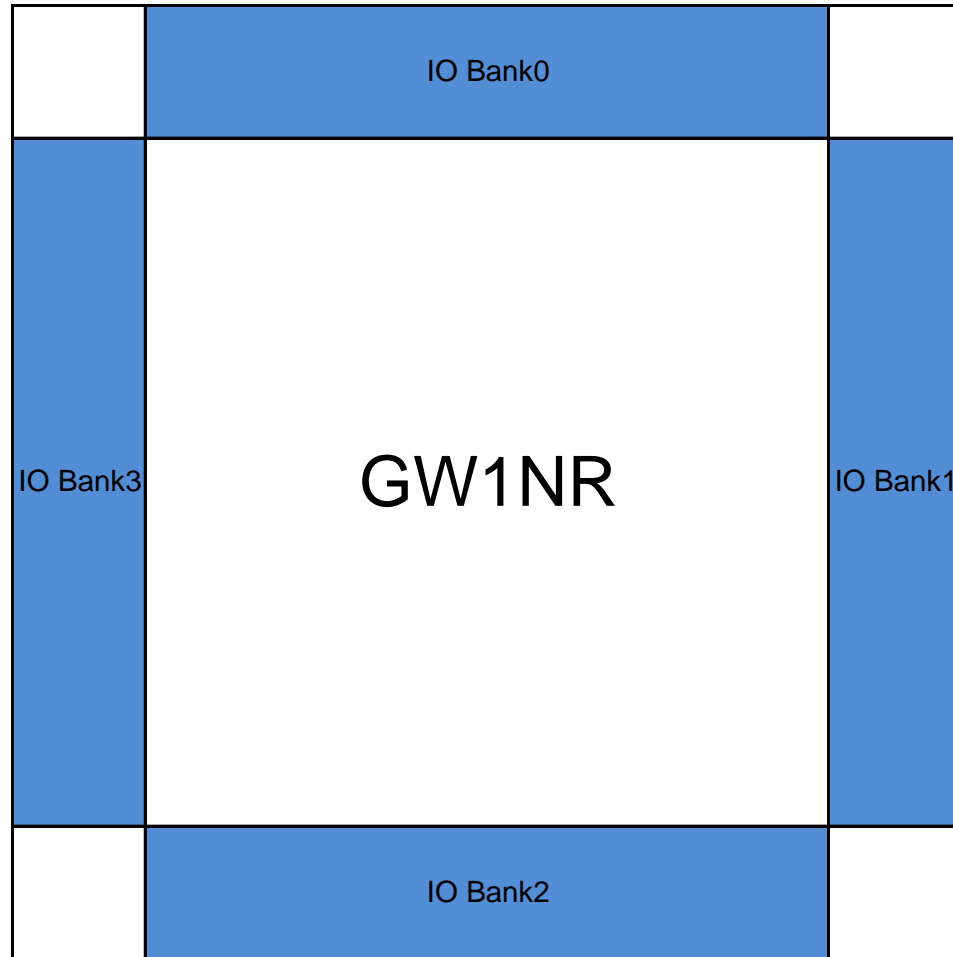


日期	版本	说明
2020/4/16	1.0	初始版本,支持QN88,QN88P,MG100P,LQ144P。
2020/5/14	1.1	新增MG100PF封装。
2020/6/11	1.2	修改GCLKC_[x] 管脚说明。 GW1NR-9C更正为GW1NR-9。
2020/7/28	1.3	新增MG100PD封装。
2020/9/21	1.4	新增MG100PA, MG100PT, MG100PS封装。 删除MG100PD封装。
2021/8/12	1.5	更新供电要求描述。
2021/10/29	1.6	修改MG100PA封装A6,A7管脚位置。 更新Pin Definitions。
2022/10/20	1.6.1	更新Power中的注释。 更新Pin Definitions中的注释。
2023/5/4	1.6.2	更新Power页中QN88/QN88P的epad注释。 更新Power页中MG100P封装VCCIO1/VCCIO3的电源描述。 更新Pin Definition页中CLKHOLD_N的管脚说明。
2023/6/30	1.6.3	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。
2024/11/1	1.6.4	新增Pin Definition页中EPAD管脚说明。 更新Power页中QN88封装VCCIO1/VCCIO3电压最小值。 优化Pin Definitions页中Ready和Done管脚的方向描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE <sup>[1]</sup>	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY <sup>[1]</sup>	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下，高电平有效 在CPU模式下，低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 <sup>[2]</sup>
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
<b>其他管脚</b>		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
EPAD	NA	裸露焊盘，接地
<b>注！</b>		
<sup>[1]</sup> READY和DONE默认状态为open-drain输出，内部弱上拉。在配置期间，DONE输出0。		
<sup>[2]</sup> 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压 (VREF)。
- [2]用户可以选择使用IOB内置的VREF源 (等于 $0.5 \cdot V_{CCIO}$ )。
- [3]用户也可选择外部的VREF输入 (使用Bank中任意一个IO管脚作为外部VREF输入)。

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
I0B10A	I/O	2		True_of_I0B10B	NONE	NONE								
I0B10B	I/O	2		Comp_of_I0B10A	NONE	NONE								
I0B11A	I/O	2		True_of_I0B11B	TRUE	x16	27	27	J3	J3	42	J3	J3	J3
I0B11B	I/O	2		Comp_of_I0B11A	TRUE	NONE	28	28	H3	H3	43	H3	H3	H3
I0B12A	I/O	2		True_of_I0B12B	NONE	NONE					44			
I0B12B	I/O	2		Comp_of_I0B12A	NONE	NONE					45			
I0B13A	I/O	2		True_of_I0B13B	TRUE	x16	29	29	E4	E4	46	E4	E4	E4
I0B13B	I/O	2		Comp_of_I0B13A	TRUE	NONE	30	30	F4	F4	47	F4	F4	F4
I0B14A	I/O	2		True_of_I0B14B	NONE	NONE								
I0B14B	I/O	2		Comp_of_I0B14A	NONE	NONE								
I0B15A	I/O	2		True_of_I0B15B	TRUE	x16	31	31	K3	K3	48	K3	K3	K3
I0B15B	I/O	2		Comp_of_I0B15A	TRUE	NONE	32	32	K4	K4	49	K4	K4	K4
I0B16A	I/O	2		True_of_I0B16B	NONE	NONE								
I0B16B	I/O	2		Comp_of_I0B16A	NONE	NONE								
I0B17A	I/O	2		True_of_I0B17B	TRUE	x16			J4	J4	50	J4	J4	J4
I0B17B	I/O	2		Comp_of_I0B17A	TRUE	NONE			H4	H4	51	H4	H4	H4
I0B18A	I/O	2		True_of_I0B18B	NONE	NONE								
I0B18B	I/O	2		Comp_of_I0B18A	NONE	NONE								
I0B19A	I/O	2		True_of_I0B19B	NONE	NONE								
I0B19B	I/O	2		Comp_of_I0B19A	NONE	NONE								
I0B20A	I/O	2		True_of_I0B20B	NONE	NONE								
I0B20B	I/O	2		Comp_of_I0B20A	NONE	NONE								
I0B21A	I/O	2		True_of_I0B21B	TRUE	x16			K5	K5		K5	K5	K5
I0B21B	I/O	2		Comp_of_I0B21A	TRUE	NONE			K6	K6		K6	K6	K6
I0B22A	I/O	2		True_of_I0B22B	NONE	NONE								
I0B22B	I/O	2		Comp_of_I0B22A	NONE	NONE								
I0B23A	I/O	2		True_of_I0B23B	TRUE	x16	33	33	H5	H5	52	H5	H5	H5
I0B23B	I/O	2		Comp_of_I0B23A	TRUE	NONE	34	34	G5	G5	54	G5	G5	G5
I0B24A	I/O	2		True_of_I0B24B	NONE	NONE								
I0B24B	I/O	2		Comp_of_I0B24A	NONE	NONE								
I0B25A	I/O	2		True_of_I0B25B	TRUE	x16								
I0B25B	I/O	2		Comp_of_I0B25A	TRUE	NONE								
I0B26A	I/O	2		True_of_I0B26B	NONE	NONE								
I0B26B	I/O	2		Comp_of_I0B26A	NONE	NONE								
I0B27A	I/O	2		True_of_I0B27B	TRUE	x16								
I0B27B	I/O	2		Comp_of_I0B27A	TRUE	NONE								
I0B28A/GCLKT_5	I/O	2	GCLKT_5	True_of_I0B28B	NONE	NONE			F5	F5	56	F5	F5	F5
I0B28B/GCLKC_5	I/O	2	GCLKC_5	Comp_of_I0B28A	NONE	NONE			E5	E5	57	E5	E5	E5
I0B29A/GCLKT_4	I/O	2	GCLKT_4	True_of_I0B29B	TRUE	x16	35	35	J6	J6	58	J6	J6	J6
I0B29B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_I0B29A	TRUE	NONE	36	36	H6	H6	59	H6	H6	H6
I0B2A	I/O	2		True_of_I0B2B	TRUE	x16	17	17						
I0B2B	I/O	2		Comp_of_I0B2A	TRUE	NONE	18	18						
I0B30A	I/O	2		True_of_I0B30B	NONE	NONE					60			
I0B30B	I/O	2		Comp_of_I0B30A	NONE	NONE					61			

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
I0B31A	I/O	2		True_of_I0B31B	TRUE	x16	37	37	K7	K7	62	K7	K7	K7
I0B31B	I/O	2		Comp_of_I0B31A	TRUE	NONE	38	38	K8	K8	63	K8	K8	K8
I0B32A	I/O	2		True_of_I0B32B	NONE	NONE								
I0B32B	I/O	2		Comp_of_I0B32A	NONE	NONE								
I0B33A	I/O	2		True_of_I0B33B	TRUE	x16	39	39	J7	J7	64	J7	J7	J7
I0B33B	I/O	2		Comp_of_I0B33A	TRUE	NONE	40	40	H7	H7	65	H7	H7	H7
I0B34A	I/O	2		True_of_I0B34B	NONE	NONE								
I0B34B	I/O	2		Comp_of_I0B34A	NONE	NONE								
I0B35A	I/O	2		True_of_I0B35B	TRUE	x16			F6	F6	66	F6	F6	F6
I0B35B	I/O	2		Comp_of_I0B35A	TRUE	NONE			G6	G6	67	G6	G6	G6
I0B36A	I/O	2		True_of_I0B36B	NONE	NONE								
I0B36B	I/O	2		Comp_of_I0B36A	NONE	NONE								
I0B37A	I/O	2		True_of_I0B37B	NONE	NONE					68			
I0B37B	I/O	2		Comp_of_I0B37A	NONE	NONE					69			
I0B38A	I/O	2		True_of_I0B38B	NONE	NONE								
I0B38B	I/O	2		Comp_of_I0B38A	NONE	NONE								
I0B39A	I/O	2		True_of_I0B39B	TRUE	x16			F7	F7	70	F7	F7	F7
I0B39B	I/O	2		Comp_of_I0B39A	TRUE	NONE			G7	G7	71	G7	G7	G7
I0B3A	I/O	2		True_of_I0B3B	NONE	NONE								
I0B3B	I/O	2		Comp_of_I0B3A	NONE	NONE			H1	H1		H1	H1	H1
I0B40A	I/O	2		True_of_I0B40B	NONE	NONE								
I0B40B	I/O	2		Comp_of_I0B40A	NONE	NONE								
I0B41A	I/O	2		True_of_I0B41B	TRUE	x16	41	41	K10	K10	72	K10	K10	K10
I0B41B	I/O	2		Comp_of_I0B41A	TRUE	NONE	42	42	K9	K9		K9	K9	K9
I0B42A	I/O	2		True_of_I0B42B	NONE	NONE								
I0B42B	I/O	2		Comp_of_I0B42A	NONE	NONE					75			
I0B43A	I/O	2		True_of_I0B43B	TRUE	x16			J10	J10	78	J10	J10	J10
I0B43B	I/O	2		Comp_of_I0B43A	TRUE	NONE	47	47			76			
I0B44A	I/O	2		True_of_I0B44B	NONE	NONE								
I0B44B	I/O	2		Comp_of_I0B44A	NONE	NONE								
I0B45A	I/O	2		True_of_I0B45B	TRUE	x16								
I0B45B	I/O	2		Comp_of_I0B45A	TRUE	NONE								
I0B46A	I/O	2		True_of_I0B46B	NONE	NONE								
I0B46B	I/O	2		Comp_of_I0B46A	NONE	NONE								
I0B4A	I/O	2		True_of_I0B4B	TRUE	x16	19	19	K1	K1	29	K1	K1	K1
I0B4B	I/O	2		Comp_of_I0B4A	TRUE	NONE	20	20	K2	K2	30	K2	K2	K2
I0B5A	I/O	2		True_of_I0B5B	NONE	NONE								
I0B5B	I/O	2		Comp_of_I0B5A	NONE	NONE								
I0B6A	I/O	2		True_of_I0B6B	TRUE	x16					32			
I0B6B	I/O	2		Comp_of_I0B6A	TRUE	NONE					34			
I0B7A	I/O	2		True_of_I0B7B	NONE	NONE								
I0B7B	I/O	2		Comp_of_I0B7A	NONE	NONE								
I0B8A	I/O	2		True_of_I0B8B	TRUE	x16	25	25	G4	G4	38	G4	G4	G4
I0B8B	I/O	2		Comp_of_I0B8A	TRUE	NONE	26	26	G3	G3	39	G3	G3	G3

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
I0B9A	I/O	2		True_of_I0B9B	NONE	NONE					40			
I0B9B	I/O	2		Comp_of_I0B9A	NONE	NONE					41			
I0L11A/TMS	I/O	3	TMS	True_of_I0L11B	TRUE	NONE	5	5	E2	E2	13	E2	E2	E2
I0L11B/TCK	I/O	3	TCK	Comp_of_I0L11A	TRUE	NONE	6	6	E3	E3	14	E3	E3	E3
I0L12A/SCLK	I/O	3	SCLK	True_of_I0L12B	NONE	NONE					15			
I0L12B/TDI	I/O	3	TDI	Comp_of_I0L12A	NONE	NONE	7	7	F3	F3	16	F3	F3	F3
I0L13A/TDO	I/O	3	TDO	True_of_I0L13B	TRUE	NONE	8	8	F2	F2	18	F2	F2	F2
I0L13B/RECONFIG_N	I/O	3	RECONFIG_N	Comp_of_I0L13A	TRUE	NONE	9	9	D3	D3	20	D3	D3	D3
I0L14A/DONE	I/O	3	DONE	True_of_I0L14B	NONE	NONE	10				21			
I0L14B/READY	I/O	3	READY	Comp_of_I0L14A	NONE	NONE			D1	D1	22	D1	D1	D1
I0L15A/GCLKT_6	I/O	3	GCLKT_6	True_of_I0L15B	TRUE	NONE	11	10						
I0L15B/GCLKC_6	I/O	3	GCLKC_6	Comp_of_I0L15A	TRUE	NONE			F1		23		F1	
I0L16A	I/O	3		True_of_I0L16B	NONE	NONE								
I0L16B	I/O	3		Comp_of_I0L16A	NONE	NONE		11	D2		24		D2	
I0L17A	I/O	3		True_of_I0L17B	TRUE	NONE								
I0L17B	I/O	3		Comp_of_I0L17A	TRUE	NONE								
I0L18A	I/O	3		True_of_I0L18B	NONE	NONE				F1		F1		F1
I0L18B	I/O	3		Comp_of_I0L18A	NONE	NONE			D2			D2		D2
I0L20A	I/O	3		True_of_I0L20B	TRUE	NONE								
I0L20B	I/O	3		Comp_of_I0L20A	TRUE	NONE								
I0L21A	I/O	3		True_of_I0L21B	NONE	NONE								
I0L21B	I/O	3		Comp_of_I0L21A	NONE	NONE		13	G2	G2	25	G2	G2	G2
I0L22A	I/O	3		True_of_I0L22B	TRUE	NONE	13							
I0L22B	I/O	3		Comp_of_I0L22A	TRUE	NONE	14	14	G1	G1	26	G1	G1	G1
I0L23A	I/O	3		True_of_I0L23B	NONE	NONE								
I0L23B	I/O	3		Comp_of_I0L23A	NONE	NONE								
I0L24A	I/O	3		True_of_I0L24B	TRUE	NONE								
I0L24B	I/O	3		Comp_of_I0L24A	TRUE	NONE					27			
I0L25A	I/O	3		True_of_I0L25B	NONE	NONE								
I0L25B	I/O	3		Comp_of_I0L25A	NONE	NONE		15	H2	H2	28	H2	H2	H2
I0L26A	I/O	3		True_of_I0L26B	TRUE	NONE	15							
I0L26B	I/O	3		Comp_of_I0L26A	TRUE	NONE	16	16						
I0L27A	I/O	3		True_of_I0L27B	NONE	NONE								
I0L27B	I/O	3		Comp_of_I0L27A	NONE	NONE								
I0L2A	I/O	3		True_of_I0L2B	TRUE	NONE	3							
I0L2B	I/O	3		Comp_of_I0L2A	TRUE	NONE								
I0L3A	I/O	3		True_of_I0L3B	NONE	NONE								
I0L3B	I/O	3		Comp_of_I0L3A	NONE	NONE					5			
I0L4A	I/O	3		True_of_I0L4B	TRUE	NONE								
I0L4B	I/O	3		Comp_of_I0L4A	TRUE	NONE			B2	B2	6	B2	B2	B2
I0L5A/JTAGSEL_N/LPLL_T_in	I/O	3	JTAGSEL_N/LPLL_T_in	True_of_I0L5B	NONE	NONE	4	4	B1	B1	7	B1	B1	B1
I0L5B/LPLL_C_in	I/O	3	LPLL_C_in	Comp_of_I0L5A	NONE	NONE			B3	B3	8	B3	B3	B3
I0L6A/LPLL_T_fb	I/O	3	LPLL_T_fb	True_of_I0L6B	TRUE	NONE								

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
注! [1] 内嵌SDRAM。 [2] 内嵌PSRAM。 [3] 该管脚内部接地。														
IOL6B/LPLL_C_fb	I/O	3	LPLL_C_fb	Comp_of_IOL6A	TRUE	NONE								
IOL7A	I/O	3		True_of_IOL7B	NONE	NONE								
IOL7B	I/O	3		Comp_of_IOL7A	NONE	NONE			C1		10		C1	
IOL8A	I/O	3		True_of_IOL8B	TRUE	NONE								
IOL8B	I/O	3		Comp_of_IOL8A	TRUE	NONE			C2	C1	11	C1	C2	C1
IOL9A/GCLKT_7	I/O	3	GCLKT_7	True_of_IOL9B	NONE	NONE				C2		C2		C2
IOL9B/GCLKC_7	I/O	3	GCLKC_7	Comp_of_IOL9A	NONE	NONE			C3	C3	12	C3	C3	C3
IOR11A/MI/D7	I/O	1	MI/D7	True_of_IOR11B	TRUE	NONE	62	62			96			
IOR11B/MO/D6	I/O	1	MO/D6	Comp_of_IOR11A	TRUE	NONE	61	61	F9		95		F9	
IOR12A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR12B	NONE	NONE	60	60			94			
IOR12B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR12A	NONE	NONE	59	59	E10	E10	93	E10	E10	E10
IOR13A/FASTRD_N/D3	I/O	1	FASTRD_N/D3	True_of_IOR13B	TRUE	NONE	57	57			92			
IOR13B/SI/D2	I/O	1	SI/D2	Comp_of_IOR13A	TRUE	NONE					90			
IOR14A/SO/D1	I/O	1	SO/D1	True_of_IOR14B	NONE	NONE	56	56			88			
IOR14B/SSPI_CS_N/D0	I/O	1	SSPI_CS_N/D0	Comp_of_IOR14A	NONE	NONE	55	55	G9	G9	87	G9	G9	G9
IOR15A/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOR15B	TRUE	NONE	54	54			86			
IOR15B/DOUT/WE_N	I/O	1	DOUT/WE_N	Comp_of_IOR15A	TRUE	NONE	53	53			85			
IOR16A	I/O	1		True_of_IOR16B	NONE	NONE								
IOR16B	I/O	1		Comp_of_IOR16A	NONE	NONE			F10	F10	84	F10	F10	F10
IOR17A/GCLKT_3	I/O	1	GCLKT_3	True_of_IOR17B	TRUE	NONE	52	52	F8	F8		F8	F8	F8
IOR17B/GCLKC_3	I/O	1	GCLKC_3	Comp_of_IOR17A	TRUE	NONE	51	51	G8	G8	83	G8	G8	G8
IOR18A	I/O	1		True_of_IOR18B	NONE	NONE								
IOR18B	I/O	1		Comp_of_IOR18A	NONE	NONE			H8	H8		H8	H8	H8
IOR20A	I/O	1		True_of_IOR20B	TRUE	NONE								
IOR20B	I/O	1		Comp_of_IOR20A	TRUE	NONE								
IOR21A	I/O	1		True_of_IOR21B	NONE	NONE								
IOR21B	I/O	1		Comp_of_IOR21A	NONE	NONE			G10	G10	82	G10	G10	G10
IOR22A	I/O	1		True_of_IOR22B	TRUE	NONE								
IOR22B	I/O	1		Comp_of_IOR22A	TRUE	NONE	50	50			81			
IOR23A	I/O	1		True_of_IOR23B	NONE	NONE								
IOR23B	I/O	1		Comp_of_IOR23A	NONE	NONE					80			
IOR24A	I/O	1		True_of_IOR24B	TRUE	NONE	49	49						
IOR24B	I/O	1		Comp_of_IOR24A	TRUE	NONE	48	48	H9	H9	79	H9	H9	H9
IOR25A	I/O	1		True_of_IOR25B	NONE	NONE								
IOR25B	I/O	1		Comp_of_IOR25A	NONE	NONE			H10	H10		H10	H10	H10
IOR26A	I/O	1		True_of_IOR26B	TRUE	NONE								
IOR26B	I/O	1		Comp_of_IOR26A	TRUE	NONE								
IOR27A	I/O	1		True_of_IOR27B	NONE	NONE								
IOR27B	I/O	1		Comp_of_IOR27A	NONE	NONE								
IOR2A	I/O	1		True_of_IOR2B	TRUE	NONE								
IOR2B	I/O	1		Comp_of_IOR2A	TRUE	NONE			C10	C10		C10	C10	C10
IOR3A	I/O	1		True_of_IOR3B	NONE	NONE								
IOR3B	I/O	1		Comp_of_IOR3A	NONE	NONE			B10	B10		B10	B10	B10
IOR4A	I/O	1		True_of_IOR4B	TRUE	NONE								



注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
IOR4B	I/O	1		Comp_of_IOR4A	TRUE	NONE								
IOR5A/RPLL_T_in	I/O	1	RPLL_T_in	True_of_IOR5B	NONE	NONE	63	63	C9	C9	106	C9	C9	C9
IOR5B/RPLL_C_in	I/O	1	RPLL_C_in	Comp_of_IOR5A	NONE	NONE			D9	D9	104	D9	D9	D9
IOR6A/RPLL_T_fb	I/O	1	RPLL_T_fb	True_of_IOR6B	TRUE	NONE					102			
IOR6B/RPLL_C_fb	I/O	1	RPLL_C_fb	Comp_of_IOR6A	TRUE	NONE					101			
IOR7A	I/O	1		True_of_IOR7B	NONE	NONE								
IOR7B	I/O	1		Comp_of_IOR7A	NONE	NONE			D10	D10	100	D10	D10	D10
IOR8A	I/O	1		True_of_IOR8B	TRUE	NONE								
IOR8B	I/O	1		Comp_of_IOR8A	TRUE	NONE					99			
IOR9A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR9B	NONE	NONE			E8	E8	98	E8	E8	E8
IOR9B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR9A	NONE	NONE				F9	97	F9		F9
IOT10A	I/O	3		True_of_IOT10B	NONE	NONE	84	84			140			
IOT10B	I/O	3		Comp_of_IOT10A	NONE	NONE	83	83			139			
IOT11A	I/O	3		True_of_IOT11B	NONE	x16	82	82	C4	C4		C4	C4	C4
IOT11B	I/O	3		Comp_of_IOT11A	NONE	NONE	81	81	B4	B4		B4	B4	B4
IOT12A	I/O	3		True_of_IOT12B	NONE	NONE	80	80			138			
IOT12B	I/O	3		Comp_of_IOT12A	NONE	NONE	79	79			137			
IOT13A	I/O	0		True_of_IOT13B	NONE	x16			D5	D5		D5	D5	D5
IOT13B	I/O	0		Comp_of_IOT13A	NONE	NONE			D6	D6		D6	D6	D6
IOT14A	I/O	0		True_of_IOT14B	NONE	NONE								
IOT14B	I/O	0		Comp_of_IOT14A	NONE	NONE								
IOT15A	I/O	0		True_of_IOT15B	NONE	x16					136			
IOT15B	I/O	0		Comp_of_IOT15A	NONE	NONE					135			
IOT16A	I/O	0		True_of_IOT16B	NONE	NONE								
IOT16B	I/O	0		Comp_of_IOT16A	NONE	NONE								
IOT17A	I/O	0		True_of_IOT17B	NONE	x16			C5	C5	134	C5	C5	C5
IOT17B	I/O	0		Comp_of_IOT17A	NONE	NONE			B5	B5	133	B5	B5	B5
IOT18A	I/O	0		True_of_IOT18B	NONE	NONE								
IOT18B	I/O	0		Comp_of_IOT18A	NONE	NONE								
IOT19A	I/O	0		True_of_IOT19B	NONE	NONE								
IOT19B	I/O	0		Comp_of_IOT19A	NONE	NONE								
IOT20A	I/O	0		True_of_IOT20B	NONE	NONE					132			
IOT20B	I/O	0		Comp_of_IOT20A	NONE	NONE					131			
IOT21A	I/O	0		True_of_IOT21B	NONE	x16			C6	C6		C6	C6	C6
IOT21B	I/O	0		Comp_of_IOT21A	NONE	NONE			B6	B6		B6	B6	B6
IOT22A	I/O	0		True_of_IOT22B	NONE	NONE					130			
IOT22B	I/O	0		Comp_of_IOT22A	NONE	NONE					129			
IOT23A	I/O	0		True_of_IOT23B	NONE	x16								
IOT23B	I/O	0		Comp_of_IOT23A	NONE	NONE								
IOT24A	I/O	0		True_of_IOT24B	NONE	NONE					128			
IOT24B	I/O	0		Comp_of_IOT24A	NONE	NONE					126			
IOT25A	I/O	0		True_of_IOT25B	NONE	x16								
IOT25B	I/O	0		Comp_of_IOT25A	NONE	NONE								
IOT26A	I/O	0		True_of_IOT26B	NONE	NONE								

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
IOT26B	I/O	0		Comp_of_IOT26A	NONE	NONE								
IOT27A	I/O	0		True_of_IOT27B	NONE	x16			A6		125		A6	
IOT27B	I/O	0		Comp_of_IOT27A	NONE	NONE			A7		124		A7	
IOT28A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT28B	NONE	NONE				A6		A6		A6
IOT28B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT28A	NONE	NONE				A7		A7		A7
IOT29A/GCLKT_1	I/O	0	GCLKT_1	True_of_IOT29B	NONE	x16			E6	E6	123	E6	E6	E6
IOT29B/GCLKC_1	I/O	0	GCLKC_1	Comp_of_IOT29A	NONE	NONE			E7	E7	122	E7	E7	E7
IOT2A	I/O	3		True_of_IOT2B	NONE	x16		3			3			
IOT2B	I/O	3		Comp_of_IOT2A	NONE	NONE					4			
IOT30A	I/O	0		True_of_IOT30B	NONE	NONE								
IOT30B	I/O	0		Comp_of_IOT30A	NONE	NONE								
IOT31A	I/O	0		True_of_IOT31B	NONE	x16								
IOT31B	I/O	0		Comp_of_IOT31A	NONE	NONE								
IOT32A	I/O	0		True_of_IOT32B	NONE	NONE					121			
IOT32B	I/O	0		Comp_of_IOT32A	NONE	NONE					120			
IOT33A	I/O	0		True_of_IOT33B	NONE	x16			C7	C7		C7	C7	C7
IOT33B	I/O	0		Comp_of_IOT33A	NONE	NONE			B7	B7		B7	B7	B7
IOT34A	I/O	0		True_of_IOT34B	NONE	NONE					119			
IOT34B	I/O	0		Comp_of_IOT34A	NONE	NONE					118			
IOT35A	I/O	0		True_of_IOT35B	NONE	x16								
IOT35B	I/O	0		Comp_of_IOT35A	NONE	NONE								
IOT36A	I/O	1		True_of_IOT36B	NONE	NONE								
IOT36B	I/O	1		Comp_of_IOT36A	NONE	NONE								
IOT37A	I/O	1		True_of_IOT37B	NONE	NONE	77	77			117			
IOT37B	I/O	1		Comp_of_IOT37A	NONE	NONE	76	76			116			
IOT38A	I/O	1		True_of_IOT38B	NONE	NONE	75	75						
IOT38B	I/O	1		Comp_of_IOT38A	NONE	NONE	74	74						
IOT39A	I/O	1		True_of_IOT39B	NONE	x16	73	73	B8	B8	115	B8	B8	B8
IOT39B	I/O	1		Comp_of_IOT39A	NONE	NONE	72	72	C8	C8	114	C8	C8	C8
IOT3A	I/O	3		True_of_IOT3B	NONE	NONE								
IOT3B	I/O	3		Comp_of_IOT3A	NONE	NONE								
IOT40A	I/O	1		True_of_IOT40B	NONE	NONE								
IOT40B	I/O	1		Comp_of_IOT40A	NONE	NONE								
IOT41A	I/O	1		True_of_IOT41B	NONE	x16	71	71	D7	D7	113	D7	D7	D7
IOT41B	I/O	1		Comp_of_IOT41A	NONE	NONE	70	70	D8	D8	112	D8	D8	D8
IOT42A	I/O	1		True_of_IOT42B	NONE	NONE	69	69			111			
IOT42B	I/O	1		Comp_of_IOT42A	NONE	NONE	68	68			110			
IOT43A	I/O	1		True_of_IOT43B	NONE	x16								
IOT43B	I/O	1		Comp_of_IOT43A	NONE	NONE								
IOT44A	I/O	1		True_of_IOT44B	NONE	NONE								
IOT44B	I/O	1		Comp_of_IOT44A	NONE	NONE								
IOT45A	I/O	1		True_of_IOT45B	NONE	x16			B9	B9		B9	B9	B9
IOT45B	I/O	1		Comp_of_IOT45A	NONE	NONE			A10	A10		A10	A10	A10
IOT46A	I/O	1		True_of_IOT46B	NONE	NONE								

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
IOT46B	I/O	1		Comp_of_IOT46A	NONE	NONE								
IOT4A	I/O	3		True_of_IOT4B	NONE	x16								
IOT4B	I/O	3		Comp_of_IOT4A	NONE	NONE								
IOT5A/MODE0	I/O	3	MODE0	True_of_IOT5B	NONE	NONE	88	88	GND <sup>[3]</sup>	GND <sup>[3]</sup>	144	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>
IOT5B/MODE2	I/O	3	MODE2	Comp_of_IOT5A	NONE	NONE	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>	GND <sup>[3]</sup>
IOT6A	I/O	3		True_of_IOT6B	NONE	x16								
IOT6B/MODE1	I/O	3	MODE1	Comp_of_IOT6A	NONE	NONE	87	87	D4	D4	143	D4	D4	D4
IOT7A	I/O	3		True_of_IOT7B	NONE	NONE								
IOT7B	I/O	3		Comp_of_IOT7A	NONE	NONE								
IOT8A	I/O	3		True_of_IOT8B	NONE	x16	86	86	A3	A3	142	A3	A3	A3
IOT8B	I/O	3		Comp_of_IOT8A	NONE	NONE	85	85	A4	A4	141	A4	A4	A4
IOT9A	I/O	3		True_of_IOT9B	NONE	NONE								
IOT9B	I/O	3		Comp_of_IOT9A	NONE	NONE								
VCC	Power	N/A				NONE	1	1	A2	J2	1	A2	A2	A2
VCC	Power	N/A				NONE	22	22	J2	A8	36	J2	J2	J2
VCC	Power	N/A				NONE	45	45		A2	73			
VCC	Power	N/A				NONE	66	66	A8		108	A8	A8	A8
VCCIO0	Power	N/A				NONE			A5	A5	109	A5	A5	A5
VCCIO0	Power	N/A				NONE					127			
VCCIO1	Power	N/A				NONE	58	58		E9	91			
VCCIO1	Power	N/A				NONE			E9			E9	E9	E9
VCCIO1	Power	N/A				NONE					103			
VCCIO2	Power	N/A				NONE	23	23	J5	J5	37	J5	J5	J5
VCCIO2	Power	N/A				NONE	44	44						
VCCIO2	Power	N/A				NONE					55			
VCCIO3	Power	N/A				NONE	12	12						
VCCIO3	Power	N/A				NONE			E1	E1	19	E1	E1	E1
VCCIO3	Power	N/A				NONE					9			
VCCX	Power	N/A				NONE			J8	J8		J8	J8	J8
VCCX	Power	N/A				NONE					31			
VCCX	Power	N/A				NONE					77			
VCCX/VCCIO0	Power	N/A				NONE	64	64						
VCCX/VCCIO0	Power	N/A				NONE	67	67						
VCCX/VCCIO0	Power	N/A				NONE	78	78						
VSS	Ground	N/A				NONE	2	2						
VSS	Ground	N/A				NONE	21	21			33			
VSS	Ground	N/A				NONE	24	24						
VSS	Ground	N/A				NONE	43	43						
VSS	Ground	N/A				NONE	46	46			74			
VSS	Ground	N/A				NONE	65	65						
VSS	Ground	N/A				NONE			A1	A1	2	A1	A1	A1
VSS	Ground	N/A				NONE			A9	A9	17	A9	A9	A9
VSS	Ground	N/A				NONE			J1	J1	107	J1	J1	J1
VSS	Ground	N/A				NONE			J9	J9		J9	J9	J9

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。  
<sup>[3]</sup> 该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
VSS	Ground	N/A				NONE					35			
VSS	Ground	N/A				NONE					53			
VSS	Ground	N/A				NONE					89			
VSS	Ground	N/A				NONE					105			

注!														
[1] 内嵌SDRAM。														
[2] 内嵌PSRAM。														
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
<b>BANK3 True LVDS Pair</b>														
IOL11A/TMS	I/O	3	TMS	True_of_IOL11B	TRUE	NONE	5	5	E2	E2	13	E2	E2	E2
IOL11B/TCK	I/O	3	TCK	Comp_of_IOL11A	TRUE	NONE	6	6	E3	E3	14	E3	E3	E3
IOL13A/TDO	I/O	3	TDO	True_of_IOL13B	TRUE	NONE	8	8	F2	F2	18	F2	F2	F2
IOL13B/RECONFIG_N	I/O	3	RECONFIG_N	Comp_of_IOL13A	TRUE	NONE	9	9	D3	D3	20	D3	D3	D3
IOL15A/GCLKT_6	I/O	3	GCLKT_6	True_of_IOL15B	TRUE	NONE								
IOL15B/GCLKC_6	I/O	3	GCLKC_6	Comp_of_IOL15A	TRUE	NONE								
IOL17A	I/O	3		True_of_IOL17B	TRUE	NONE								
IOL17B	I/O	3		Comp_of_IOL17A	TRUE	NONE								
IOL20A	I/O	3		True_of_IOL20B	TRUE	NONE								
IOL20B	I/O	3		Comp_of_IOL20A	TRUE	NONE								
IOL22A	I/O	3		True_of_IOL22B	TRUE	NONE	13							
IOL22B	I/O	3		Comp_of_IOL22A	TRUE	NONE	14							
IOL24A	I/O	3		True_of_IOL24B	TRUE	NONE								
IOL24B	I/O	3		Comp_of_IOL24A	TRUE	NONE								
IOL26A	I/O	3		True_of_IOL26B	TRUE	NONE	15							
IOL26B	I/O	3		Comp_of_IOL26A	TRUE	NONE	16							
IOL2A	I/O	3		True_of_IOL2B	TRUE	NONE								
IOL2B	I/O	3		Comp_of_IOL2A	TRUE	NONE								
IOL4A	I/O	3		True_of_IOL4B	TRUE	NONE								
IOL4B	I/O	3		Comp_of_IOL4A	TRUE	NONE								
IOL6A/LPLL_T_fb	I/O	3	LPLL_T_fb	True_of_IOL6B	TRUE	NONE								
IOL6B/LPLL_C_fb	I/O	3	LPLL_C_fb	Comp_of_IOL6A	TRUE	NONE								
IOL8A	I/O	3		True_of_IOL8B	TRUE	NONE								
IOL8B	I/O	3		Comp_of_IOL8A	TRUE	NONE								
<b>BANK2 True LVDS Pair</b>														
IOB11A	I/O	2		True_of_IOB11B	TRUE	x16	27	27	J3	J3	42	J3	J3	J3
IOB11B	I/O	2		Comp_of_IOB11A	TRUE	NONE	28	28	H3	H3	43	H3	H3	H3
IOB13A	I/O	2		True_of_IOB13B	TRUE	x16	29	29	E4	E4	46	E4	E4	E4
IOB13B	I/O	2		Comp_of_IOB13A	TRUE	NONE	30	30	F4	F4	47	F4	F4	F4
IOB15A	I/O	2		True_of_IOB15B	TRUE	x16	31	31	K3	K3	48	K3	K3	K3
IOB15B	I/O	2		Comp_of_IOB15A	TRUE	NONE	32	32	K4	K4	49	K4	K4	K4
IOB17A	I/O	2		True_of_IOB17B	TRUE	x16			J4	J4	50	J4	J4	J4
IOB17B	I/O	2		Comp_of_IOB17A	TRUE	NONE			H4	H4	51	H4	H4	H4
IOB21A	I/O	2		True_of_IOB21B	TRUE	x16			K5	K5		K5	K5	K5
IOB21B	I/O	2		Comp_of_IOB21A	TRUE	NONE			K6	K6		K6	K6	K6
IOB23A	I/O	2		True_of_IOB23B	TRUE	x16	33	33	H5	H5	52	H5	H5	H5
IOB23B	I/O	2		Comp_of_IOB23A	TRUE	NONE	34	34	G5	G5	54	G5	G5	G5
IOB25A	I/O	2		True_of_IOB25B	TRUE	x16								
IOB25B	I/O	2		Comp_of_IOB25A	TRUE	NONE								
IOB27A	I/O	2		True_of_IOB27B	TRUE	x16								

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
IOB27B	I/O	2		Comp_of_IOB27A	TRUE	NONE								
IOB29A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB29B	TRUE	x16	35	35	J6	J6	58	J6	J6	J6
IOB29B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB29A	TRUE	NONE	36	36	H6	H6	59	H6	H6	H6
IOB2A	I/O	2		True_of_IOB2B	TRUE	x16	17	17						
IOB2B	I/O	2		Comp_of_IOB2A	TRUE	NONE	18	18						
IOB31A	I/O	2		True_of_IOB31B	TRUE	x16	37	37	K7	K7	62	K7	K7	K7
IOB31B	I/O	2		Comp_of_IOB31A	TRUE	NONE	38	38	K8	K8	63	K8	K8	K8
IOB33A	I/O	2		True_of_IOB33B	TRUE	x16	39	39	J7	J7	64	J7	J7	J7
IOB33B	I/O	2		Comp_of_IOB33A	TRUE	NONE	40	40	H7	H7	65	H7	H7	H7
IOB35A	I/O	2		True_of_IOB35B	TRUE	x16			F6	F6	66	F6	F6	F6
IOB35B	I/O	2		Comp_of_IOB35A	TRUE	NONE			G6	G6	67	G6	G6	G6
IOB39A	I/O	2		True_of_IOB39B	TRUE	x16			F7	F7	70	F7	F7	F7
IOB39B	I/O	2		Comp_of_IOB39A	TRUE	NONE			G7	G7	71	G7	G7	G7
IOB41A	I/O	2		True_of_IOB41B	TRUE	x16	41	41	K10	K10		K10	K10	K10
IOB41B	I/O	2		Comp_of_IOB41A	TRUE	NONE	42	42	K9	K9		K9	K9	K9
IOB43A	I/O	2		True_of_IOB43B	TRUE	x16					78			
IOB43B	I/O	2		Comp_of_IOB43A	TRUE	NONE					76			
IOB45A	I/O	2		True_of_IOB45B	TRUE	x16								
IOB45B	I/O	2		Comp_of_IOB45A	TRUE	NONE								
IOB4A	I/O	2		True_of_IOB4B	TRUE	x16	19	19	K1	K1	29	K1	K1	K1
IOB4B	I/O	2		Comp_of_IOB4A	TRUE	NONE	20	20	K2	K2	30	K2	K2	K2
IOB6A	I/O	2		True_of_IOB6B	TRUE	x16					32			
IOB6B	I/O	2		Comp_of_IOB6A	TRUE	NONE					34			
IOB8A	I/O	2		True_of_IOB8B	TRUE	x16	25	25	G4	G4	38	G4	G4	G4
IOB8B	I/O	2		Comp_of_IOB8A	TRUE	NONE	26	26	G3	G3	39	G3	G3	G3
<b>BANK1 True LVDS Pair</b>														
IOR11A/MI/D7	I/O	1	MI/D7	True_of_IOR11B	TRUE	NONE	62	62			96			
IOR11B/MO/D6	I/O	1	MO/D6	Comp_of_IOR11A	TRUE	NONE	61	61			95			
IOR13A/FASTRD_N/D3	I/O	1	FASTRD_N/D3	True_of_IOR13B	TRUE	NONE					92			
IOR13B/SI/D2	I/O	1	SI/D2	Comp_of_IOR13A	TRUE	NONE					90			
IOR15A/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOR15B	TRUE	NONE	54	54			86			
IOR15B/DOU/WE_N	I/O	1	DOU/WE_N	Comp_of_IOR15A	TRUE	NONE	53	53			85			
IOR17A/GCLKT_3	I/O	1	GCLKT_3	True_of_IOR17B	TRUE	NONE	52	52	F8	F8		F8	F8	F8
IOR17B/GCLKC_3	I/O	1	GCLKC_3	Comp_of_IOR17A	TRUE	NONE	51	51	G8	G8		G8	G8	G8
IOR20A	I/O	1		True_of_IOR20B	TRUE	NONE								
IOR20B	I/O	1		Comp_of_IOR20A	TRUE	NONE								
IOR22A	I/O	1		True_of_IOR22B	TRUE	NONE								
IOR22B	I/O	1		Comp_of_IOR22A	TRUE	NONE								
IOR24A	I/O	1		True_of_IOR24B	TRUE	NONE	49	49						
IOR24B	I/O	1		Comp_of_IOR24A	TRUE	NONE	48	48						

注!  
<sup>[1]</sup> 内嵌SDRAM。  
<sup>[2]</sup> 内嵌PSRAM。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN88 <sup>[1]</sup>	QN88P <sup>[2]</sup>	MG100P <sup>[2]</sup>	MG100PF <sup>[2]</sup>	LQ144P <sup>[2]</sup>	MG100PA <sup>[2]</sup>	MG100PT <sup>[2]</sup>	MG100PS <sup>[2]</sup>
IOR26A	I/O	1		True_of_IOR26B	TRUE	NONE								
IOR26B	I/O	1		Comp_of_IOR26A	TRUE	NONE								
IOR2A	I/O	1		True_of_IOR2B	TRUE	NONE								
IOR2B	I/O	1		Comp_of_IOR2A	TRUE	NONE								
IOR4A	I/O	1		True_of_IOR4B	TRUE	NONE								
IOR4B	I/O	1		Comp_of_IOR4A	TRUE	NONE								
IOR6A/RPLL_T_fb	I/O	1	RPLL_T_fb	True_of_IOR6B	TRUE	NONE					102			
IOR6B/RPLL_C_fb	I/O	1	RPLL_C_fb	Comp_of_IOR6A	TRUE	NONE					101			
IOR8A	I/O	1		True_of_IOR8B	TRUE	NONE								
IOR8B	I/O	1		Comp_of_IOR8A	TRUE	NONE								

注! VCCX不能小于最大的VCCIO。			
<b>GW1NR-9 QN88内嵌SDR SDRAM封装电源供电要求</b>			
名称	描述	最小值	最大值
VCC	LV版本核电压	1.14V	1.26V
	UV版本核电压	3.135V	3.6V
VCCIO1、VCCIO3	I/O Bank电源电压	3.135V	3.6V
VCCIO2	I/O Bank电源电压, VCCIO2提供SDR SDRAM电压	3.135V	3.6V
VCCX/VCCIO0	VCCX和VCCIO0内部短接在一起, VCCIO0提供SDR SDRAM电压	3.135V	3.6V
注! epad强烈推荐接地, 但epad非必须接地。			
<b>GW1NR-9 MG100P内嵌PSRAM封装电源供电要求</b>			
名称	描述	最小值	最大值
VCC	LV版本核电压	1.14V	1.26V
	UV版本核电压	1.71V	3.6V
VCCIO0、VCCIO2	I/O Bank电源电压	1.14V	3.6V
VCCIO1/VCCIO3	I/O Bank电源电压, 与PSRAM接口相连, 给PSRAM提供电压, VCCIO1和VCCIO3内部短接在一起	1.71V	1.89V
VCCX	辅助电压	2.375V	3.6V
<b>GW1NR-9 QN88P内嵌PSRAM封装电源供电要求</b>			
名称	描述	最小值	最大值
VCC	LV版本核电压	1.14V	1.26V
	UV版本核电压	1.71V	3.6V
VCCIO1、VCCIO2	I/O Bank电源电压	1.14V	3.6V
VCCIO3	I/O Bank电源电压, 与PSRAM接口相连, 给PSRAM提供电压	1.71V	1.89V
VCCX/VCCIO0	辅助电压, VCCX/VCCIO0内部短接在一起	2.375V	3.6V
注! epad强烈推荐接地, 但epad非必须接地。			



注!			
VCCX不能小于最大的VCCIO。			
GW1NR-9 LQ144P内嵌PSRAM封装电源供电要求			
名称	描述	最小值	最大值
VCC	LV版本核电压	1.14V	1.26V
	UV版本核电压	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电源电压	1.14V	3.6V
VCCIO3	I/O Bank电源电压，与PSRAM接口相连，给PSRAM提供电压	1.71V	1.89V
VCCX	辅助电压	2.375V	3.6V
GW1NR-9 MG100PF/MG100PA/MG100PT/MG100PS 内嵌PSRAM封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2	I/O Bank电源电压	1.14V	3.6V
VCCIO1、VCCIO3	I/O Bank电源电压，与PSRAM接口相连，给PSRAM提供电压	1.71V	1.89V
VCCX	辅助电压	2.375V	3.6V