

日期	版本	说明
2021/2/2	1.0	初始版本, 支持MG49P, MG49G, MG49PG封装。
2021/2/23	1.01	增加UV版本核电压供电要求。
2021/5/18	1.02	补充管脚MODE0、MODE1及MODE2说明信息。
2022/10/20	1.1	更新Pin Definitions。 更新Power中的注释。
2023/5/4	1.1.1	更新Pin Definition页中CLKHOLD_N的管脚说明和DIO管脚说明。
2023/12/7	1.1.2	更新Pin Definitions页中VCCD和VCCIOD的管脚描述。
2024/2/22	1.1.3	新增Power页中VCCD和VCCIOD的管脚注释。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
SDA	I/O	I2C串行数据线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
SCL	I	I2C串行时钟线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
其他管脚		
CKP	DIO ^[3]	MIPI_DPHY_RX的时钟通道输入管脚
CKN	DIO ^[3]	MIPI_DPHY_RX的时钟通道差分输入管脚
RX0P	DIO ^[3]	MIPI_DPHY_RX的数据通道0输入管脚
RX0N	DIO ^[3]	MIPI_DPHY_RX的数据通道0差分输入管脚
RX1P	DIO ^[3]	MIPI_DPHY_RX的数据通道1输入管脚
RX1N	DIO ^[3]	MIPI_DPHY_RX的数据通道1差分输入管脚
RX2P	DIO ^[3]	MIPI_DPHY_RX的数据通道2输入管脚
RX2N	DIO ^[3]	MIPI_DPHY_RX的数据通道2差分输入管脚

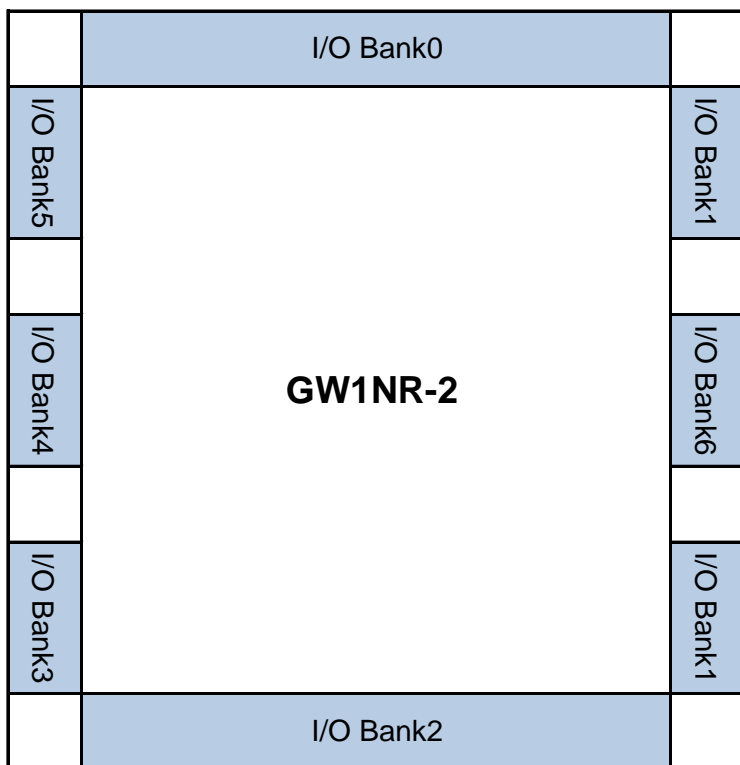
管脚名称	方向	说明
RX3P	DIO ^[3]	MIPI_DPHY_RX的数据通道3输入管脚
RX3N	DIO ^[3]	MIPI_DPHY_RX的数据通道3差分输入管脚
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCD	NA	MIPI供电管脚
VCCIOD	NA	MIPI供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚

注!

[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。

[2]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。

[3] DIO是专用管脚。



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注！

[1]该管脚内部接地。

[2]该管脚内接VCCIO。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
IOB11A	I/O	2		True_of_IOB11B	True	x16			
IOB11B	I/O	2		Comp_of_IOB11A	True	none			
IOB12A/FASTRD_N	I/O	2	FASTRD_N	True_of_IOB12B	none	none			
IOB12B	I/O	2		Comp_of_IOB12A	none	none			
IOB13A	I/O	2		True_of_IOB13B	True	x16	G5	G5	G5
IOB13B	I/O	2		Comp_of_IOB13A	True	none	F5	F5	F5
IOB14A	I/O	2		True_of_IOB14B	none	none			
IOB14B	I/O	2		Comp_of_IOB14A	none	none			
IOB15A	I/O	2		True_of_IOB15B	True	x16			
IOB15B	I/O	2		Comp_of_IOB15A	True	none			
IOB16A	I/O	2		True_of_IOB16B	none	none			
IOB16B/DOU/WE_N	I/O	2	DOU/WE_N	Comp_of_IOB16A	none	none			
IOB17A	I/O	2		True_of_IOB17B	True	x16			
IOB17B	I/O	2		Comp_of_IOB17A	True	none			
IOB18A/SSPI_CS_N	I/O	2	SSPI_CS_N	True_of_IOB18B	none	none			
IOB18B/SI	I/O	2	SI	Comp_of_IOB18A	none	none			
IOB2A	I/O	2		True_of_IOB2B	True	x16			
IOB2B	I/O	2		Comp_of_IOB2A	True	none			
IOB3A/DIN/CLKHOLD_N	I/O	2	DIN/CLKHOLD_N	True_of_IOB3B	none	none			
IOB3B	I/O	2		Comp_of_IOB3A	none	none			
IOB4A	I/O	2		True_of_IOB4B	True	x16	G1	G1	G1
IOB4B	I/O	2		Comp_of_IOB4A	True	none	G2	G2	G2
IOB5A/SCLK	I/O	2	SCLK	True_of_IOB5B	none	none			
IOB5B/SO	I/O	2	SO	Comp_of_IOB5A	none	none			
IOB6A	I/O	2		True_of_IOB6B	True	x16			
IOB6B	I/O	2		Comp_of_IOB6A	True	none			
IOB7A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB7B	none	none	G3	G3	G3
IOB7B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB7A	none	none	F3	F3	F3
IOB8A	I/O	2		True_of_IOB8B	True	x16			
IOB8B	I/O	2		Comp_of_IOB8A	True	none			
IOB9A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOB9B	none	none	G4	G4	G4

注!

[1]该管脚内部接地。

[2]该管脚内接VCCIO。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
I0B9B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_I0B9A	none	none	F4	F4	F4
I0L11A	I/O	4		True_of_I0L11B	True	x16			
I0L11B	I/O	4		Comp_of_I0L11A	True	none			
I0L12A/GCLKT_6	I/O	4	GCLKT_6	True_of_I0L12B	none	none	C1	C1	C1
I0L12B/GCLKC_6	I/O	4	GCLKC_6	Comp_of_I0L12A	none	none	C2	C2	C2
I0L13A	I/O	4		True_of_I0L13B	True	x16	D1	D1	D1
I0L13B	I/O	4		Comp_of_I0L13A	True	none	D2	D2	D2
I0L14A	I/O	4		True_of_I0L14B	none	none			
I0L14B	I/O	4		Comp_of_I0L14A	none	none			
I0L15A	I/O	3		True_of_I0L15B	True	x16			
I0L15B	I/O	3		Comp_of_I0L15A	True	none			
I0L16A/GCLKT_5	I/O	3	GCLKT_5	True_of_I0L16B	none	none	E1	E1	E1
I0L16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_I0L16A	none	none	E2	E2	E2
I0L17A	I/O	3		True_of_I0L17B	True	x16	F1	F1	F1
I0L17B	I/O	3		Comp_of_I0L17A	True	none	F2	F2	F2
I0L18A	I/O	3		True_of_I0L18B	none	none			
I0L18B	I/O	3		Comp_of_I0L18A	none	none			
I0L19A	I/O	3		True_of_I0L19B	none	none			
I0L19B	I/O	3		Comp_of_I0L19A	none	none			
I0L4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_I0L4B	True	x16			
I0L4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_I0L4A	True	none			
I0L5A/LPLL_T_in	I/O	5	LPLL_T_in	True_of_I0L5B	none	none			
I0L5B/LPLL_C_in	I/O	5	LPLL_C_in	Comp_of_I0L5A	none	none			
I0L6A/GCLKT_7	I/O	5	GCLKT_7	True_of_I0L6B	True	x16			
I0L6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_I0L6A	True	none			
I0L7A	I/O	5		True_of_I0L7B	none	none			
I0L7B	I/O	5		Comp_of_I0L7A	none	none			
I0L8A	I/O	5		True_of_I0L8B	True	x16			
I0L8B	I/O	5		Comp_of_I0L8A	True	none			
I0L9A	I/O	4		True_of_I0L9B	none	none			
I0L9B	I/O	4		Comp_of_I0L9A	none	none			

注！

[1]该管脚内部接地。

[2]该管脚内接VCCIO。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none			
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none			
IOR12A	I/O	1		True_of_IOR12B	none	none			
IOR12B	I/O	1		Comp_of_IOR12A	none	none			
IOR13A	I/O	1		True_of_IOR13B	True	none			
IOR13B	I/O	1		Comp_of_IOR13A	True	none			
IOR14A	I/O	1		True_of_IOR14B	none	none			
IOR14B	I/O	1		Comp_of_IOR14A	none	none			
IOR15A	I/O	1		True_of_IOR15B	True	none			
IOR15B	I/O	1		Comp_of_IOR15A	True	none			
IOR16A	I/O	1		True_of_IOR16B	none	none			
IOR16B	I/O	1		Comp_of_IOR16A	none	none			
IOR17A	I/O	1		True_of_IOR17B	True	none			
IOR17B	I/O	1		Comp_of_IOR17A	True	none			
IOR18A	I/O	1		True_of_IOR18B	none	none			
IOR18B	I/O	1		Comp_of_IOR18A	none	none			
IOR19A	I/O	1		True_of_IOR19B	none	none			
IOR19B	I/O	1		Comp_of_IOR19A	none	none			
IOR1A	I/O	1		True_of_IOR1B	True	none			
IOR1B	I/O	1		Comp_of_IOR1A	True	none			
IOR2A	I/O	1		True_of_IOR2B	none	none			
IOR2B	I/O	1		Comp_of_IOR2A	none	none			
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none			
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none			
IOR4A/D0	I/O	1	D0	True_of_IOR4B	none	none			
IOR4B/D1	I/O	1	D1	Comp_of_IOR4A	none	none			
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none			
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none			
IOR6A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6B	none	none			
IOR6B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6A	none	none			
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16			

注！

[1]该管脚内部接地。

[2]该管脚内接VCCIO。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none			
IOT12A	I/O	0		True_of_IOT12B	none	none			
IOT12B	I/O	0		Comp_of_IOT12A	none	none			
IOT13A	I/O	0		True_of_IOT13B	True	x16	A5	A5	A5
IOT13B	I/O	0		Comp_of_IOT13A	True	none	B5	B5	B5
IOT14A/GCLKT_1/SCL	I/O	0	GCLKT_1/SCL	True_of_IOT14B	none	none	A4	A4	A4
IOT14B/GCLKC_1/SDA	I/O	0	GCLKC_1/SDA	Comp_of_IOT14A	none	none	B4	B4	B4
IOT15A	I/O	0		True_of_IOT15B	True	x16	A6	A6	A6
IOT15B	I/O	0		Comp_of_IOT15A	True	none	B6	B6	B6
IOT16A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT16B	none	none			
IOT16B/RECONFIG_N	I/O	0	RECONFIG_N	Comp_of_IOT16A	none	none			
IOT17A	I/O	0		True_of_IOT17B	True	x16	A7	A7	A7
IOT17B	I/O	0		Comp_of_IOT17A	True	none	B7	B7	B7
IOT18A/READY	I/O	0	READY	True_of_IOT18B	none	none			
IOT18B/DONE	I/O	0	DONE	Comp_of_IOT18A	none	none			
IOT19A	I/O	0		True_of_IOT19B	none	none			
IOT19B	I/O	0		Comp_of_IOT19A	none	none			
IOT2A/MODE0	I/O	0	MODE0	True_of_IOT2B	none	none	GND ^[1]	GND ^[1]	GND ^[1]
IOT2B/MODE1	I/O	0	MODE1	Comp_of_IOT2A	none	none	GND ^[1]	GND ^[1]	GND ^[1]
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	none	none	VCCIO ^[2]	VCCIO ^[2]	VCCIO ^[2]
IOT4A	I/O	0		True_of_IOT4B	True	x16			
IOT4B	I/O	0		Comp_of_IOT4A	True	none			
IOT5A	I/O	0		True_of_IOT5B	none	none			
IOT5B	I/O	0		Comp_of_IOT5A	none	none			
IOT6A	I/O	0		True_of_IOT6B	True	x16			
IOT6B	I/O	0		Comp_of_IOT6A	True	none			
IOT7A/TDO	I/O	0	TDO	True_of_IOT7B	none	none	A1	A1	A1
IOT7B/TDI	I/O	0	TDI	Comp_of_IOT7A	none	none	B1	B1	B1
IOT8A	I/O	0		True_of_IOT8B	True	x16	A3	A3	A3
IOT8B	I/O	0		Comp_of_IOT8A	True	none	B3	B3	B3
IOT9A/TCK	I/O	0	TCK	True_of_IOT9B	none	none	A2	A2	A2

注！

[1]该管脚内部接地。

[2]该管脚内接VCCIO。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
IOT9B/TMS	I/O	0	TMS	Comp_of_IOT9A	none	none	B2	B2	B2
CKN	DIO	6		Comp_of_CKP	none	none	E6	E6	E6
CKP	DIO	6		True_of_CKN	none	none	E7	E7	E7
RX0N	DIO	6		Comp_of_RX0P	none	none	G6	G6	G6
RX0P	DIO	6		True_of_RX0N	none	none	G7	G7	G7
RX1N	DIO	6		Comp_of_RX1P	none	none	F6	F6	F6
RX1P	DIO	6		True_of_RX1N	none	none	F7	F7	F7
RX2N	DIO	6		Comp_of_RX2P	none	none	D6	D6	D6
RX2P	DIO	6		True_of_RX2N	none	none	D7	D7	D7
RX3N	DIO	6		Comp_of_RX3P	none	none	C6	C6	C6
RX3P	DIO	6		True_of_RX3N	none	none	C7	C7	C7
VCC	Power	N/A					C3	C3	C3
VCCD	Power	N/A					E4	E4	E4
VCCIO0	Power	N/A					C5	C5	C5
VCCIO1	Power	N/A					D5	D5	D5
VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A					D3	D3	D3
VCCIOD	Power	N/A					E5	E5	E5
VCCX	Power	N/A					E3	E3	E3
VSS	Ground	N/A					C4	C4	C4
VSS	Ground	N/A					D4	D4	D4

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
BANK5 True LVDS Pair									
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16			
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none			
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16			
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none			
IOL8A	I/O	5		True_of_IOL8B	True	x16			
IOL8B	I/O	5		Comp_of_IOL8A	True	none			
BANK4 True LVDS Pair									
IOL11A	I/O	4		True_of_IOL11B	True	x16			
IOL11B	I/O	4		Comp_of_IOL11A	True	none			
IOL13A	I/O	4		True_of_IOL13B	True	x16	D1	D1	D1
IOL13B	I/O	4		Comp_of_IOL13A	True	none	D2	D2	D2
BANK3 True LVDS Pair									
IOL15A	I/O	3		True_of_IOL15B	True	x16			
IOL15B	I/O	3		Comp_of_IOL15A	True	none			
IOL17A	I/O	3		True_of_IOL17B	True	x16	F1	F1	F1
IOL17B	I/O	3		Comp_of_IOL17A	True	none	F2	F2	F2
BANK2 True LVDS Pair									
IOB11A	I/O	2		True_of_IOB11B	True	x16			
IOB11B	I/O	2		Comp_of_IOB11A	True	none			
IOB13A	I/O	2		True_of_IOB13B	True	x16	G5	G5	G5
IOB13B	I/O	2		Comp_of_IOB13A	True	none	F5	F5	F5
IOB15A	I/O	2		True_of_IOB15B	True	x16			
IOB15B	I/O	2		Comp_of_IOB15A	True	none			
IOB17A	I/O	2		True_of_IOB17B	True	x16			
IOB17B	I/O	2		Comp_of_IOB17A	True	none			
IOB2A	I/O	2		True_of_IOB2B	True	x16			
IOB2B	I/O	2		Comp_of_IOB2A	True	none			
IOB4A	I/O	2		True_of_IOB4B	True	x16	G1	G1	G1
IOB4B	I/O	2		Comp_of_IOB4A	True	none	G2	G2	G2
IOB6A	I/O	2		True_of_IOB6B	True	x16			
IOB6B	I/O	2		Comp_of_IOB6A	True	none			
IOB8A	I/O	2		True_of_IOB8B	True	x16			
IOB8B	I/O	2		Comp_of_IOB8A	True	none			

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG49P	MG49PG	MG49G
BANK1 True LVDS Pair									
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none			
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none			
IOR13A	I/O	1		True_of_IOR13B	True	none			
IOR13B	I/O	1		Comp_of_IOR13A	True	none			
IOR15A	I/O	1		True_of_IOR15B	True	none			
IOR15B	I/O	1		Comp_of_IOR15A	True	none			
IOR17A	I/O	1		True_of_IOR17B	True	none			
IOR17B	I/O	1		Comp_of_IOR17A	True	none			
IOR1A	I/O	1		True_of_IOR1B	True	none			
IOR1B	I/O	1		Comp_of_IOR1A	True	none			
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none			
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none			
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none			
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none			
BANK0 True LVDS Pair									
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16			
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none			
IOT13A	I/O	0		True_of_IOT13B	True	x16	A5	A5	A5
IOT13B	I/O	0		Comp_of_IOT13A	True	none	B5	B5	B5
IOT15A	I/O	0		True_of_IOT15B	True	x16	A6	A6	A6
IOT15B	I/O	0		Comp_of_IOT15A	True	none	B6	B6	B6
IOT17A	I/O	0		True_of_IOT17B	True	x16	A7	A7	A7
IOT17B	I/O	0		Comp_of_IOT17A	True	none	B7	B7	B7
IOT4A	I/O	0		True_of_IOT4B	True	x16			
IOT4B	I/O	0		Comp_of_IOT4A	True	none			
IOT6A	I/O	0		True_of_IOT6B	True	x16			
IOT6B	I/O	0		Comp_of_IOT6A	True	none			
IOT8A	I/O	0		True_of_IOT8B	True	x16	A3	A3	A3
IOT8B	I/O	0		Comp_of_IOT8A	True	none	B3	B3	B3

Power

注!

VCCX不能小于最大的VCCIO。

^[1]若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

GW1NR-2器件MG49P封装电源供电要求

名称	描述	最小值	最大值	
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO1	VCCIO1与PSRAM接口相连，为PSRAM提供工作电压	1.71V	1.89V	
VCCIO0	I/O Bank电压	1.14V	3.6V	
VCCIO2/VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO2，VCCIO3，VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V	
VCCD ^[1]	MIPI_DPHY_RX的核电压供电管脚	1.14V	1.26V	
VCCIOD ^[1]	DIO BANK6的I/O电压供电管脚	1.14V	1.26V	
VCCX	辅助电压	1.71V	3.6V	

GW1NR-2器件MG49PG封装电源供电要求

名称	描述	最小值	最大值	
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO1	VCCIO1与PSRAM、FLASH接口相连，为PSRAM,FLASH提供工作电压	1.71V	1.89V	
VCCIO0	I/O Bank电压	1.14V	3.6V	
VCCIO2/VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO2，VCCIO3，VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V	
VCCD ^[1]	MIPI_DPHY_RX的核电压供电管脚	1.14V	1.26V	
VCCIOD ^[1]	DIO BANK6的I/O电压供电管脚	1.14V	1.26V	
VCCX	辅助电压	1.71V	3.6V	

GW1NR-2器件MG49G封装电源供电要求

名称	描述	最小值	最大值	
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO1	VCCIO1与FLASH接口相连，为FLASH提供工作电压	1.71V	3.6V	
VCCIO0	I/O Bank电压	1.14V	3.6V	
VCCIO2/VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO2，VCCIO3，VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V	
VCCD ^[1]	MIPI_DPHY_RX的核电压供电管脚	1.14V	1.26V	
VCCIOD ^[1]	DIO BANK6的I/O电压供电管脚	1.14V	1.26V	
VCCX	辅助电压	1.71V	3.6V	