GW1NS 系列 FPGA 产品

封装与管脚手册

UG823-1.8.3, 2025-06-27

版本信息

日期	版本	说明
2018/08/30	1.0	初始版本。
2018/11/16	1.1	增加各封装管脚分布示意图。
2019/01/10	1.2	● 更新表 2-3 GW1NS-2/GW1NS-2C 器件管脚数目列表； ● 更新 IO BANK 说明。
2019/04/03	1.3	更新 CS36 封装尺寸图。
2019/09/29	1.4	增加 GW1NS-4/GW1NS-4C 相关信息。
2019/11/12	1.5	增加 CS49 封装信息及封装尺寸图。
2020/03/30	1.6	增加 GW1NS-2/GW1NS-2C CS36U 封装信息。
2020/04/16	1.6.1	● 删除 GW1NS-2C CS36U 封装信息； ● 修改 GW1NS-4/GW1NS-4C 器件 QN48 封装管脚分布示意图及管脚数据。
2020/07/28	1.7	增加 GW1NS-4/4C MG64 封装信息。
2020/11/25	1.7.1	更新 CS49 封装尺寸图。
2021/06/30	1.7.2	更新管脚统计信息。
2022/10/18	1.8	● 统一封装尺寸图中的单位为毫米； ● 删除 GW1NS-2、GW1NS-2C 相关信息。 ● 更新管脚定义。
2023/06/30	1.8.1	新增 QN32 封装信息及封装尺寸图。
2024/08/09	1.8.2	● 新增 GW1NS-4C 器件 LQ144 封装信息 ● 优化“2.5 I/O BANK 说明”的描述。 ● 新增“图 4-7 封装尺寸 QN32”的注释。
2025/06/27	1.8.3	新增 GW1NS-4/GW1NS-4C 器件 CS81X 封装信息。

目录

图目录

表目录

1 关于本手册

1.1 手册内容

GW1NS 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NS 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. DS821, GW1NS 系列 FPGA 产品数据手册
2. UG290, Gowin FPGA 产品编程配置手册
3. UG823, GW1NS 系列 FPGA 产品封装与管脚手册
4. UG824, GW1NS-4&4C 器件 Pinout 手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CS	WLCSP	WLCSP 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
LQ	LQFP	LQFP 封装
MG	MBGA	MBGA 封装
QN	QFN	QFN 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 概述

高云半导体 GW1NS 系列 FPGA 产品是高云半导体小蜜蜂 (LittleBee) 家族 1 系列产品，包括 SoC FPFA 产品（封装前带“C”的器件）和非 SoC FPFA 产品（封装前不带“C”的器件）。SoC FPFA 内嵌 ARM Cortex-M3 硬核处理器，而非 SoC FPGA 内部没有 ARM Cortex-M3 硬核处理器。以 ARM Cortex-M3 硬核处理器为核心，满足最小内存实现的需求，FPGA 逻辑资源和内嵌的其他资源方便灵活的实现外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。GW1NS 系列 SoC FPGA 产品实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

2.1 无铅封装

GW1NS 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NS 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NS-4	GW1NS-4C	GW1NS-4/GW1NS-4C
QN48	0.4	6 x 6	-	-	38 (4)
CS49	0.4	2.9 x 2.9	-	-	42 (8)
CS81X	0.4	3.6 x 3.6	-	-	67(5)
MG64	0.5	4.2 x 4.2	-	-	55 (8)
QN32	0.5	5 x 5	23 (1)	-	-
LQ144	0.5	20 x 20	-	82 (5)	-

注！

- 本手册中 GW1NS 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，当 mode[2:0]=001 时，JTAGSEL_N

管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO。

2.3 电源管脚

表 2-2 GW1NS 电源管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCX	VSS	NC
VCCPLL	VCCP	－	－

2.4 管脚数目

2.4.1 GW1NS-4/GW1NS-4C 器件管脚数目

表 2-3 GW1NS-4/GW1NS-4C 器件管脚数目列表

管脚类型		GW1NS-4	GW1NS-4C	GW1NS-4/GW1NS-4C			
		QN32	LQ144	CS49	CS81X	QN48	MG64
I/O 单端/差分对/LVDS[1]	Bank0	9/3/0	18/8/0	8/3/0	13/5/0	8/3/0	10/3/0
	Bank1	4/2/0	13/6/0	18/9/0	30/15/0	10/5/0	28/14/0
	Bank2	6/2/1	25/12/0	16/8/8	17/7/5	9/4/4	18/9/8
	Bank3	4/2/0	26/13/0	0/0/0	7/3/0	11/5/0	0/0/0
最大用户 I/O 总数[2]		23	82	42	67	38	55
差分对		9	39	20	30	17	26
True LVDS 输出		1	5	8	5	4	8
VCC		3	5	1	4	2	1
VCCX		1	0	1	0	1	1
VCCIO0		1	1	0	0	1	1
VCCIO1		1	2	1	1	1	1
VCCIO2		1	0	1	1	1	1
VCCIO3		1	0	0	1	2	1
VCCIO0/VCCIO3[3]		0	0	1	0	0	0
VCCIO0/VCCX		0	0	0	2	0	0
VCCIO2/VCCIO3/VCCX		0	7	0	0	0	0
VSS		1	36	2	5	1	2
MODE0		0	1	0	1	0	0
MODE1		1	1	0	0	1	0
MODE2		0	1	0	1	0	0
JTAGSEL_N		0	1	0	1	1	1
NC		0	11	0	0	0	0

注！

- [1] 单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

- [3] 引脚复用。

2.5 I/O BANK 说明

GW1NS 系列 FPGA 产品包括 4 个 I/O Bank。

详细的 Bank 分布示意图请参考 *DS821，GW1NS 系列 FPGA 产品数据手册>2.3 输入输出模块*。

封装与管脚手册列举了 GW1NS 系列 FPGA 产品每种封装的管脚分布示意图。详细信息请参考 3 管脚分布示意图。GW1NS 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NS 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCIO。
- “” 表示 VSS。
- “” 表示 NC。

3 管脚分布示意图

3.1 GW1NS-4/GW1NS-4C 器件管脚分布示意图

3.1.1 CS49 管脚分布示意图

图 3-1 GW1NS-4/GW1NS-4C 器件 CS49 封装管脚分布示意图（顶视图）

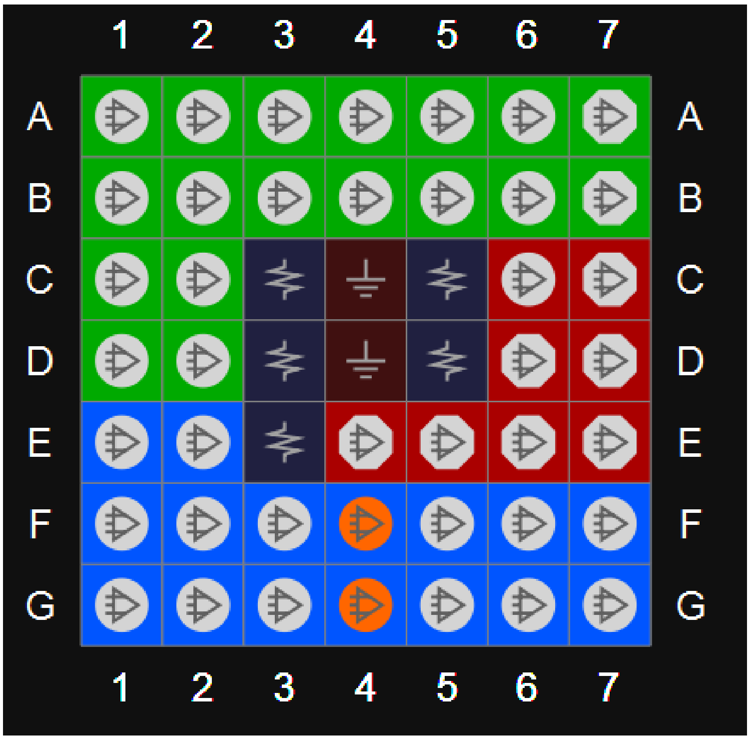


表 3-1 GW1NS-4/GW1NS-4C 器件 CS49 其他管脚

VCC	D5
VCCIO1	C3
VCCIO2	E3
VCCX	D3
VCCIO0/VCCIO3	C5
VSS	D4,C4

3.1.2 CS81X 管脚分布示意图

图 3-2 GW1NS-4/GW1NS-4C 器件 CS81X 封装管脚分布示意图（顶视图）

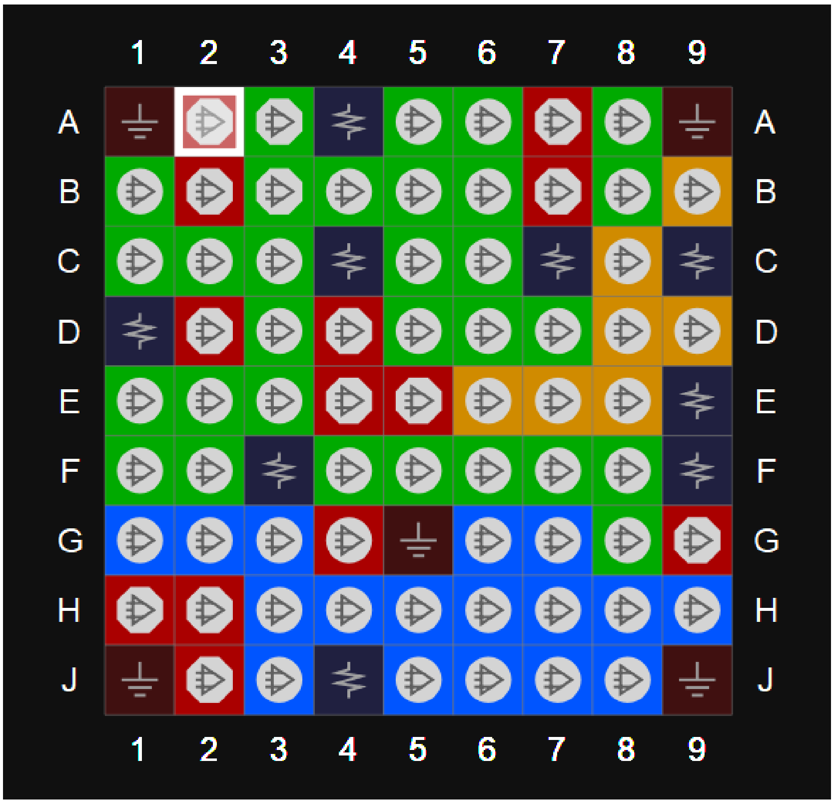


表 3-2 GW1NS-4/GW1NS-4C 器件 CS81X 其他管脚

VCC	E9,F3,D1,C4
VCCIO1	F9
VCCIO2	J4
VCCIO3	C9
VCCIO0/VCCX	A4,C7
VSS	G5,A9,A1,J1,J9

3.1.3 LQ144 管脚分布示意图

图 3-3 GW1NS-4C 器件 LQ144 封装管脚分布示意图（顶视图）

表 3-3 GW1NS-4C 器件 LQ144 其他管脚

VCC	48,36,108,104,132
VCCIO0	77
VCCIO1	37,55
VCCIO2/VCCIO3/VCCX	47,19,5,127,35,91,109
VSS	2,17,53,133,144,74,75,76,78,79,80,82,83,84,85,86,87,88,89,92,93,94,95,96,97,98,99,100,105,106,107,122,123,124,125,126

3.1.4 QN32 管脚分布示意图

图 3-4 GW1NS-4 器件 QN32 封装管脚分布示意图（顶视图）

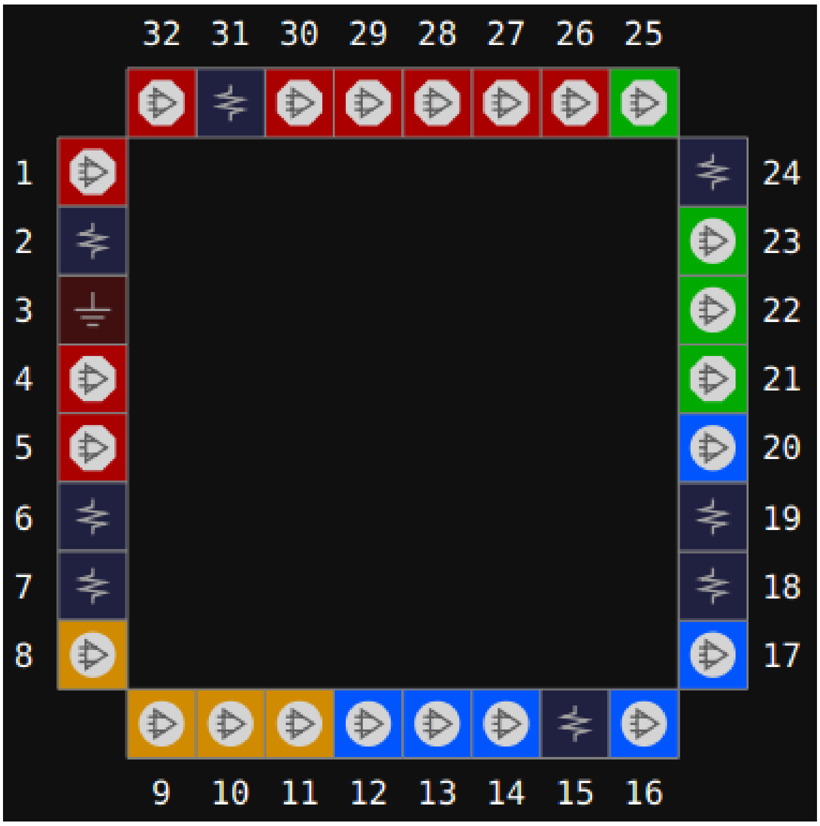


表 3-4 GW1NS-4 器件 QN32 其他管脚

VCC	2,18,6
VCCIO0	31
VCCIO1	24
VCCIO2	19
VCCIO3	15
VCCX	7
VSS	3

3.1.5 QN48 管脚分布示意图

图 3-5 GW1NS-4/GW1NS-4C 器件 QN48 封装管脚分布示意图（顶视图）

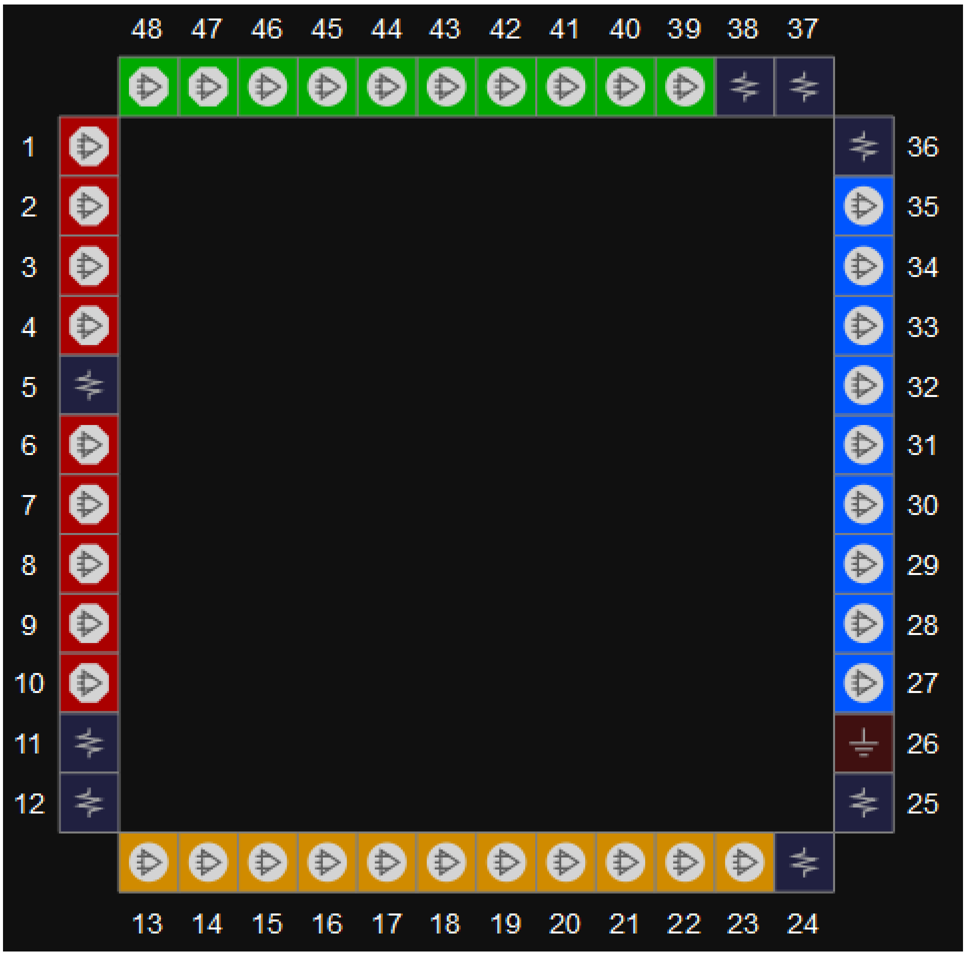


表 3-5 GW1NS-4/GW1NS-4C 器件 QN48 其他管脚

VCC	11,37
VCCIO0	5
VCCIO1	38
VCCIO2	36
VCCIO3	12,24
VCCX	25
VSS	26

3.1.6 MG64 管脚分布示意图

图 3-6 GW1NS-4/GW1NS-4C 器件 MG64 封装管脚分布示意图（顶视图）

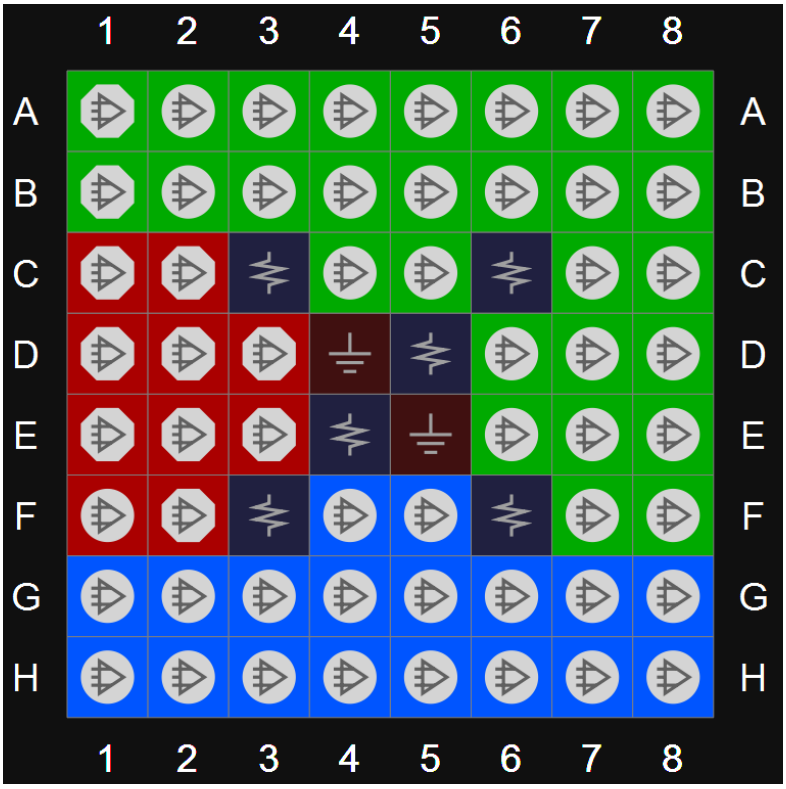


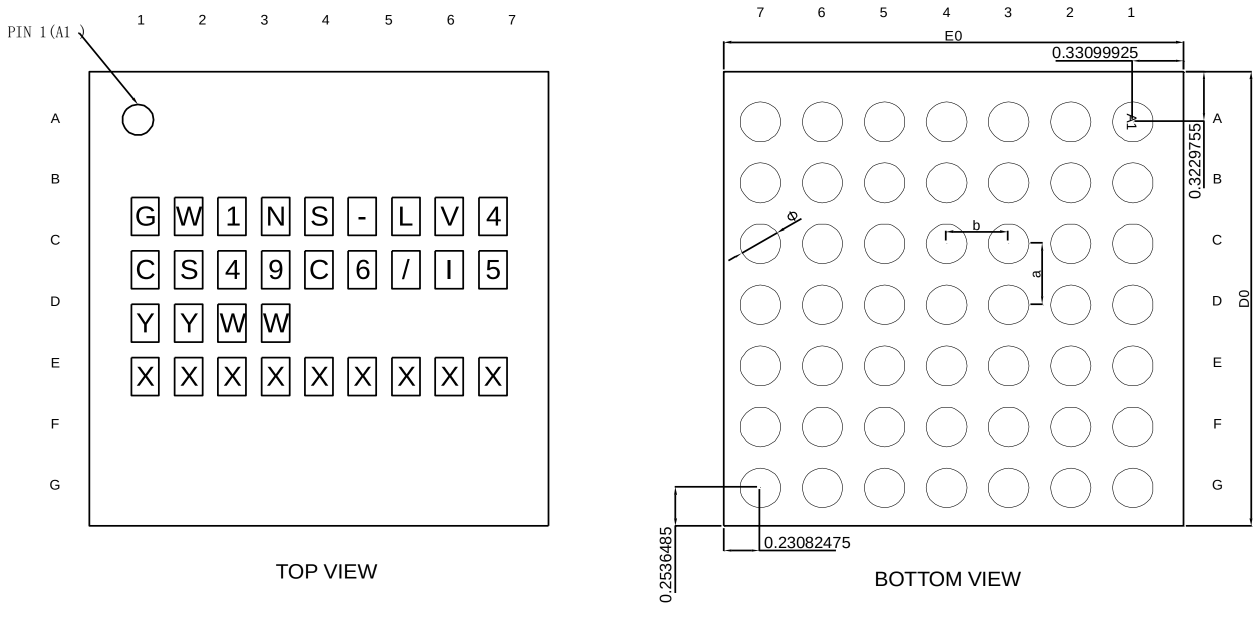
表 3-6 GW1NS-4/GW1NS-4C 器件 MG64 其他管脚

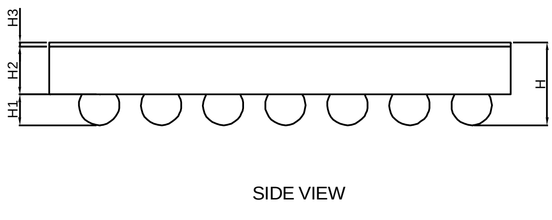
VCC	D5
VCCIO0	C3
VCCIO1	C6
VCCIO2	F6
VCCIO3	F3
VCCX	E4
VSS	D4,E5

4 封装尺寸

4.1 封装尺寸 CS49 (2.9mm x 2.9mm, GW1NS-4/GW1NS-4C)

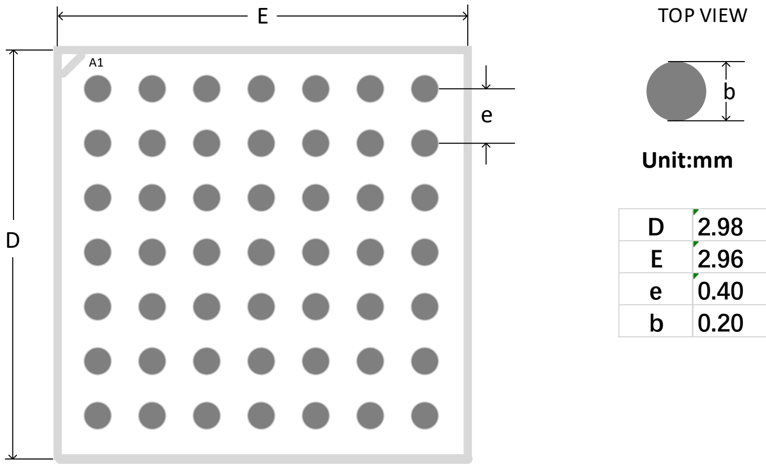
图 4-1 封装尺寸 CS49 (GW1NS-4/GW1NS-4C)





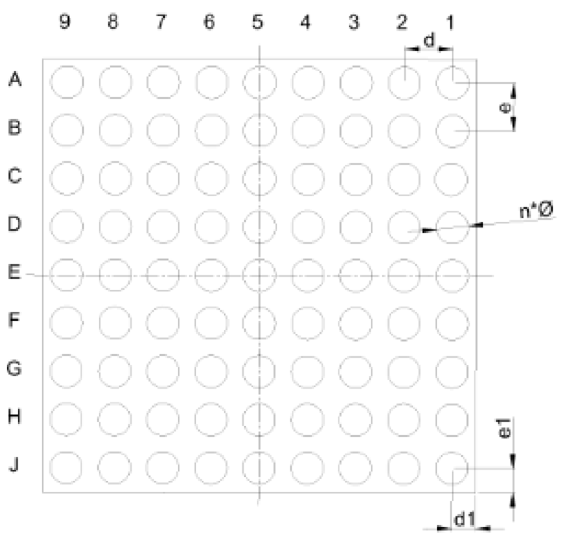
SYMBOL	ITEM	DATA(mm)
D0*E0	PACKAGE SIZE X*Y	2.9766*2.9618±0.025
Φ	BALL DIAMETER	0.26±0.03
a/b	BALL PITCH X/Y	0.4/0.4
N	BALL COUNT	49
H	PACKAGE HEIGHT	0.54±0.05
H1	BALL HEIGHT	0.2±0.025
H2	SI THICKNESS+PI	0.315±0.015
H3	BACK COATING	0.025±0.01

图 4-2 推荐 PCB Layout CS49 (GW1NS-4/GW1NS-4C)

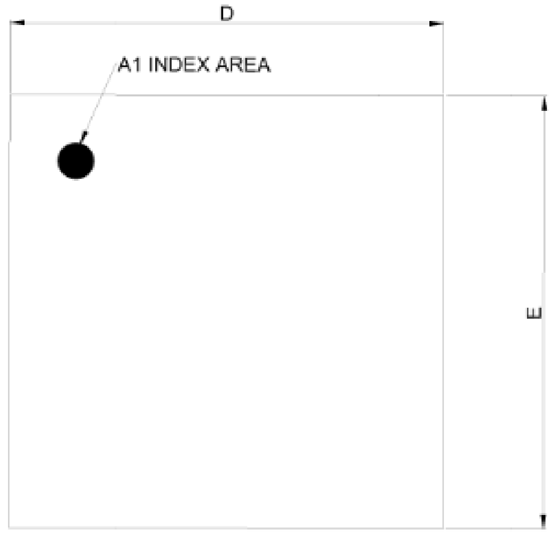


4.2 封装尺寸 CS81X (mm x mm, GW1NS-4/4C)

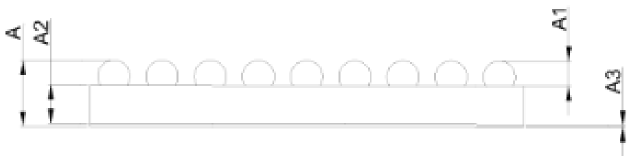
图 4-3 封装尺寸 CS81X (GW1NS-4/GW1NS-4C)



BOTTOM VIEW (BALL SIDE)



TOP VIEW (MARK SIDE)



SIDE VIEW

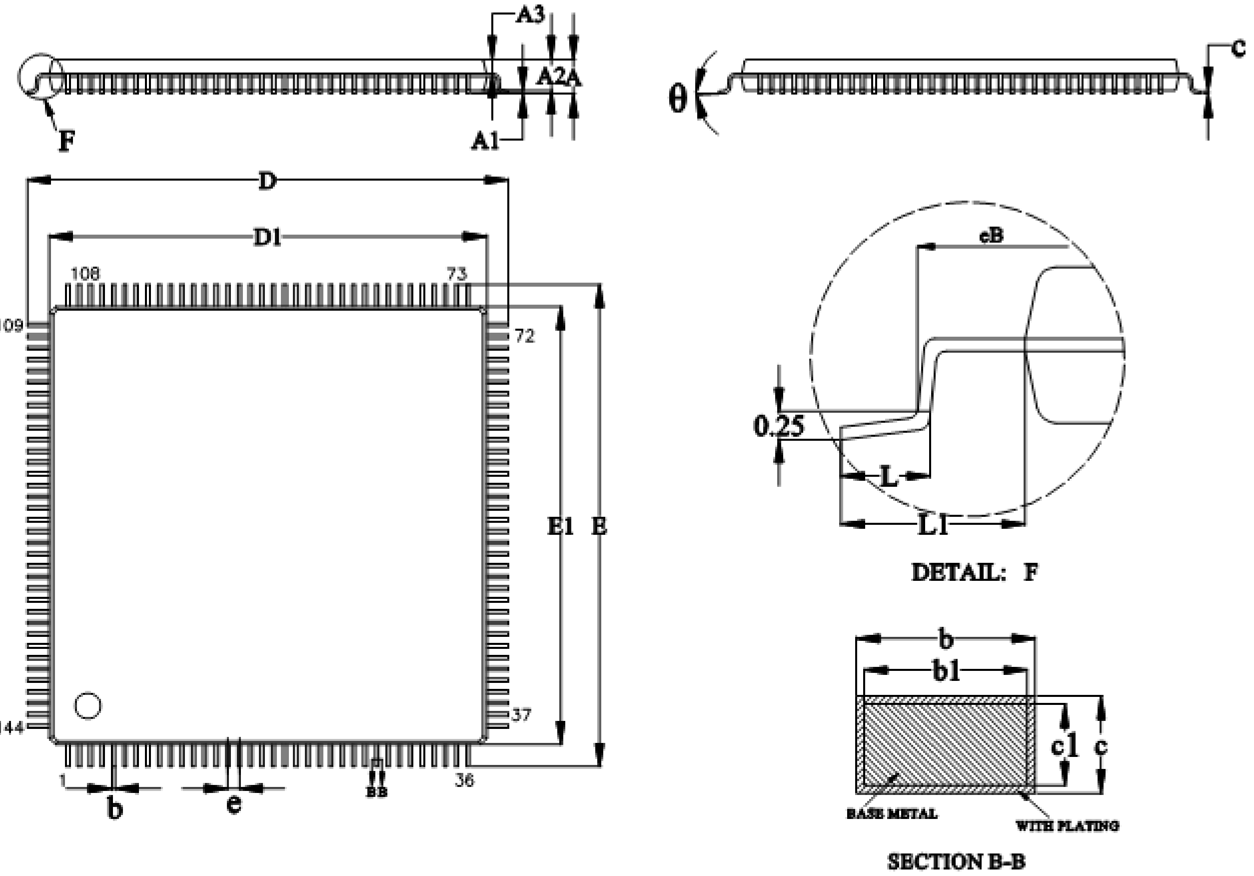
COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	ITEM	MIN	NOM	MAX
A	PACKAGE HEIGHT	0.498	0.549	0.600
A1	BALL HEIGHT	0.186	0.206	0.226
A2	WAFER THICKNESS	0.290	0.318	0.346
A3	BACKSIDE COATING THICKNESS	0.022	0.025	0.028
Φ	BALL DIAMETER	0.245	0.265	0.285
D	PACKAGE SIZE X	3.575	3.600	3.625
E	PACKAGE SIZE Y	3.575	3.600	3.625
d	MIN BALL PITCH X		0.400	
d1	MIN BALL CENTER TO PACKAGE SIZE X AXIS		0.200	
e	MIN BALL PITCH Y		0.400	
e1	MIN BALL CENTER TO PACKAGE SIZE Y AXIS		0.200	
n	BALL COUNT		81	

图 4-4 推荐 PCB Layout CS81X (GW1NS-4/GW1NS-4C)

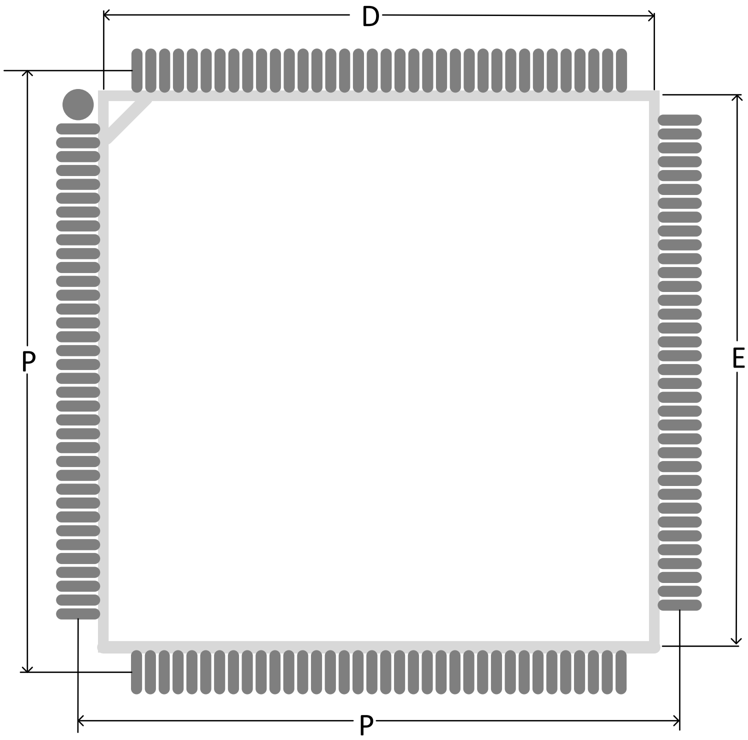
4.3 封装尺寸 LQ144 (20mm x 20mm, GW1NS-4C)

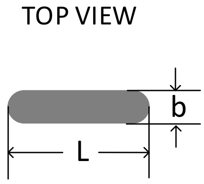
图 4-5 封装尺寸 LQ144 (GW1NS-4C)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

图 4-6 推荐 PCB Layout LQ144 (GW1NS-4C)



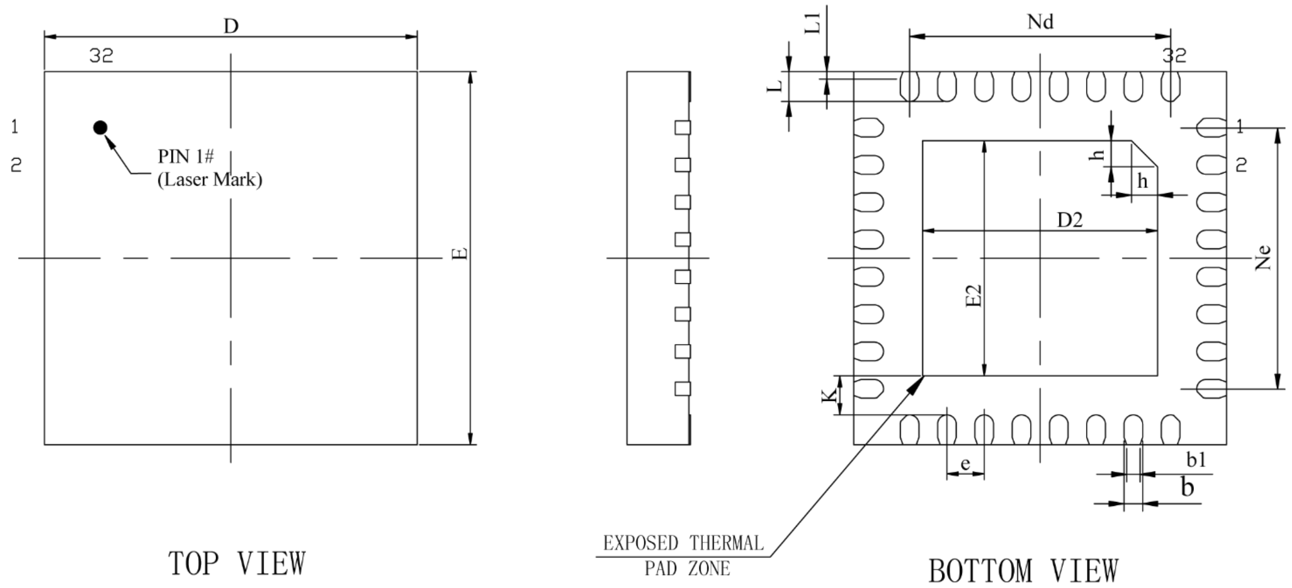


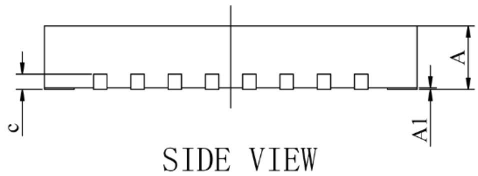
Unit:mm

D	20.00
E	20.00
P	21.40
e	0.50
L	1.55
b	0.30

4.4 封装尺寸 QN32 (5mm x 5mm, GW1NS-4)

图 4-7 封装尺寸 QN32 (GW1NS-4)



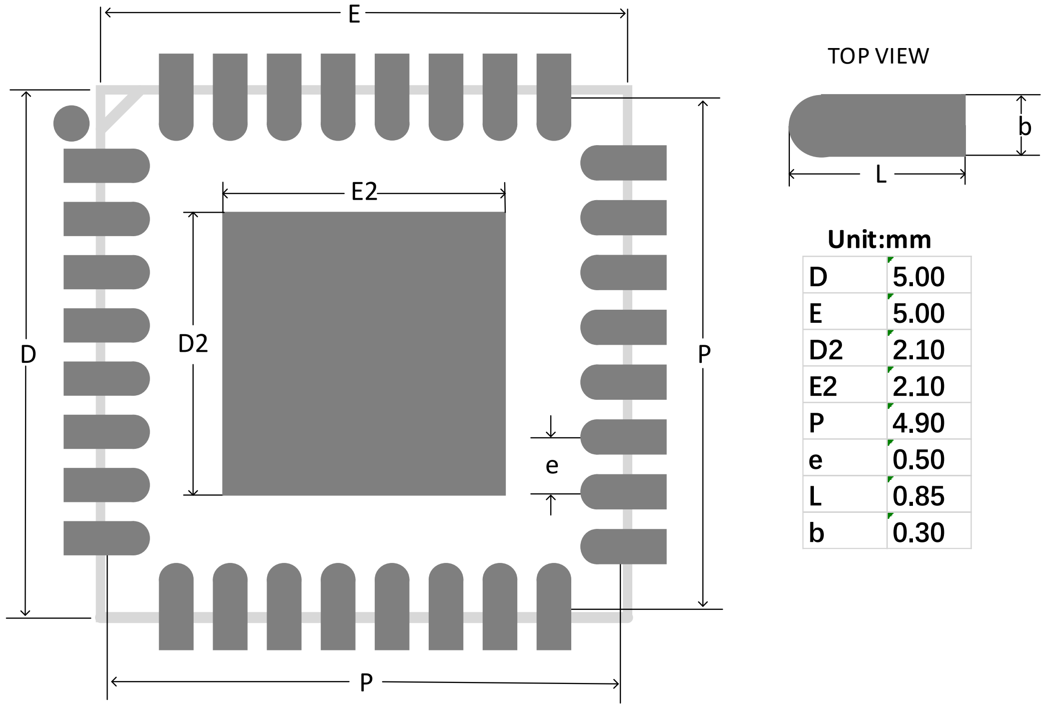


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
	0.85	0.90	0.95
	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.20	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	4.90	5.00	5.10
D2	3.05	3.15	3.25
e	0.50BSC		
Nd	3.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.05	3.15	3.25
L	0.35	0.40	0.45
L1	0.10REF		
h	0.30	0.35	0.40
K	0.525REF		

注!

GW1NS-LV4QN32 的 A(NOM)的值为 0.75mm。

图 4-8 推荐 PCB Layout QN32 (GW1NS-4)

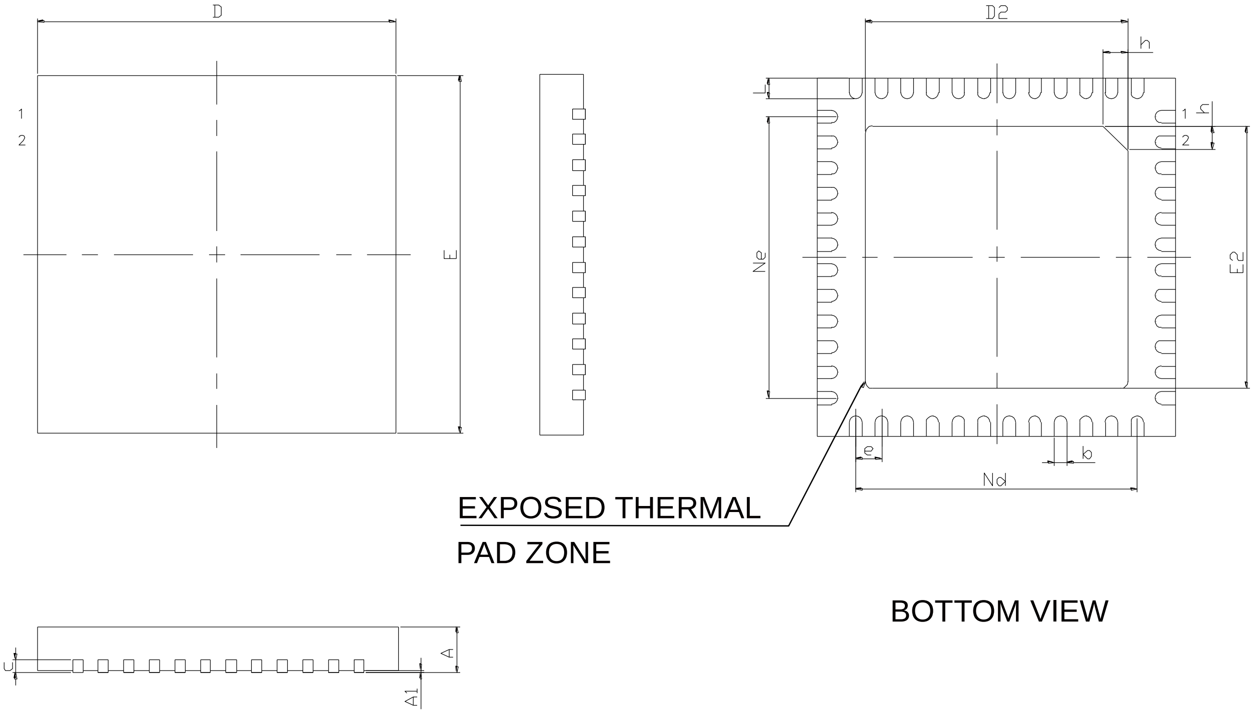


Unit:mm

D	5.00
E	5.00
D2	2.10
E2	2.10
P	4.90
e	0.50
L	0.85
b	0.30

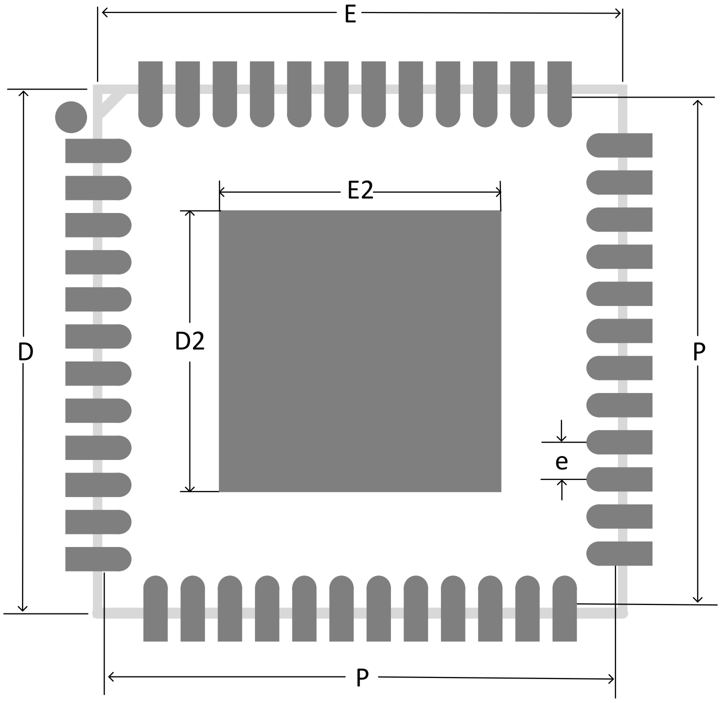
4.5 封装尺寸 QN48 (6mm x 6mm, GW1NS-4/GW1NS-4C)

图 4-9 封装尺寸 QN48 (GW1NS-4/GW1NS-4C)

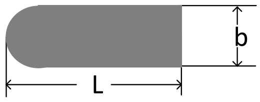


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75	0.85	0.85
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 4-10 推荐 PCB Layout QN48 (GW1NS-4/GW1NS-4C)



TOP VIEW

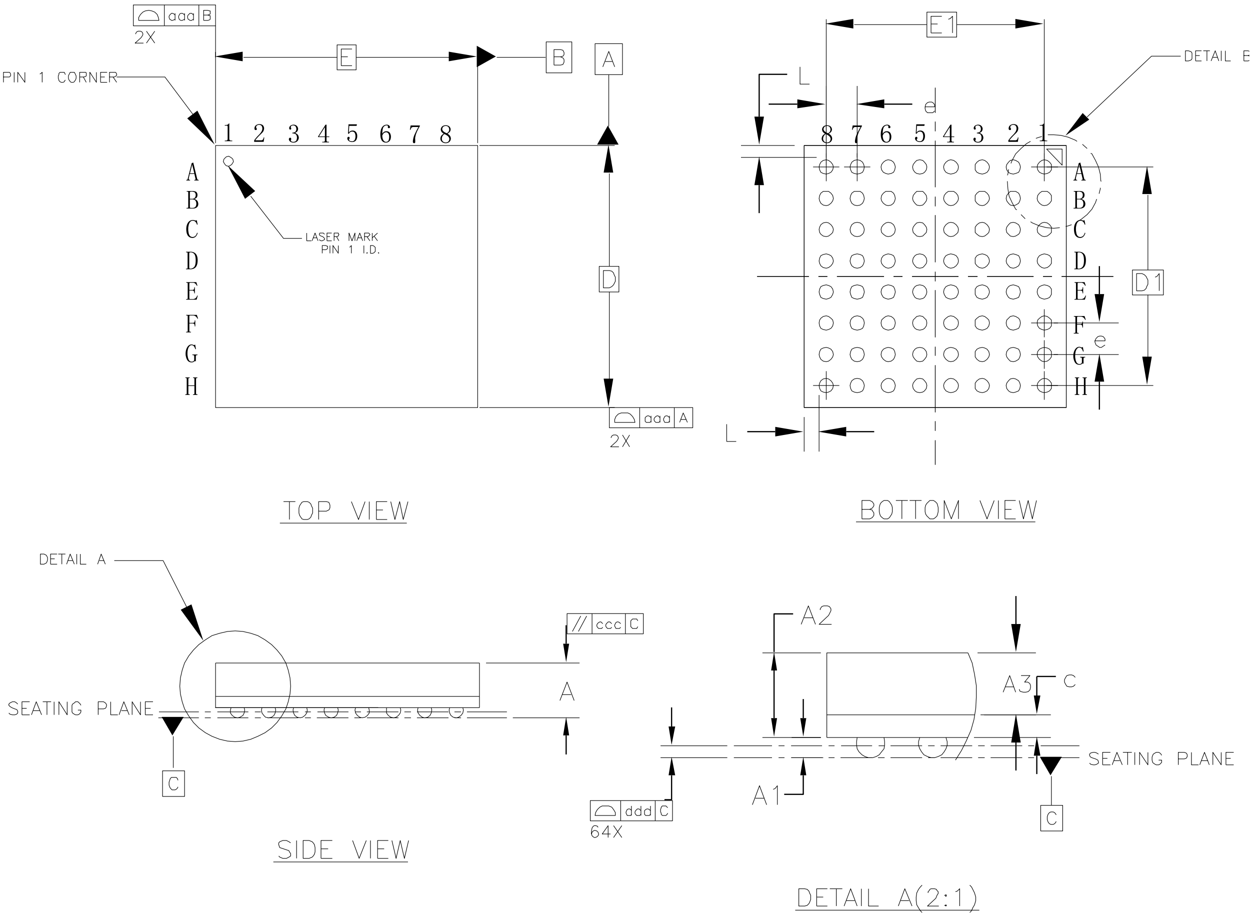


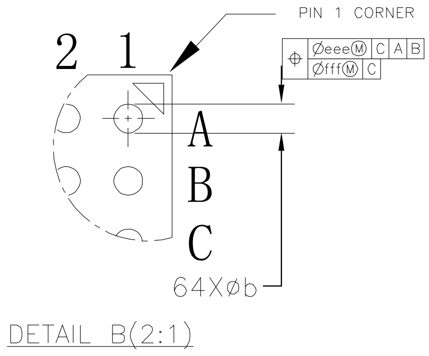
Unit:mm

D	6.00
E	6.00
D2	2.70
E2	2.70
P	5.90
e	0.40
L	0.85
b	0.20

4.6 封装尺寸 MG64 (4.2mm x 4.2mm, GW1NS-4/GW1NS-4C)

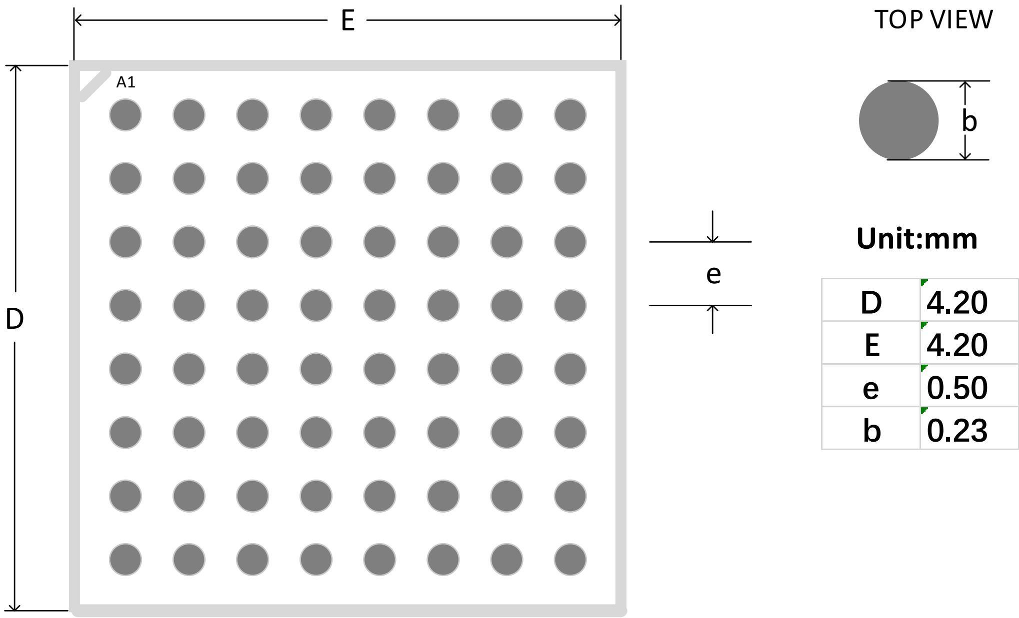
图 4-11 封装尺寸 MG64 (GW1NS-4/GW1NS-4C)





SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.79	0.87	0.95
A1	0.11	0.16	0.21
A2	0.66	0.71	0.76
A3	0.53 BASIC		
c	0.15	0.18	0.21
D	4.10	4.20	4.30
D1	3.50 BASIC		
E	4.10	4.20	4.30
E1	3.50 BASIC		
e	0.50 BASIC		
b	0.18	0.23	0.28
L	0.235 REF		
aaa	0.15		
ccc	0.10		
ddd	0.10		
eee	0.15		
fff	0.05		

图 4-12 推荐 PCB Layout MG64 (GW1NS-4/GW1NS-4C)



智慧逻辑 定制未来