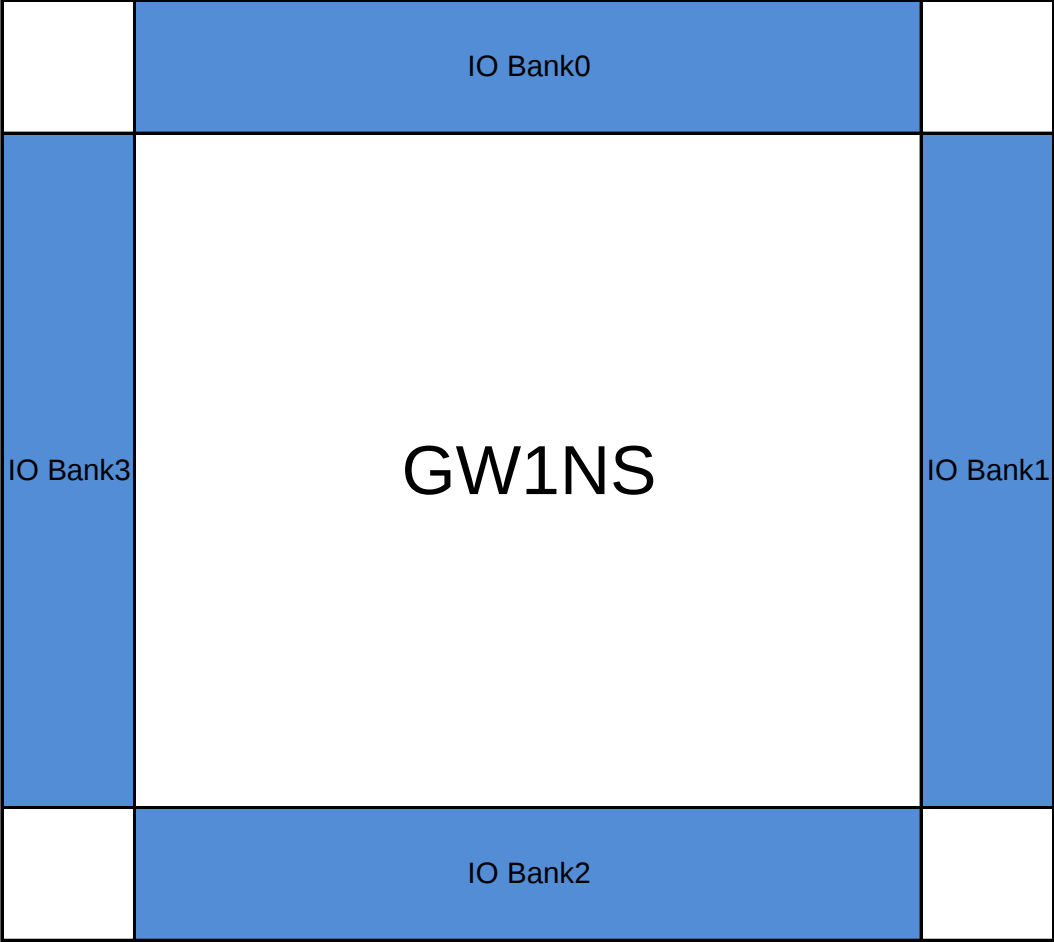


日期	版本	说明
2019/9/26	1.0	初始版本，支持CS49封装和QN48封装。
2019/11/12	1.1	补充说明：QN48封装中，IOT7A和IOT7B共用10管脚。
2020/4/16	1.1.1	修改QN48封装中的25管脚位置。
2020/5/29	1.1.2	修改GCLK管脚说明。 补充QN48封装VCCX供电电压范围。
2020/7/28	1.2	新增MG64封装。
2021/12/3	1.3	更新Pin Definitions。 更新使用MIPI时，VCCO POWER数值。
2022/8/12	1.3.1	删除Pin Definitions中的USB信号管脚。
2022/10/20	1.3.2	更新Power中的注释。 更新Pin Definitions中的注释。
2023/5/4	1.3.3	更新Pin Definition页中CLKHOLD_N的管脚说明。 新增Power页中QN48封装的epad注释。
2023/6/30	1.4	新增GW1NS-4器件QN32封装。 优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。
2023/8/10	1.4.1	更新Pin List页中QN48封装IOT7B/MODE2的管脚信息。
2024/8/9	1.5	新增GW1NS-4C器件LQ144封装。 优化Pin Definitions页中Ready和Done管脚的方向描述。
2024/11/15	1.5.1	新增Pin Definitions页中EPAD管脚说明。
2025/4/30	1.6	新增GW1NS-4/4C器件CS81X封装。 更新Power页中LQ144封装VCCIO2/VCCIO3/VCCX电源描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上 有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOR1A/IOB14A短接，管脚名为C1，则IOR1A对应C1，IOB14A对应C1 B14A
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I，内部弱上拉	SERIAL模式下的数据输入
TMS	I，内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I，内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I，内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I，内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O，内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I，内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平

管脚名称	方向	说明
READY ^[1]	I/O，内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I，内部弱上拉	在SSPI模式下，高电平有效 在CPU模式下，低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
CH[7:0]	I	八通道模拟输入
MODE2	I，内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I，内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I，内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCP	NA	FLASH供电管脚 (1.8V)
VCCPLL	NA	PLL电压供电管脚

管脚名称	方向	说明
EPAD	NA	裸露焊盘，接地
注！ ^[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间，DONE输出0。		



注！
[1]每个Bank还提供一个独立的参考电压（VREF）。
[2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \times VCCIO$ ）。
[3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注！

VCCX不能小于最大的VCCIO。

^[4] CS81X封装如需背景升级，VCCIO0与VCCIO2需供相同电压。

GW1NS-4/GW1NS-4C CS49封装电源供电要求

名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCIO1、VCCIO2	I/O Bank电压	使用BANK1的MIPI输入时，VCCIO1需供1.2V	1.14V	3.6V
		使用BANK2的MIPI输出时，VCCIO2需供1.2V		
VCCIO0/VCCIO3	I/O Bank电压，VCCIO0/VCCIO3内部连接在一起		1.14V	3.6V
	使用BANK0的MIPI输入时，VCCIO0需供1.2V		1.14V	3.6V
VCCX	辅助电压		1.71V	3.6V

GW1NS-4/GW1NS-4C QN48封装电源供电要求

名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	使用BANK0、BANK1的MIPI输入时，VCCIO0、VCCIO1需供1.2V	1.14V	3.6V
		使用BANK2的MIPI输出时，VCCIO2需供1.2V		
VCCX	辅助电压		1.71V	3.6V

注！

EPAD强烈推荐接地，但EPAD非必须接地。

GW1NS-4/GW1NS-4C MG64封装电源供电要求

名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	使用BANK0、BANK1的MIPI输入时，VCCIO0、VCCIO1需供1.2V	1.14V	3.6V
		使用BANK2的MIPI输出时，VCCIO2需供1.2V		
VCCX	辅助电压		1.71V	3.6V

GW1NS-4 QN32封装电源供电要求

名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	使用BANK0、BANK1的MIPI输入时，VCCIO0、VCCIO1需供1.2V	1.14V	3.6V
		使用BANK2的MIPI输出时，VCCIO2需供1.2V		
VCCX	辅助电压		1.71V	3.6V

注！

EPAD强烈推荐接地，但EPAD非必须接地。

注！
VCCX不能小于最大的VCCIO。
^[1] CS81X封装如需背景升级，VCCIO0与VCCIO2需供相同电压。

GW1NS-4C LQ144封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1	I/O Bank电压	1.14V	3.6V
	使用BANK0、BANK1的MIPI输入时，VCCIO0、VCCIO1需供1.2V		
VCCIO2/VCCIO3/VCCX	I/O Bank电压VCCIO2/VCCIO3和辅助电压VCCX内部连接在一起	1.71V	3.6V

GW1NS-4/GW1NS-4C CS81X封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO1、VCCIO2 ^[1] 、VCCIO3	I/O Bank电压	1.14V	3.6V
VCCIO0 ^[1] /VCCX	I/O Bank电压VCCIO0和辅助电压VCCX内部连接在一起	1.71V	3.6V

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
IOB13A	I/O	3		True_of_IOB13B	NONE	NONE		18			118	
IOB13B	I/O	3		Comp_of_IOB13A	NONE	NONE		19			119	
IOB14A	I/O	3		True_of_IOB14B	NONE	NONE					120	D8
IOB14B	I/O	3		Comp_of_IOB14A	NONE	NONE					121	
IOB15A	I/O	3		True_of_IOB15B	NONE	NONE					128	
IOB15B	I/O	3		Comp_of_IOB15A	NONE	NONE					129	
IOB16A/GCLKT_5	I/O	3	GCLKT_5	True_of_IOB16B	NONE	NONE		20		10	130	D9
IOB16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_IOB16A	NONE	NONE		21		11	131	E8
IOB22A/GCLKT_4	I/O	3	GCLKT_4	True_of_IOB22B	NONE	NONE		22			134	E6
IOB22B/GCLKC_4	I/O	3	GCLKC_4	Comp_of_IOB22A	NONE	NONE		23			135	E7
IOB23A	I/O	3		True_of_IOB23B	NONE	NONE					136	
IOB23B	I/O	3		Comp_of_IOB23A	NONE	NONE					137	
IOB24A	I/O	3		True_of_IOB24B	NONE	NONE					138	
IOB24B	I/O	3		Comp_of_IOB24A	NONE	NONE					139	
IOB25A	I/O	3		True_of_IOB25B	NONE	NONE					140	
IOB25B	I/O	3		Comp_of_IOB25A	NONE	NONE					141	
IOB29A	I/O	3		True_of_IOB29B	NONE	NONE					142	
IOB29B	I/O	3		Comp_of_IOB29A	NONE	NONE					143	
IOB4A	I/O	3		True_of_IOB4B	NONE	NONE		13			110	
IOB4B	I/O	3		Comp_of_IOB4A	NONE	NONE		14			111	
IOB5A	I/O	3		True_of_IOB5B	NONE	NONE		15		8	112	B9
IOB5B	I/O	3		Comp_of_IOB5A	NONE	NONE				9	113	C8
IOB6A	I/O	3		True_of_IOB6B	NONE	NONE		16			114	
IOB6B	I/O	3		Comp_of_IOB6A	NONE	NONE		17			115	
IOB7A	I/O	3		True_of_IOB7B	NONE	NONE					116	
IOB7B	I/O	3		Comp_of_IOB7A	NONE	NONE					117	
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOR11B	TRUE	x16	G4	32	G5	13	18	J6

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOR11A	TRUE	NONE	F4	31	H5	14	16	H6
IOR12A	I/O	2		True_of_IOR12B	NONE	NONE					15	
IOR12B	I/O	2		Comp_of_IOR12A	NONE	NONE					14	
IOR13A	I/O	2		True_of_IOR13B	TRUE	x16	G5		G6		13	D4_R13A
IOR13B	I/O	2		Comp_of_IOR13A	TRUE	NONE	F5		H6		12	E4_R13B
IOR14A	I/O	2		True_of_IOR14B	NONE	NONE					11	A7_R14A
IOR14B	I/O	2		Comp_of_IOR14A	NONE	NONE					10	B7_R14B
IOR15A	I/O	2		True_of_IOR15B	TRUE	x16	G6	30	G7		9	G6
IOR15B	I/O	2		Comp_of_IOR15A	TRUE	NONE	F6	29	H7			
IOR16A	I/O	2		True_of_IOR16B	NONE	NONE					7	H7
IOR16B	I/O	2		Comp_of_IOR16A	NONE	NONE					6	J7
IOR17A	I/O	2		True_of_IOR17B	TRUE	x16	G7	28	G8			H8
IOR17B	I/O	2		Comp_of_IOR17A	TRUE	NONE	F7	27	H8			G7
IOR18A	I/O	2		True_of_IOR18B	NONE	NONE				17		H9
IOR18B	I/O	2		Comp_of_IOR18A	NONE	NONE				16		J8
IOR2A/RPLL_T_in	I/O	2	RPLL_T_in	True_of_IOR2B	TRUE	x16	E1	35	G1		34	H3
IOR2B/RPLL_C_in	I/O	2	RPLL_C_in	Comp_of_IOR2A	TRUE	NONE	E2	34	H1		33	J3
IOR3A/RPLL_T_fb	I/O	2	RPLL_T_fb	True_of_IOR3B	NONE	NONE					30	G3
IOR3B/RPLL_C_fb	I/O	2	RPLL_C_fb	Comp_of_IOR3A	NONE	NONE					32	G2
IOR4A	I/O	2		True_of_IOR4B	TRUE	x16	G1		G2			G1
IOR4B	I/O	2		Comp_of_IOR4A	TRUE	NONE	F1		H2	20		
IOR5A	I/O	2		True_of_IOR5B	NONE	NONE					28	
IOR5B	I/O	2		Comp_of_IOR5A	NONE	NONE					29	
IOR6A	I/O	2		True_of_IOR6B	TRUE	x16	G2		G3		27	
IOR6B	I/O	2		Comp_of_IOR6A	TRUE	NONE	F2		H3		26	
IOR7A	I/O	2		True_of_IOR7B	NONE	NONE					25	
IOR7B	I/O	2		Comp_of_IOR7A	NONE	NONE					24	

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
IOR8A	I/O	2		True_of_IOR8B	TRUE	x16	G3		G4		23	H5
IOR8B	I/O	2		Comp_of_IOR8A	TRUE	NONE	F3		H4		22	J5
IOR9A/GCLKT_2	I/O	2	GCLKT_2	True_of_IOR9B	NONE	NONE			F5		21	
IOR9B/GCLKC_2	I/O	2	GCLKC_2	Comp_of_IOR9A	NONE	NONE		33	F4	12	20	H4
IOT10A/MCLK/D4	I/O	0	MCLK/D4	True_of_IOT10B	NONE	NONE		1		27	56	A2
IOT10B/MCS_N/D5	I/O	0	MCS_N/D5	Comp_of_IOT10A	NONE	NONE		2		26	54	B2
IOT11A/MO/D6	I/O	1	MO/D6	True_of_IOT11B	NONE	x16	A7	48	A1	25	52	B3
IOT11B/MI/D7	I/O	1	MI/D7	Comp_of_IOT11A	NONE	NONE	B7	47	B1	21	51	A3
IOT12A/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOT12B	NONE	NONE			A2		50	C3
IOT12B/DOOUT/WE_N	I/O	1	DOOUT/WE_N	Comp_of_IOT12A	NONE	NONE			B2		49	B4
IOT13A/LPLL_T_in	I/O	1	LPLL_T_in	True_of_IOT13B	NONE	x16	B6	45	B3		46	A8
IOT13B/LPLL_C_in	I/O	1	LPLL_C_in	Comp_of_IOT13A	NONE	NONE	A6	46	A3		45	B8
IOT15A/LPLL_T_fb	I/O	1	LPLL_T_fb	True_of_IOT15B	NONE	x16	B5		B4		44	C5
IOT15B/LPLL_C_fb	I/O	1	LPLL_C_fb	Comp_of_IOT15A	NONE	NONE	A5		A4		43	
IOT17A/GCLKT_0	I/O	1	GCLKT_0	True_of_IOT17B	NONE	x16	B4	43	B5	23	42	A5
IOT17B/GCLKC_0	I/O	1	GCLKC_0	Comp_of_IOT17A	NONE	NONE	A4	44	A5	22	41	B5
IOT20A/GCLKT_1	I/O	1	GCLKT_1	True_of_IOT20B	NONE	x16	B3	41	C5		40	A6
IOT20B/GCLKC_1	I/O	1	GCLKC_1	Comp_of_IOT20A	NONE	NONE	A3	42	C4		39	B6
IOT21A	I/O	1		True_of_IOT21B	NONE	NONE			B6		38	F1
IOT21B	I/O	1		Comp_of_IOT21A	NONE	NONE			A6			E1
IOT22A	I/O	1		True_of_IOT22B	NONE	x16	B2		B7			F2
IOT22B	I/O	1		Comp_of_IOT22A	NONE	NONE	A2		A7			E2
IOT24A	I/O	1		True_of_IOT24B	NONE	x16			A8			E3
IOT24B	I/O	1		Comp_of_IOT24A	NONE	NONE			B8			D3
IOT26A	I/O	1		True_of_IOT26B	NONE	x16	D2	39	C7			D5
IOT26B	I/O	1		Comp_of_IOT26A	NONE	NONE	C2	40	C8			C6

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
IOT29A	I/O	1		True_of_IOT29B	NONE	x16			E6			D7
IOT29B	I/O	1		Comp_of_IOT29A	NONE	NONE			D6			D6
IOT2A/TDI	I/O	0	TDI	True_of_IOT2B	NONE	x16	E7	3	E2	1	72	A7
IOT2B/TDO	I/O	0	TDO	Comp_of_IOT2A	NONE	NONE	E6	4	E3	32	71	B7
IOT30A	I/O	1		True_of_IOT30B	NONE	NONE						F5
IOT30B	I/O	1		Comp_of_IOT30A	NONE	NONE						F4
IOT31A	I/O	1		True_of_IOT31B	NONE	x16	B1		D7			F6
IOT31B	I/O	1		Comp_of_IOT31A	NONE	NONE	A1		D8			
IOT33A	I/O	1		True_of_IOT33B	NONE	x16			E7			F8
IOT33B	I/O	1		Comp_of_IOT33A	NONE	NONE			E8			F7
IOT35A	I/O	1		True_of_IOT35B	NONE	x16	D1		F7			
IOT35B	I/O	1		Comp_of_IOT35A	NONE	NONE	C1		F8			G8
IOT3A/TMS	I/O	0	TMS	True_of_IOT3B	NONE	NONE	E5	6	D2	4	70	D4
IOT3B/TCK	I/O	0	TCK	Comp_of_IOT3A	NONE	NONE	E4	7	D3	5	69	E4
IOT4A/SCLK	I/O	0	SCLK	True_of_IOT4B	NONE	x16	C6		F1		67	G4
IOT4B/JTAGSEL_N	I/O	0	JTAGSEL_N	Comp_of_IOT4A	NONE	NONE		8	F2		68	D2
IOT5A/READY	I/O	0	READY	True_of_IOT5B	NONE	NONE	D6		D1		66	C1
IOT5B/DONE	I/O	0	DONE	Comp_of_IOT5A	NONE	NONE		9		30	65	B1
IOT6A/RECONFIG_N	I/O	0	RECONFIG_N	True_of_IOT6B	NONE	x16			E1	29	64	C2
IOT6B/MODE0	I/O	0	MODE0	Comp_of_IOT6A	NONE	NONE	GND ^[3]	GND ^[3]	GND ^[3]	GND ^[3]	63	E5
IOT7A/MODE1	I/O	0	MODE1	True_of_IOT7B	NONE	NONE	GND ^[3]	10	GND ^[3]	28	62	GND ^[3]
IOT7B/MODE2	I/O	0	MODE2	Comp_of_IOT7A	NONE	NONE	GND ^[3]	10	GND ^[3]	GND ^[3]	61	E5
IOT8A/SSPI_CS_N/D0	I/O	0	SSPI_CS_N/D0	True_of_IOT8B	NONE	x16	C7		C1		60	G9
IOT8B/SO/D1	I/O	0	SO/D1	Comp_of_IOT8A	NONE	NONE	D7		C2		59	H1
IOT9A/SI/D2	I/O	0	SI/D2	True_of_IOT9B	NONE	NONE					58	J2
IOT9B/FASTRD_N/D3	I/O	0	FASTRD_N/D3	Comp_of_IOT9A	NONE	NONE					57	H2
VCC	Power	N/A					D5	11	D5	2	48	E9

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
VCC	Power	N/A						37		18	36	F3
VCC	Power	N/A								6	108	D1
VCC	Power	N/A									104	C4
VCC	Power	N/A									132	
VCCIO0	Power	N/A						5	C3	31	77	
VCCIO0/VCCIO3	Power	N/A					C5					
VCCIO1	Power	N/A									37	F9
VCCIO1	Power	N/A					C3	38	C6	24	55	
VCCIO2	Power	N/A					E3			19		J4
VCCIO2	Power	N/A						36	F6			
VCCIO3	Power	N/A						12	F3	15		C9
VCCIO3	Power	N/A						24				
VCCIO0/VCCX	Power	N/A										A4
VCCIO0/VCCX	Power	N/A										C7
VCCIO2/VCCIO3/VCCX	Power	N/A									47	
VCCIO2/VCCIO3/VCCX	Power	N/A									19	
VCCIO2/VCCIO3/VCCX	Power	N/A									5	
VCCIO2/VCCIO3/VCCX	Power	N/A									127	
VCCIO2/VCCIO3/VCCX	Power	N/A									35	
VCCIO2/VCCIO3/VCCX	Power	N/A									91	
VCCIO2/VCCIO3/VCCX	Power	N/A									109	
VCCX	Power	N/A					D3	25	E4	7		
VSS	Ground	N/A					C4		D4	3	2	G5
VSS	Ground	N/A					D4	26	E5		17	A9
VSS	Ground	N/A									53	A1
VSS	Ground	N/A									133	J1
VSS	Ground	N/A									144	J9

注！
[1] QN48封装中，IOT7A和IOT7B共用10管脚。
[2] QN32为GW1NS-4器件封装。
[3] 该管脚内部接地。
[4] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
VSS	Ground	N/A									74	
VSS	Ground	N/A									75	
VSS	Ground	N/A									76	
VSS	Ground	N/A									78	
VSS	Ground	N/A									79	
VSS	Ground	N/A									80	
VSS	Ground	N/A									82	
VSS	Ground	N/A									83	
VSS	Ground	N/A									84	
VSS	Ground	N/A									85	
VSS	Ground	N/A									86	
VSS	Ground	N/A									87	
VSS	Ground	N/A									88	
VSS	Ground	N/A									89	
VSS	Ground	N/A									92	
VSS	Ground	N/A									93	
VSS	Ground	N/A									94	
VSS	Ground	N/A									95	
VSS	Ground	N/A									96	
VSS	Ground	N/A									97	
VSS	Ground	N/A									98	
VSS	Ground	N/A									99	
VSS	Ground	N/A									100	
VSS	Ground	N/A									105	
VSS	Ground	N/A									106	
VSS	Ground	N/A									107	
VSS	Ground	N/A									122	

注！ [1] QN48封装中，IOT7A和IOT7B共用10管脚。 [2] QN32为GW1NS-4器件封装。 [3] 该管脚内部接地。 [4] LQ144为GW1NS-4C器件封装。												
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48 ^[1]	MG64	QN32 ^[2]	LQ144 ^[4]	CS81X
VSS	Ground	N/A									123	
VSS	Ground	N/A									124	
VSS	Ground	N/A									125	
VSS	Ground	N/A									126	
NC	N/A	N/A									1	
NC	N/A	N/A									3	
NC	N/A	N/A									4	
NC	N/A	N/A									8	
NC	N/A	N/A									31	
NC	N/A	N/A									73	
NC	N/A	N/A									81	
NC	N/A	N/A									90	
NC	N/A	N/A									101	
NC	N/A	N/A									102	
NC	N/A	N/A									103	

注！
[1] QN32为GW1NS-4器件封装。
[2] LQ144为GW1NS-4C器件封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS49	QN48	MG64	QN32 ^[1]	LQ144 ^[2]	CS81X
BANK2 True LVDS Pair												
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOR11B	TRUE	x16	G4	32	G5	13	18	J6
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOR11A	TRUE	NONE	F4	31	H5	14	16	H6
IOR13A	I/O	2		True_of_IOR13B	TRUE	x16	G5		G6		13	D4_R13A
IOR13B	I/O	2		Comp_of_IOR13A	TRUE	NONE	F5		H6		12	E4_R13B
IOR15A	I/O	2		True_of_IOR15B	TRUE	x16	G6	30	G7		9	G6
IOR15B	I/O	2		Comp_of_IOR15A	TRUE	NONE	F6	29	H7			
IOR17A	I/O	2		True_of_IOR17B	TRUE	x16	G7	28	G8			H8
IOR17B	I/O	2		Comp_of_IOR17A	TRUE	NONE	F7	27	H8			G7
IOR2A/RPLL_T_in	I/O	2	RPLL_T_in	True_of_IOR2B	TRUE	x16	E1	35	G1		34	H3
IOR2B/RPLL_C_in	I/O	2	RPLL_C_in	Comp_of_IOR2A	TRUE	NONE	E2	34	H1		33	J3
IOR4A	I/O	2		True_of_IOR4B	TRUE	x16	G1		G2			G1
IOR4B	I/O	2		Comp_of_IOR4A	TRUE	NONE	F1		H2	20		
IOR6A	I/O	2		True_of_IOR6B	TRUE	x16	G2		G3		27	
IOR6B	I/O	2		Comp_of_IOR6A	TRUE	NONE	F2		H3		26	
IOR8A	I/O	2		True_of_IOR8B	TRUE	x16	G3		G4		23	H5
IOR8B	I/O	2		Comp_of_IOR8A	TRUE	NONE	F3		H4		22	J5