

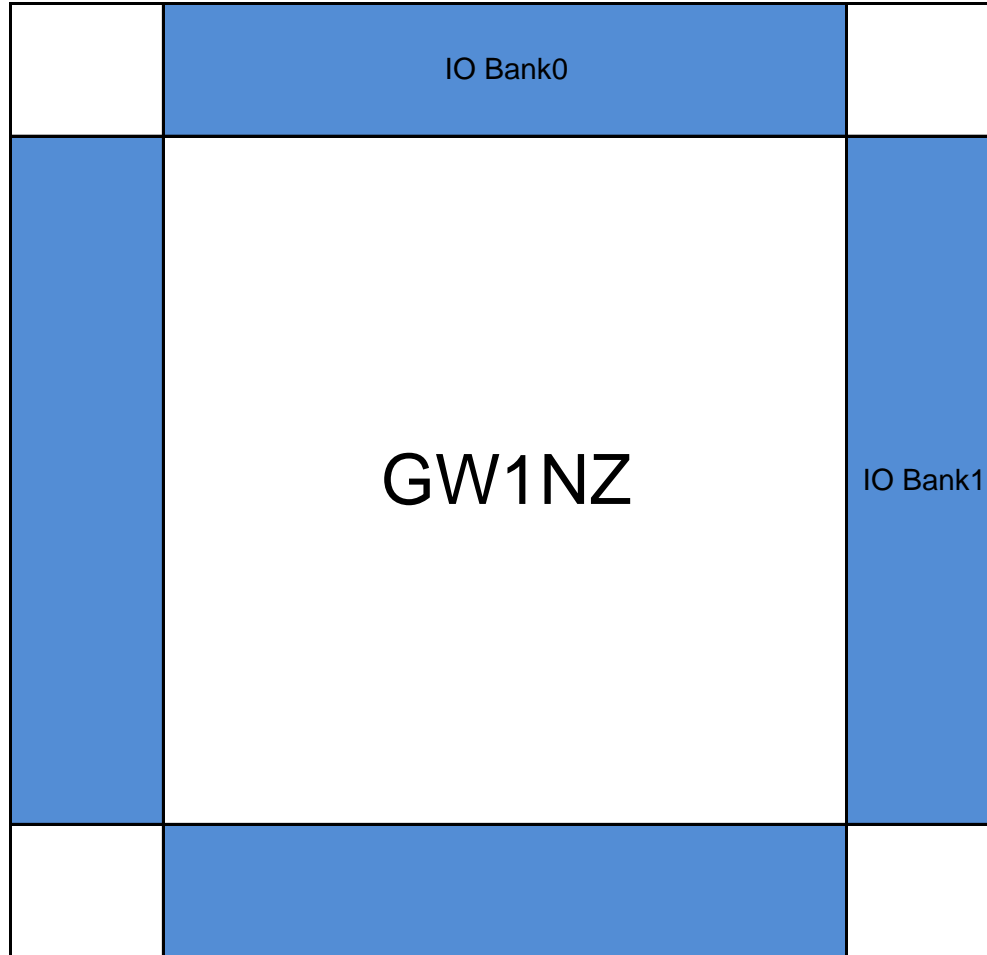
| 日期 | 版本 | 说明 |
|------------|-------|----------------------|
| 2018/9/27 | 1.0 | 初始版本。 |
| 2018/1/14 | 1.1 | 增加电源供电要求。 |
| 2019/1/23 | 1.2 | 修改ZV版本核电压。 |
| 2019/4/3 | 1.3 | 修改IO Bank View。 |
| 2019/12/10 | 1.4 | 新增QN48封装。 |
| 2020/6/19 | 1.5 | 新增FN32F封装。 |
| 2021/1/27 | 1.5.1 | 新增QN48 ZV版本，补充核电压信息。 |

| 管脚名称 | 方向 | 说明 |
|--------------------------------------|----------|--|
| 用户I/O管脚 | | |
| IO [End][Row/Column Number][A/B] | I/O | [End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则[A/B]提供差分信号对信息 |
| 多功能管脚 | | |
| IO [End][Row/Column Number][A/B]/MMM | | 多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用 |
| RECONFIG_N | I, 内部弱上拉 | 低电平脉冲开始新的GowinCONFIG配置 |
| READY | I/O | 高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置 |
| DONE | I/O | 高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败 |
| FASTRD_N/D3 | I/O | MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表 CPU模式下的数据端口D3 |
| MCLK/D4 | I/O | MSPI模式下时钟输出MCLK CPU模式下的数据端口D4 |
| MCS_N/D5 | I/O | MSPI模式下的使能信号MCS_N，低电平有效 CPU模式下的数据端口D5 |
| MO/D6 | I/O | MSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D6 |
| MI/D7 | I/O | MSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D7 |
| SSPI_CS_N/D0 | I/O | SSPI模式下的使能信号SSPI_CS_N，低电平有效 CPU模式下的数据端口D0 |
| SO/D1 | I/O | SSPI模式下MISO: Master数据输入/Slave数据输出 CPU模式下的数据端口D1 |
| SI/D2 | I/O | SSPI模式下MOSI: Master数据输出/Slave数据输入 CPU模式下的数据端口D2 |
| TMS | I | JTAG模式串行模式输入 |
| TCK | I | JTAG模式串行时钟输入 |
| TDI | I | JTAG模式串行数据输入 |
| TDO | O | JTAG模式串行数据输出 |
| SPMI_SDATA | I/O | SPMI（系统电源管理接口）模式的通讯总线 |
| SPMI_EN/VCCEN | I | SPMI（系统电源管理接口）模式的睡眠控制和使能 |

| 管脚名称 | 方向 | 说明 |
|---------------------|----------|--|
| SPMI_SCLK | I/O | SPMI（系统电源管理接口）模式的通讯总线 |
| SPMI_CLK | I | SPMI（系统电源管理接口）外部低速时钟 |
| JTAGSEL_N | I, 内部弱上拉 | JTAG模式选择信号, 低电平有效 |
| SCLK | I | SSPI, SERIAL, CPU模式下的时钟输入 |
| DIN | I, 内部弱上拉 | SERIAL模式下的数据输入 |
| DOUT | O | SERIAL模式下的数据输出 |
| CLKHOLD_N | I, 内部弱上拉 | 高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效 |
| WE_N | I | CPU模式下选择D[7: 0]的数据输入输出方向 |
| GCLKT_[x] | I | 全局时钟输入管脚, T(True), [x]: 全局时钟序号 |
| GCLKC_[x] | I | GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1] |
| LPLL_T_fb/RPLL_T_fb | I | 左边/右边PLL反馈输入管脚, T(True) |
| LPLL_C_fb/RPLL_C_fb | I | 左边/右边PLL反馈输入管脚, C(Comp) |
| LPLL_T_in/RPLL_T_in | I | 左边/右边PLL时钟输入管脚, T(True) |
| LPLL_C_in/RPLL_C_in | I | 左边/右边PLL时钟输入管脚, C(Comp) |
| MODE2 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地 |
| MODE1 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地 |
| MODE0 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口; 若该管脚未被封装出来, 内部接地 |
| 其他管脚 | | |
| NC | NA | 预留未使用 |
| VSS | NA | Ground管脚 |
| VCC | NA | 核电压供电管脚 |
| VCCO# | NA | I/O BANK#的I/O电压供电管脚 |
| VCCX | NA | 辅助电压供电管脚 |

注!

[1]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。



注!

- 1.每个Bank还提供一个独立的参考电压（VREF）；
- 2.用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CC0}$ ）；
- 3.也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

| 管脚名 | 功能 | BANK | 配置功能 | 差分Pair | LVDS | CS16 | FN32 | FN32F | QN48 |
|----------------------------|-----|------|----------------------|----------------|------|------|------|-------|------|
| IOR10A | I/O | 1 | | True_of_IOR10B | NONE | | 12 | 12 | 20 |
| IOR10B | I/O | 1 | | Comp_of_IOR10A | NONE | | 11 | 11 | 13 |
| IOR2A | I/O | 1 | | True_of_IOR2B | NONE | | 24 | | 9 |
| IOR2B | I/O | 1 | | Comp_of_IOR2A | NONE | | | 24 | 10 |
| IOR3A | I/O | 1 | | True_of_IOR3B | NONE | | 23 | 23 | 11 |
| IOR3B | I/O | 1 | | Comp_of_IOR3A | NONE | | 22 | 22 | 34 |
| IOR4A/RPLL_T_fb | I/O | 1 | RPLL_T_fb | True_of_IOR4B | NONE | | 21 | 21 | |
| IOR4B/RPLL_C_fb | I/O | 1 | RPLL_C_fb | Comp_of_IOR4A | NONE | | 20 | 20 | |
| IOR5A/GCLKT_2/RPLL_T_in | I/O | 1 | GCLKT_2/RPLL_T_in | True_of_IOR5B | NONE | D3 | 19 | 19 | 33 |
| IOR5B/GCLKC_2/RPLL_C_in | I/O | 1 | GCLKC_2/RPLL_C_in | Comp_of_IOR5A | NONE | | 18 | 18 | 32 |
| IOR6A/MI/D7 | I/O | 1 | MI/D7 | True_of_IOR6B | NONE | | | | 31 |
| IOR6B/MO/D6 | I/O | 1 | MO/D6 | Comp_of_IOR6A | NONE | | | | 14 |
| IOR6C/MCS_N/D5 | I/O | 1 | MCS_N/D5 | True_of_IOR6D | NONE | | | | 30 |
| IOR6D/MCLK/D4 | I/O | 1 | MCLK/D4 | Comp_of_IOR6C | NONE | | | | 15 |
| IOR6E/FASTRD_N/D3 | I/O | 1 | FASTRD_N/D3 | True_of_IOR6F | NONE | | | | 29 |
| IOR6F | I/O | 1 | | Comp_of_IOR6E | NONE | | | | 16 |
| IOR6G | I/O | 1 | | True_of_IOR6H | NONE | | | | 17 |
| IOR6H | I/O | 1 | | Comp_of_IOR6G | NONE | | | | 18 |
| IOR6I/DIN/CLKHOLD_N | I/O | 1 | DIN/CLKHOLD_N | True_of_IOR6J | NONE | | | | 28 |
| IOR6J/DOOUT/WE_N | I/O | 1 | DOOUT/WE_N | Comp_of_IOR6I | NONE | | | | 19 |
| IOR7A/GCLKT_3/SSPI_CS_N/D0 | I/O | 1 | GCLKT_3/SSPI_CS_N/D0 | True_of_IOR7B | NONE | D1 | 17 | 17 | 27 |
| IOR7B/GCLKC_3 | I/O | 1 | GCLKC_3 | Comp_of_IOR7A | NONE | | | | 21 |
| IOR8A/SO/D1 | I/O | 1 | SO/D1 | True_of_IOR8B | NONE | D2 | | | 24 |
| IOR8B | I/O | 1 | | Comp_of_IOR8A | NONE | | 14 | 14 | 23 |
| IOR9A/SI/D2 | I/O | 1 | SI/D2 | True_of_IOR9B | NONE | C1 | 15 | 15 | 22 |
| IOR9B | I/O | 1 | | Comp_of_IOR9A | NONE | | 16 | 16 | |
| IOT10A/GCLKT_0 | I/O | 0 | GCLKT_0 | True_of_IOT10B | NONE | | 32 | 32 | 47 |
| IOT10B/GCLKC_0 | I/O | 0 | GCLKC_0 | Comp_of_IOT10A | NONE | | 31 | 31 | 8 |
| IOT11A/GCLKT_1 | I/O | 0 | GCLKT_1 | True_of_IOT11B | NONE | | 30 | 30 | |
| IOT11B/GCLKC_1 | I/O | 0 | GCLKC_1 | Comp_of_IOT11A | NONE | | 29 | 29 | |
| IOT12A/DONE | I/O | 0 | DONE | True_of_IOT12B | NONE | | 28 | 28 | 46 |
| IOT12B/READY | I/O | 0 | READY | Comp_of_IOT12A | NONE | | 27 | 27 | 45 |
| IOT13A/JTAGSEL_N | I/O | 0 | JTAGSEL_N | True_of_IOT13B | NONE | | 26 | 26 | 44 |

| 管脚名 | 功能 | BANK | 配置功能 | 差分Pair | LVDS | CS16 | FN32 | FN32F | QN48 |
|-------------------------|--------|------|-------------------|----------------|------|------|------|-------|------|
| IOT13B | I/O | 0 | | Comp_of_IOT13A | NONE | | | | |
| IOT14A/MODE0 | I/O | 0 | MODE0 | True_of_IOT14B | NONE | B3 | | | 43 |
| IOT14B/MODE1 | I/O | 0 | MODE1 | Comp_of_IOT14A | NONE | | | | 42 |
| IOT15A/MODE2 | I/O | 0 | MODE2 | True_of_IOT15B | NONE | | | | |
| IOT15B | I/O | 0 | | Comp_of_IOT15A | NONE | A2 | 25 | 25 | 41 |
| IOT16A | I/O | 0 | | True_of_IOT16B | NONE | | | | 40 |
| IOT16B | I/O | 0 | | Comp_of_IOT16A | NONE | | | | 39 |
| IOT17A | I/O | 0 | | True_of_IOT17B | NONE | | | | 38 |
| IOT17B | I/O | 0 | | Comp_of_IOT17A | NONE | | | | 35 |
| IOT7A/TMS/SPMI_SDATA | I/O | 0 | TMS/SPMI_SDATA | True_of_IOT7B | NONE | C4 | 7 | 7 | 4 |
| IOT7B/TCK/SPMI_EN/VCCEN | I/O | 0 | TCK/SPMI_EN/VCCEN | Comp_of_IOT7A | NONE | B4 | 6 | 6 | 3 |
| IOT8A/TDI/SPMI_SCLK | I/O | 0 | TDI/SPMI_SCLK | True_of_IOT8B | NONE | A4 | 3 | 3 | 5 |
| IOT8B/TDO | I/O | 0 | TDO | Comp_of_IOT8A | NONE | A3 | 1 | 1 | 7 |
| IOT9A/SCLK/SPMI_CLK | I/O | 0 | SCLK/SPMI_CLK | True_of_IOT9B | NONE | B1 | | | 6 |
| IOT9B/RECONFIG_N | I/O | 0 | RECONFIG_N | Comp_of_IOT9A | NONE | | 2 | 2 | 48 |
| VCC | Power | N/A | | | | D4 | 9 | 9 | 12 |
| VCC | Power | N/A | | | | | | | 37 |
| VCCO0 | Power | N/A | | | | B2 | 5 | 5 | 1 |
| VCCO1 | Power | N/A | | | | C3 | 13 | 13 | 25 |
| VCCX | Power | N/A | | | | A1 | 4 | 4 | 36 |
| VSS | Ground | N/A | | | | C2 | 10 | 8 | 2 |
| VSS | Ground | N/A | | | | | 8 | 10 | 26 |

注!

建议把VCCX和电压最高的VCCO接在一起使用。

GW1NZ-1 CS16/FN32/FN32F封装电源供电要求

| 名称 | 描述 | 最小值 | 最大值 |
|-------------|------------|-------|--------|
| VCC | LV版本核电压 | 1.14V | 1.26V |
| | ZV版本核电压 | 0.88V | 1V |
| VCCO0、VCCO1 | I/O Bank电压 | 1.14V | 3.465V |
| VCCX | 辅助电压 | 1.71V | 3.465V |

GW1NZ-1 QN48封装电源供电要求

| 名称 | 描述 | 最小值 | 最大值 |
|-------------|------------|-------|--------|
| VCC | LV版本核电压 | 1.14V | 1.26V |
| | ZV版本核电压 | 0.88V | 1V |
| VCCO0、VCCO1 | I/O Bank电压 | 1.14V | 3.465V |
| VCCX | 辅助电压 | 1.71V | 3.465V |