GOWIN高云

智慧逻辑 定制未来

GW1NZ 系列 FPGA 产品

封装与管脚手册

UG843-1.8.6, 2025-03-28

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云，Gowin，小蜜蜂，LittleBee，高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/10/22	1.0	初始版本。
2019/01/10	1.1	更新 2.6 IO BANK 说明。
2019/04/03	1.2	● 更新 I/O BANK 整体示意图； ● 更新 CS16 封装尺寸图。
2019/08/23	1.3	统一 CS16 封装尺寸图。
2019/12/10	1.4	新增 QN48 封装信息。
2020/06/30	1.5	增加 FN32F 封装信息。
2020/12/18	1.6	新增 GW1NZ-2 器件，支持 CS42,MG132X, LQ100X,LQ144X 封装。
2020/01/20	1.6.1	新增 GW1NZ-2 器件 QN48 和 QN48M 封装。
2021/02/26	1.7	删除 GW1NZ-2 器件信息。
2021/11/25	1.7.1	修改 QN48 封装信息。
2023/08/18	1.8	● 统一封装尺寸图中的单位为毫米。 ● 新增 GW1NZ-2 器件 QN48 和 CS100H 封装信息。 ● 第 4 章“封装尺寸”新增推荐 PCB Layout。
2023/09/12	1.8.1	新增 GW1NZ-1 器件 FN24 和 CG25 封装信息。
2023/11/30	1.8.2	● 新增 GW1NZ-2 器件 CS42 封装信息。 ● 更新“表 2-4 GW1NZ-2 器件管脚数目列表”中 CS100H 封装的管脚数目。
2024/02/02	1.8.3	● 优化“2.5 I/O BANK 说明”的描述。 ● 更新“表 2-1 封装和最大用户 I/O 信息、LVDS 对数”中 CS42 封装的间距和尺寸信息。 ● 更新 GW1NZ-2 器件 CS42 封装的封装尺寸图和推荐 PCB Layout。
2024/11/15	1.8.4	● 更新“4.4 封装尺寸 CS42 (2.4mm x 2.9mm)”的“图 4-8 推荐 PCB Layout CS42”。 ● 更新“4.3 封装尺寸 CG25 (1.8mm x 1.8mm)”中的“图 4-5 封装尺寸 CG25”和“图 4-6 推荐 PCB Layout CG25”。
2025/02/28	1.8.5	新增 GW1NZ-2 器件 CG56 封装信息。
2025/03/28	1.8.6	● 更新“图 4-1 封装尺寸 CS100H”。 ● 更新“图 4-9 封装尺寸 CG56”。

目录

目录 i
图目录 iii
表目录 iv
1 关于本手册 1
1.1 手册内容 1
1.2 相关文档 1
1.3 术语、缩略语 1
1.4 技术支持与反馈 2
2 概述 3
2.1 无铅封装 3
2.2 封装和最大用户 I/O 信息 3
2.3 电源管脚 4
2.4 管脚数目 4
2.4.1 GW1NZ-1 器件管脚数目 4
2.4.2 GW1NZ-2 器件管脚数目 5
2.5 I/O BANK 说明 6
3 管脚分布示意图 7
3.1 GW1NZ-1 器件管脚分布示意图 7
3.1.1 CS16 管脚分布示意图 7
3.1.2 CG25 管脚分布示意图 8
3.1.3 FN24 管脚分布示意图 8
3.1.4 FN32 管脚分布示意图 9
3.1.5 FN32F 管脚分布示意图 10
3.1.6 QN48 管脚分布示意图 11
3.2 GW1NZ-2 器件管脚分布示意图 12
3.2.1 CS100H 管脚分布示意图 12
3.2.2 CS42 管脚分布示意图 13
3.2.3 CG56 管脚分布示意图 14

3.2.4 QN48 管脚分布示意图 15
4 封装尺寸 16
4.1 封装尺寸 CS100H (4mm x 4mm) 16
4.2 封装尺寸 CS16 (1.8mm x 1.8mm) 18
4.3 封装尺寸 CG25 (1.8mm x 1.8mm) 19
4.4 封装尺寸 CS42 (2.4mm x 2.9mm) 21
4.5 封装尺寸 CG56 (2.4mm x 2.9mm) 22
4.6 封装尺寸 FN24 (3mm x 3mm) 24
4.7 封装尺寸 FN32 (4mm x 4mm) 26
4.8 封装尺寸 FN32F (4mm x 4mm) 28
4.9 封装尺寸 QN48 (6mm x 6mm, GW1NZ-1/2) 30

图目录

图 3-1 GW1NZ-1 器件 CS16 封装管脚分布示意图（顶视图） 7
图 3-2 GW1NZ-1 器件 CG25 封装管脚分布示意图（顶视图） 8
图 3-3 GW1NZ-1 器件 FN24 封装管脚分布示意图（顶视图） 8
图 3-4 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图） 9
图 3-5 GW1NZ-1 器件 FN32F 封装管脚分布示意图（顶视图） 10
图 3-6 GW1NZ-1 器件 QN48 封装管脚分布示意图（顶视图） 11
图 3-7 GW1NZ-2 器件 CS100H 封装管脚分布示意图（顶视图） 12
图 3-8 GW1NZ-2 器件 CS42 封装管脚分布示意图（顶视图） 13
图 3-9 GW1NZ-2 器件 CG56 封装管脚分布示意图（顶视图） 14
图 3-10 GW1NZ-2 器件 QN48 封装管脚分布示意图（顶视图） 15
图 4-1 封装尺寸 CS100H 16
图 4-2 推荐 PCB Layout CS100H 17
图 4-3 封装尺寸 CS16 18
图 4-4 推荐 PCB Layout CS16 18
图 4-5 封装尺寸 CG25 19
图 4-6 推荐 PCB Layout CG25 20
图 4-7 封装尺寸 CS42 21
图 4-8 推荐 PCB Layout CS42 21
图 4-9 封装尺寸 CG56 22
图 4-10 推荐 PCB Layout CG56 23
图 4-11 封装尺寸 FN24 24
图 4-12 推荐 PCB Layout FN24 25
图 4-13 封装尺寸 FN32 26
图 4-14 推荐 PCB Layout FN32 27
图 4-15 封装尺寸 FN32F 28
图 4-16 推荐 PCB Layout FN32F 29
图 4-17 封装尺寸 QN48 30
图 4-18 推荐 PCB Layout QN48 31

表目录

表 1-1 术语、缩略语 1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数 3
表 2-2 GW1NZ 电源管脚 4
表 2-3 GW1NZ-1 器件管脚数目列表 4
表 2-4 GW1NZ-2 器件管脚数目列表 5
表 3-1 GW1NZ-1 器件 CS16 其他管脚 7
表 3-2 GW1NZ-1 器件 CG25 其他管脚 8
表 3-3 GW1NZ-1 器件 FN24 其他管脚 9
表 3-4 GW1NZ-1 器件 FN32 其他管脚 9
表 3-5 GW1NZ-1 器件 FN32F 其他管脚 10
表 3-6 GW1NZ-1 器件 QN48 其他管脚 11
表 3-7 GW1NZ-2 器件 CS100H 其他管脚 12
表 3-8 GW1NZ-2 器件 CS42 其他管脚 13
表 3-9 GW1NZ-2 器件 CG56 其他管脚 14
表 3-10 GW1NZ-2 器件 QN48 其他管脚 15

1 关于本手册

1.1 手册内容

GW1NZ 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NZ 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- DS841, GW1NZ 系列 FPGA 产品数据手册
- UG290, Gowin FPGA 产品编程配置手册
- UG843, GW1NZ 系列 FPGA 产品封装与管脚手册
- UG842, GW1NZ-1 器件 Pinout 手册
- UG847, GW1NZ-2 器件 Pinout 手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CG	WLCSP	WLCSP 封装
CS	WLCSP	WLCSP 封装
FN	QFN	QFN 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
QN	QFN	QFN 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2概述

高云半导体 GW1NZ 系列 FPGA 产品是高云半导体小蜜蜂 (LittleBee) 家族 FPGA 1 系列产品，具有零功耗、低成本、瞬时启动、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可广泛应用于工业控制、通信、消费类、视频监控等领域。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NZ 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

GW1NZ 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NZ 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NZ-1	GW1NZ-2
CG25	0.35	1.8 x 1.8	20	-
CG56	0.35	2.4 x 2.9	-	46 (14)
CS100H	0.4	4 x 4	-	79 (21)
CS16	0.4	1.8 x 1.8	11	-
CS42	0.4	2.4 x 2.9	-	35 (11)
FN24	0.4	3 x 3	18	-
FN32	0.4	4 x 4	25	-
FN32F	0.4	4 x 4	25	-
QN48	0.4	6 x 6	41	41 (12)

注！

- 本手册中 GW1NZ 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语。

- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO。

2.3 电源管脚

表 2-2 GW1NZ 电源管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCX
VCCPLL	VCCM	VCCD	VCCIOD

2.4 管脚数目

2.4.1 GW1NZ-1 器件管脚数目

表 2-3 GW1NZ-1 器件管脚数目列表

管脚类型		GW1NZ-1					
		CS16	CG25	FN24	FN32	FN32F	QN48
I/O 单端/差分对[1]	BANK0	7/2	8/2	6/1	12/5	12/5	17/8
	BANK1	4/0	12/6	12/6	13/5	13/5	23/11
最大用户 I/O 总数[2]		11	20	18	25	25	41
差分对		2	8	7	10	10	19
VCC		1	1	1	1	1	2
VCCX		1	1	1	1	1	1
VCCIO0		1	1	1	1	1	1
VCCIO1		1	1	1	1	1	1
VSS		1	1	2	2	2	2
MODE0		1	1	1	0	0	1
MODE1		0	0	0	0	0	1
MODE2		0	1	1	0	0	0
JTAGSEL_N		0	0	0	1	1	1

注！

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO。

2.4.2 GW1NZ-2 器件管脚数目

表 2-4 GW1NZ-2 器件管脚数目列表

管脚类型		GW1NZ-2			
		CS100H	QN48	CS42	CG56
I/O 单端/差分对[1]	BANK0	23/9/4	10/4/1	10/4/2	15/6/2
	BANK1	17/8/7	10/5/5	0/0/0	0/0/0
	BANK2	23/11/7	8/4/1	14/7/4	17/8/5
	BANK3	4/1/0	4/2/2	4/2/2	4/2/2
	BANK4	6/3/1	2/1/1	2/1/1	4/2/2
	BANK5	5/2/2	6/3/2	4/2/2	6/3/3
最大用户 I/O 总数[2]		79	41	35	47
差分对		34	19	16	21
VCC		0	0	1	2
VCC/VCCPLL		1	1	0	0
VCCX		1	0	1	0
VCCIO0		1	1	1	1
VCCIO1		1	1	0	0
VCCIO2		1	0	0	1
VCCIO3		1	0	0	0
VCCIO4		1	0	0	0
VCCIO5		1	0	0	0
VCCIO1/VCCIO2		0	0	1	0
VCCIO3/VCCIO4/VCCIO5		0	1	1	1
VCCX/VCCIO1		0	0	0	2
VCCX/VCCIO2		0	1	0	0
VCCD/VCCIOD		1	0	0	0
VSS		2	2	2	2
MODE0		1	1	1	1
MODE1		0	0	0	0
MODE2		1	0	0	0
JTAGSEL_N		1	1	1	1

注！

- [1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO。

2.5 I/O BANK 说明

GW1NZ-1 包括 2 个 I/O Bank。

GW1NZ-2 包括 6 个 I/O Bank。

详细的 Bank 分布示意图请参考 DS841, GW1NZ 系列 FPGA 产品数据手册 > 2.3 输入输出模块。

本手册列举了 GW1NZ 系列 FPGA 产品每种封装的管脚分布示意图，详细信息请参考 3 管脚分布示意图。GW1NZ 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW1NZ 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “ ” 表示 BANK0 中的 I/O。
- “ ” 表示 BANK1 中的 I/O。
- “ ” 表示 BANK2 中的 I/O。
- “ ” 表示 BANK3 中的 I/O。
- “ ” 表示 BANK4 中的 I/O。
- “ ” 表示 BANK5 中的 I/O。
- “ ” 表示 BANK6 中的 I/O 和 MIPI 中的 DIO。
- “ ” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “ ” 表示 VSS，填充颜色不变。
- “ ” 表示 NC。

3 管脚分布示意图

3.1 GW1NZ-1 器件管脚分布示意图

3.1.1 CS16 管脚分布示意图

图 3-1 GW1NZ-1 器件 CS16 封装管脚分布示意图（顶视图）

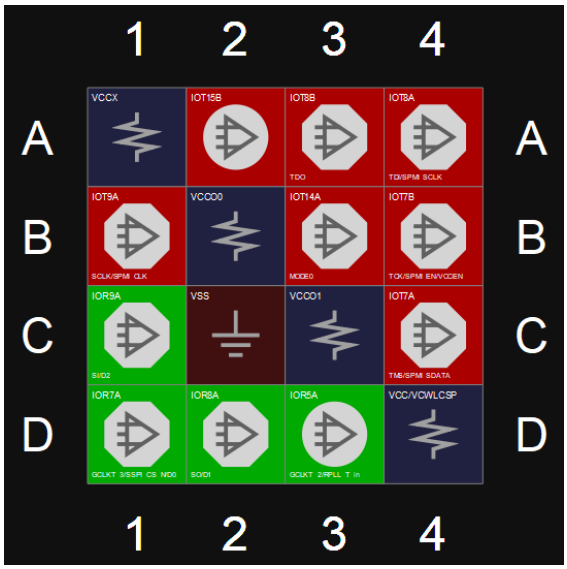


表 3-1 GW1NZ-1 器件 CS16 其他管脚

VCCIO0	B2
VCCIO1	C3
VCC	D4
VCCX	A1
VSS	C2

3.1.2 CG25 管脚分布示意图

图 3-2 GW1NZ-1 器件 CG25 封装管脚分布示意图（顶视图）

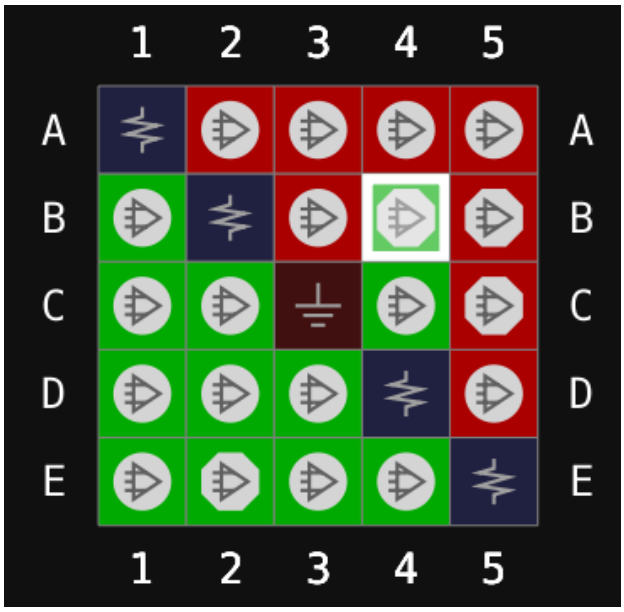


表 3-2 GW1NZ-1 器件 CG25 其他管脚

VCC	E5
VCCIO0	D4
VCCIO1	B2
VCCX	A1
VSS	C3

3.1.3 FN24 管脚分布示意图

图 3-3 GW1NZ-1 器件 FN24 封装管脚分布示意图（顶视图）

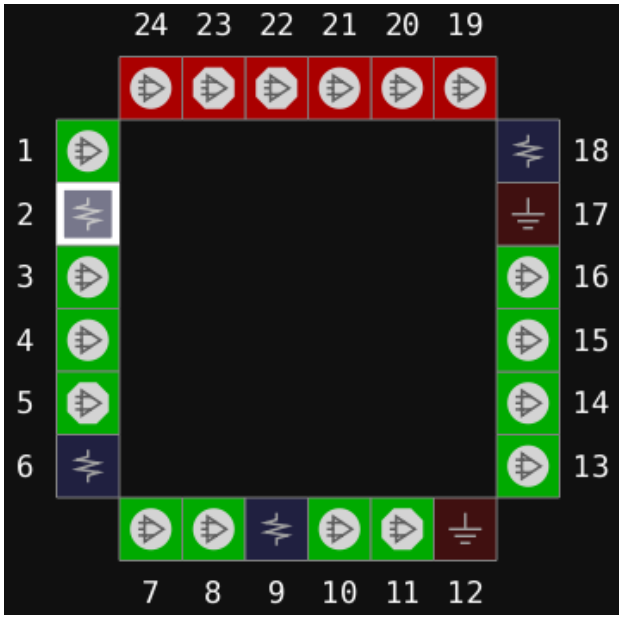


表 3-3 GW1NZ-1 器件 FN24 其他管脚

VCC	6
VCCIO0	18
VCCIO1	9
VCCX	2
VSS	12,17

3.1.4 FN32 管脚分布示意图

图 3-4 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图）

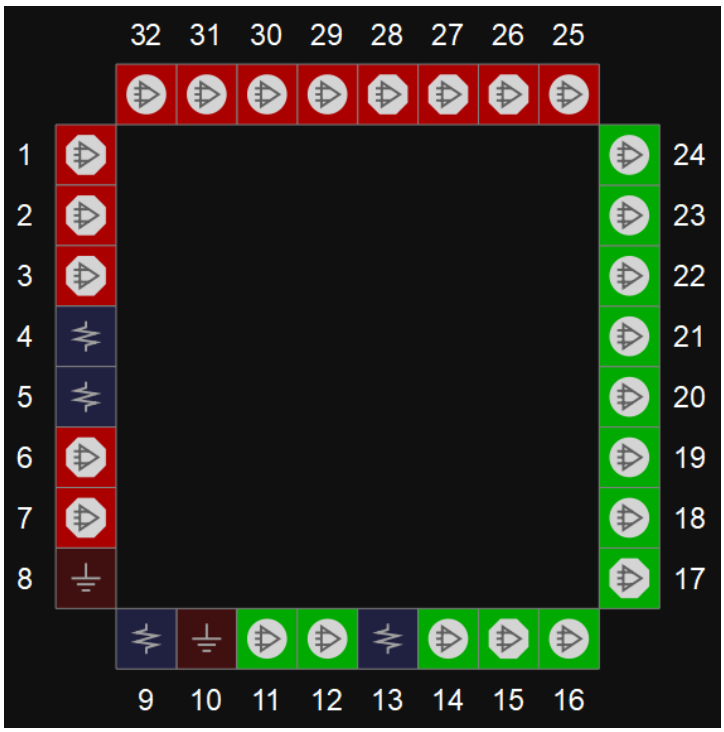


表 3-4 GW1NZ-1 器件 FN32 其他管脚

VCCIO0	5
VCCIO1	13
VCC	9
VCCX	4
VSS	8,10

3.1.5 FN32F 管脚分布示意图

图 3-5 GW1NZ-1 器件 FN32F 封装管脚分布示意图（顶视图）

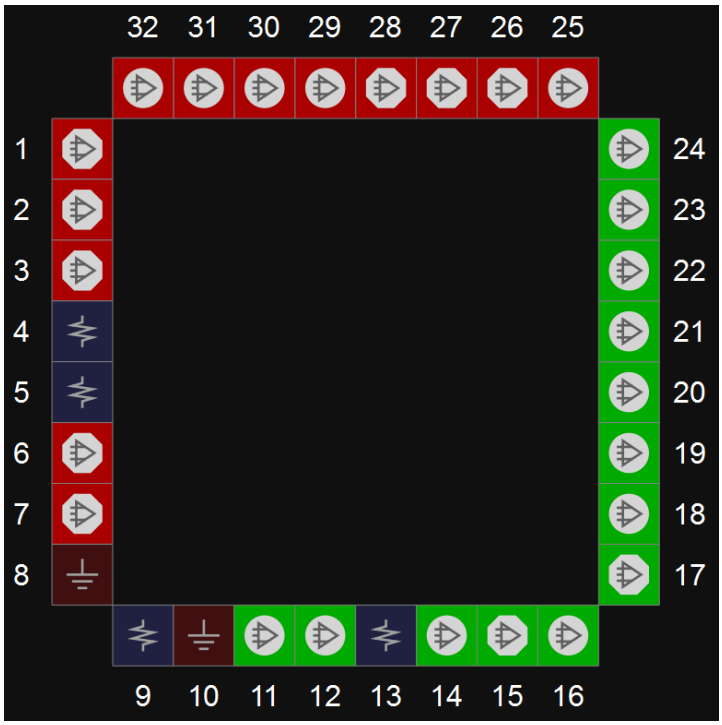


表 3-5 GW1NZ-1 器件 FN32F 其他管脚

VCCIO0	5
VCCIO1	13
VCC	9
VCCX	4
VSS	8,10

3.1.6 QN48 管脚分布示意图

图 3-6 GW1NZ-1 器件 QN48 封装管脚分布示意图（顶视图）

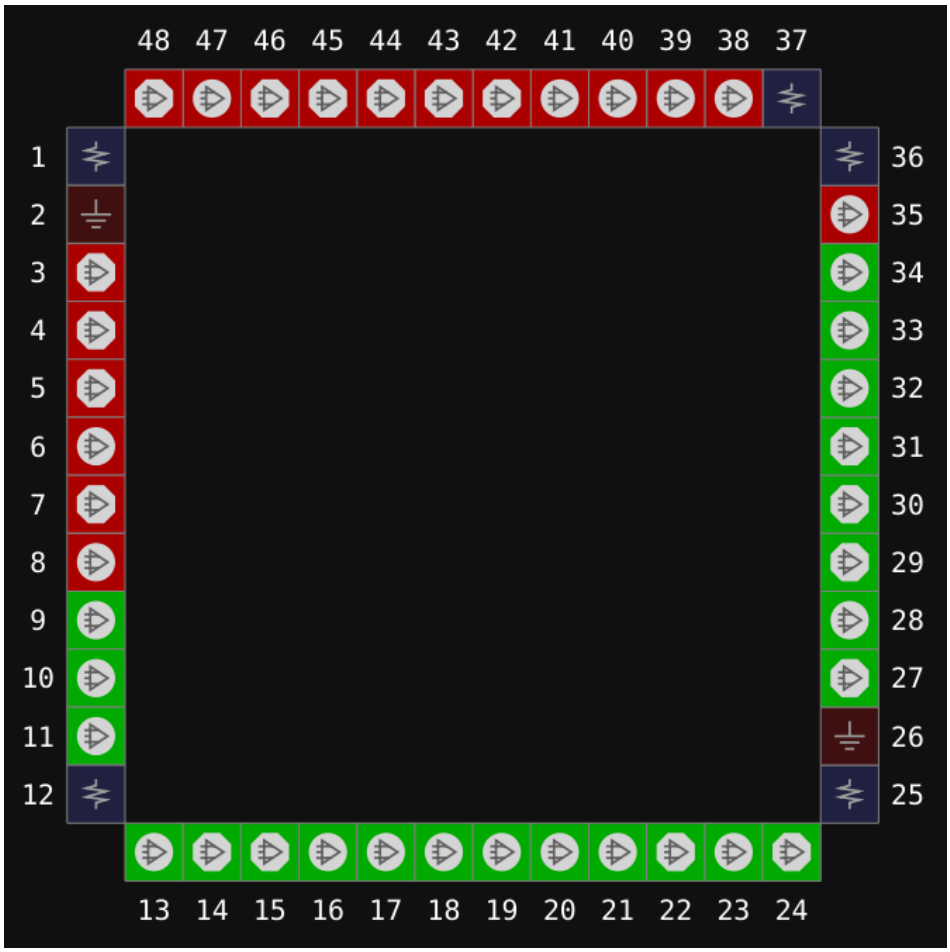


表 3-6 GW1NZ-1 器件 QN48 其他管脚

VCC	12,37
VCCIO0	1
VCCIO1	25
VCCX	36
VSS	2,26

3.2 GW1NZ-2 器件管脚分布示意图

3.2.1 CS100H 管脚分布示意图

图 3-7 GW1NZ-2 器件 CS100H 封装管脚分布示意图（顶视图）

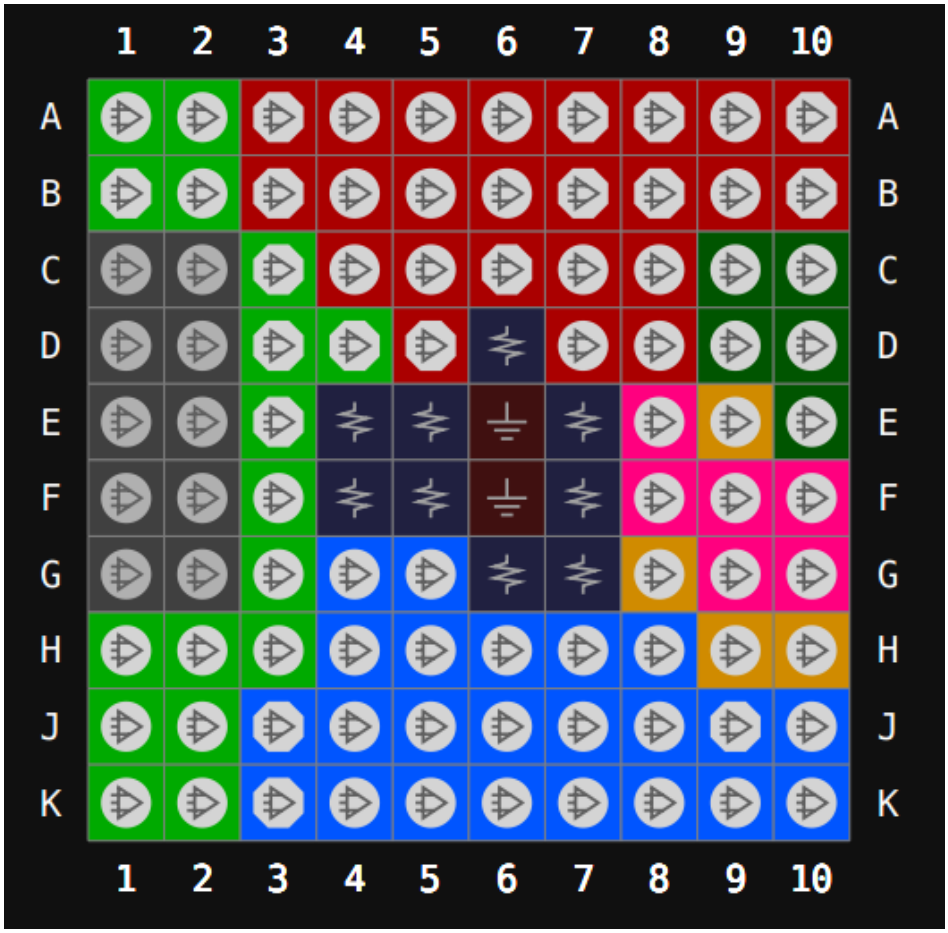


表 3-7 GW1NZ-2 器件 CS100H 其他管脚

VCCIO0	D6
VCCIO1	E4
VCCIO2	G6
VCCIO3	G7
VCCIO4	F7
VCCIO5	E7
VCC/VCCPLL	E5
VCCD/VCCIOD	F4
VCCX	F5
VSS	E6,F6

3.2.2 CS42 管脚分布示意图

图 3-8 GW1NZ-2 器件 CS42 封装管脚分布示意图（顶视图）

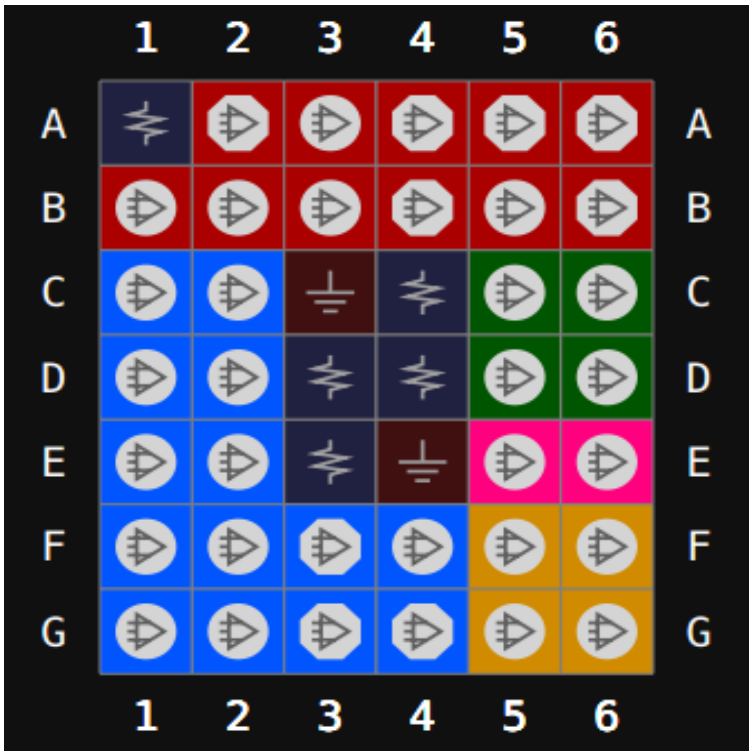


表 3-8 GW1NZ-2 器件 CS42 其他管脚

VCCIO0	A1
VCCIO1/VCCIO2	D3
VCCIO3/VCCIO4/VCCIO5	C4
VCC	D4
VCCX	E3
VSS	E4,C3

3.2.3 CG56 管脚分布示意图

图 3-9 GW1NZ-2 器件 CG56 封装管脚分布示意图（顶视图）

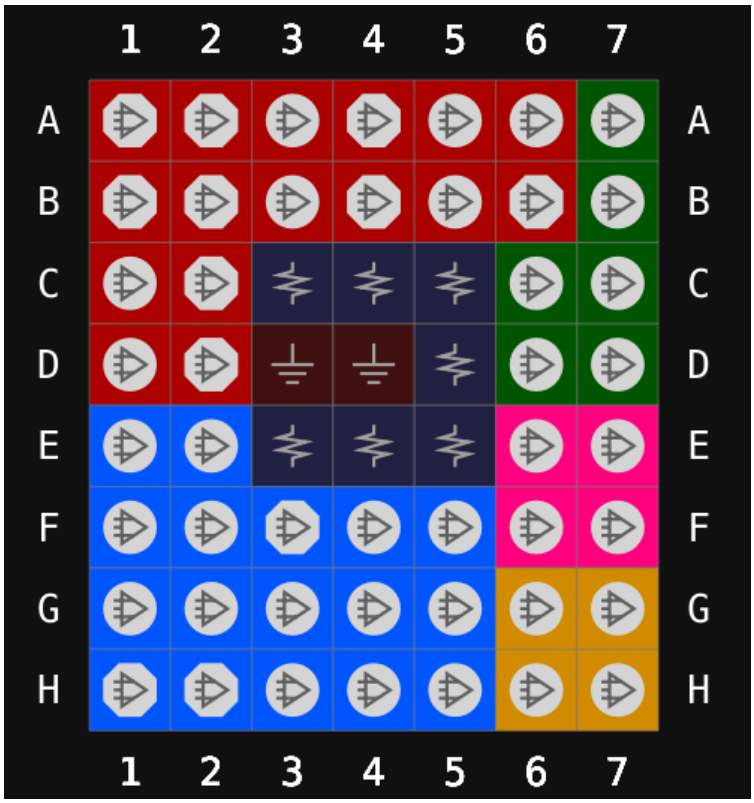


表 3-9 GW1NZ-2 器件 CG56 其他管脚

VCCIO0	C4
VCCIO1	E4
VCCIO3/VCCIO4/VCCIO5	D5
VCC	E5,C3
VCCX/VCCIO1	C5,E3
VSS	D4,D3

3.2.4 QN48 管脚分布示意图

图 3-10 GW1NZ-2 器件 QN48 封装管脚分布示意图（顶视图）

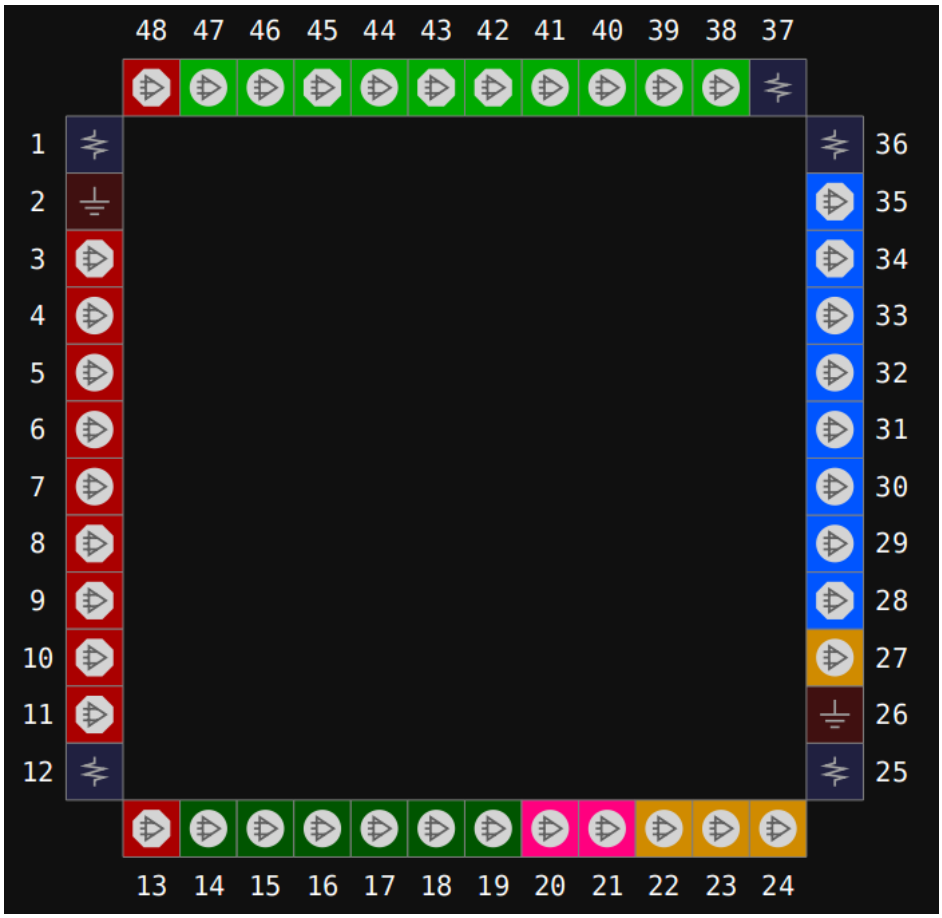


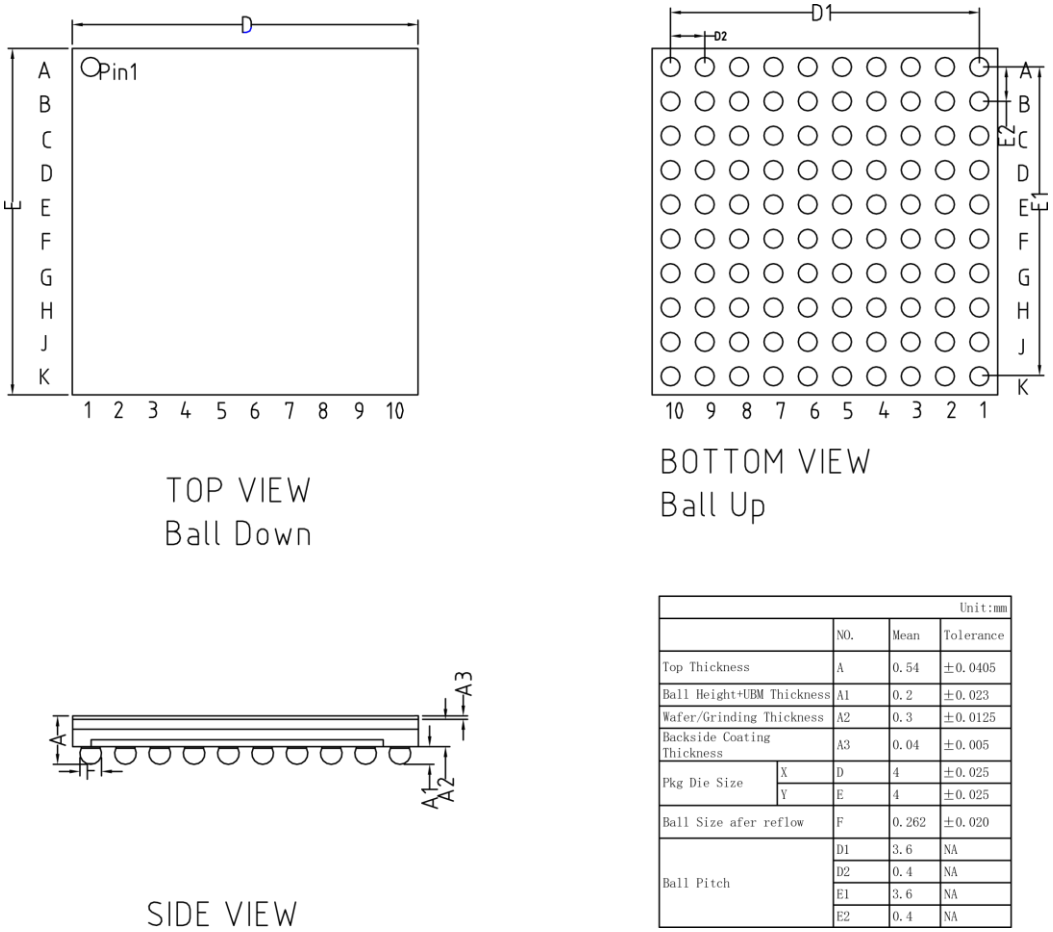
表 3-10 GW1NZ-2 器件 QN48 其他管脚

VCCIO0	1
VCCIO1	37
VCCIO3/VCCIO4/VCCIO5	25
VCC/VCCPLL	12
VCCX/VCCIO2	36
VSS	26,2

4封装尺寸

4.1 封装尺寸 CS100H (4mm x 4mm)

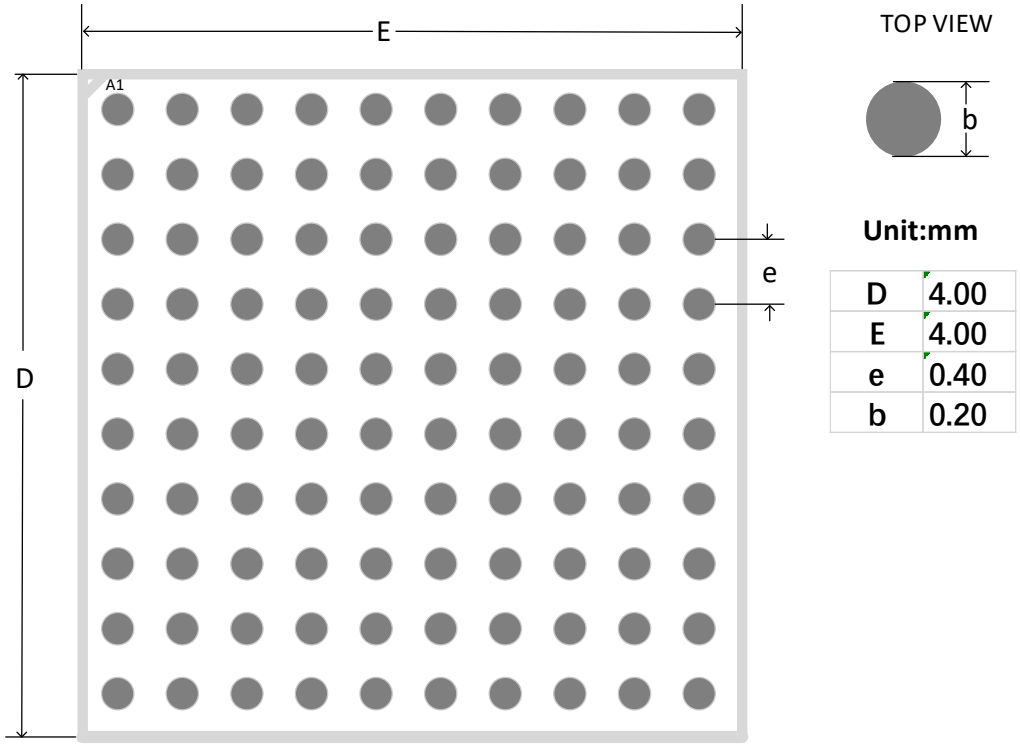
图 4-1 封装尺寸 CS100H



Unit:mm

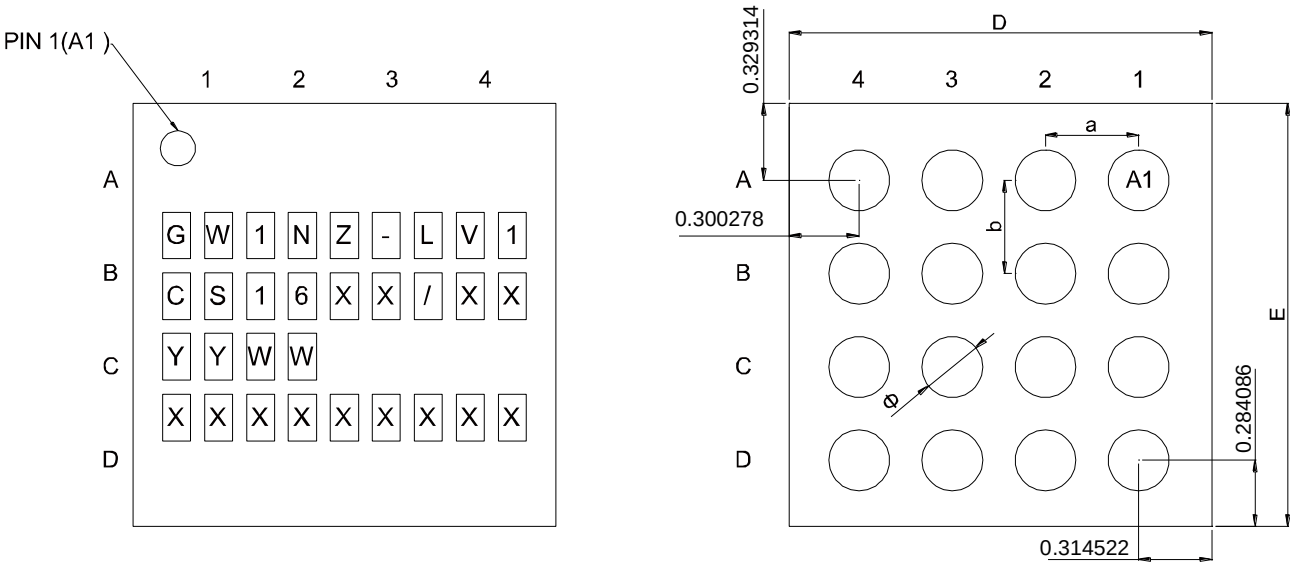
		NO.	Mean	Tolerance
Top Thickness		A	0.54	±0.0405
Ball Height+UBM Thickness		A1	0.2	±0.023
Wafer/Grinding Thickness		A2	0.3	±0.0125
Backside Coating Thickness		A3	0.04	±0.005
Pkg Die Size	X	D	4	±0.025
	Y	E	4	±0.025
Ball Size afer reflow		F	0.262	±0.020
Ball Pitch		D1	3.6	NA
		D2	0.4	NA
		E1	3.6	NA
		E2	0.4	NA

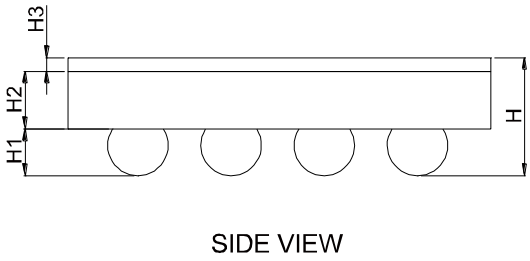
图 4-2 推荐 PCB Layout CS100H



4.2 封装尺寸 CS16 (1.8mm x 1.8mm)

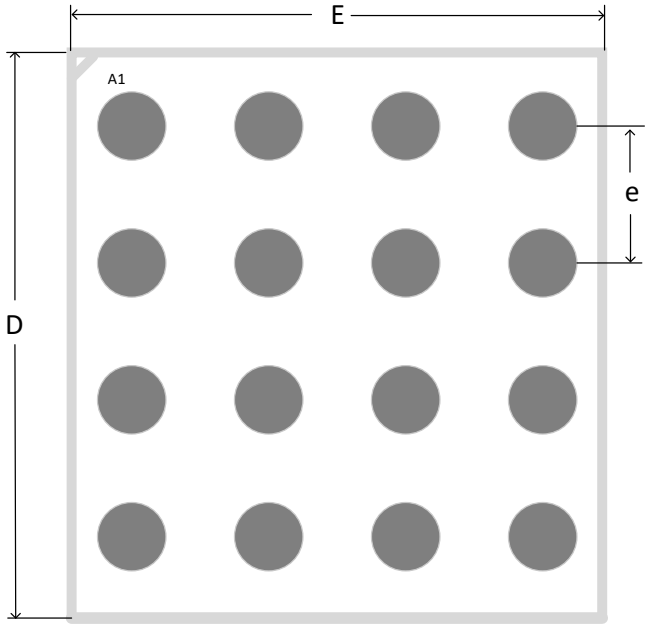
图 4-3 封装尺寸 CS16



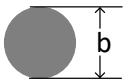


SYMBOL	ITEM	DATA(mm)
D0*E0	PACKAGE SIZE X*Y	1.8148*1.8134±0.025
Φ	BALL DIAMETER	0.26±0.03
a/b	BALL PITCH X/Y	0.4/0.4
N	BALL COUNT	16
H	PACKAGE HEIGHT	0.54±0.05
H1	BALL HEIGHT	0.2±0.025
H2	SI THICKNESS+PI	0.315±0.015
H3	BACK COATING	0.025±0.01

图 4-4 推荐 PCB Layout CS16



TOP VIEW

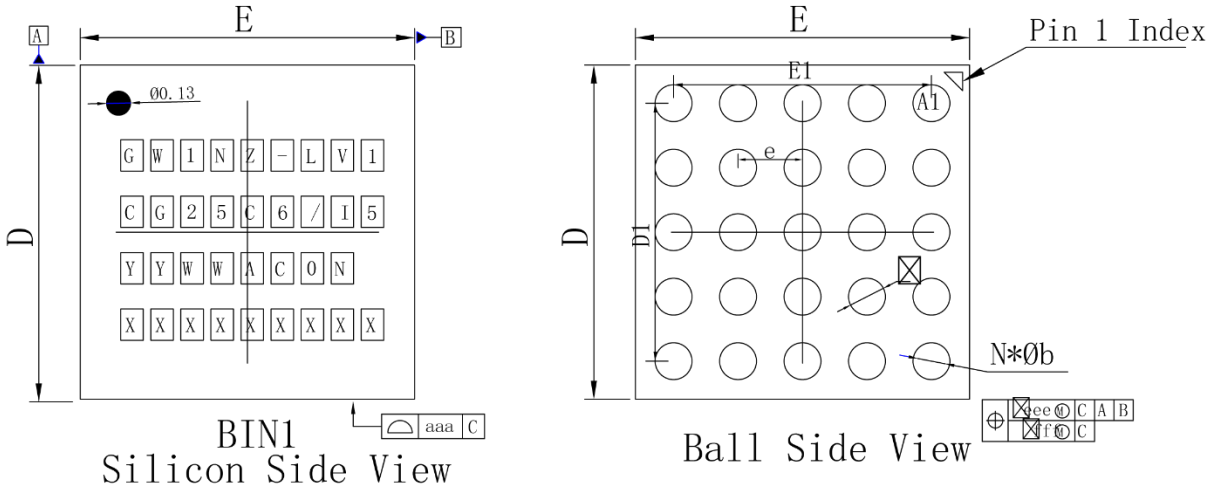


Unit:mm

D	1.81
E	1.82
e	0.40
b	0.20

4.3 封装尺寸 CG25 (1.8mm x 1.8mm)

图 4-5 封装尺寸 CG25



ITEM	SYMBOL	COMMON DIMENSIONS
TOTAL THICKNESS	A	552 ±43.5um
SOLDER BALL HEIGHT	A1	168 ±20um
PI+RDL+UBM THICKNESS	A2	29 ±8.5um
SI THICKNESS	A3	355 ±15um
PACKAGE SIZE	D*E	1798.4*1799.8±50um
BALL DIAMETER BEFORE REFLOW	Ø b	200 ±20um
BALL DIAMETER AFTER REFLOW	Ø	206 ±20um
UBM PAD OPENING		160um
BALL PITCH	e	350um
BALL COUNT	N	25ea
EDGE BALL CENTER TO CENTER	D1	1400um
	E1	1400um
PACKAGE EDGE TOLERANCE	aaa	0.10
EMC FLATNESS	bbb	0.10
COPLANARITY	ddd	0.08
BALL OFFSET (PACKAGE)	eee	0.15
BALL OFFSET (BALL)	fff	0.05
SOLDER BALL MATERIAL		SAC305 , 96.5%Sn, 3% Ag, 0.5%Cu

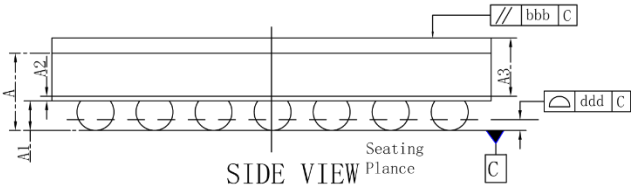
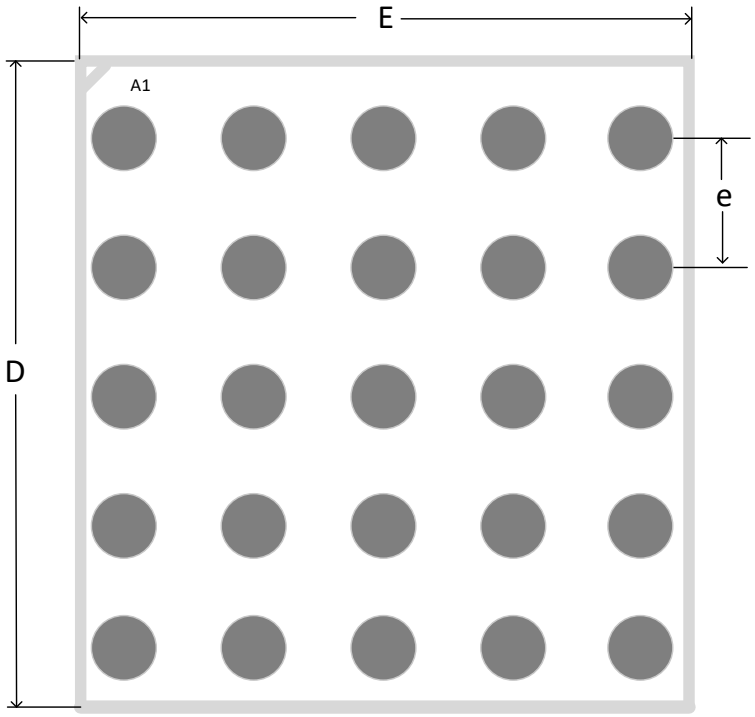
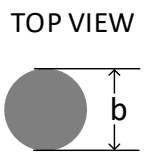


图 4-6 推荐 PCB Layout CG25



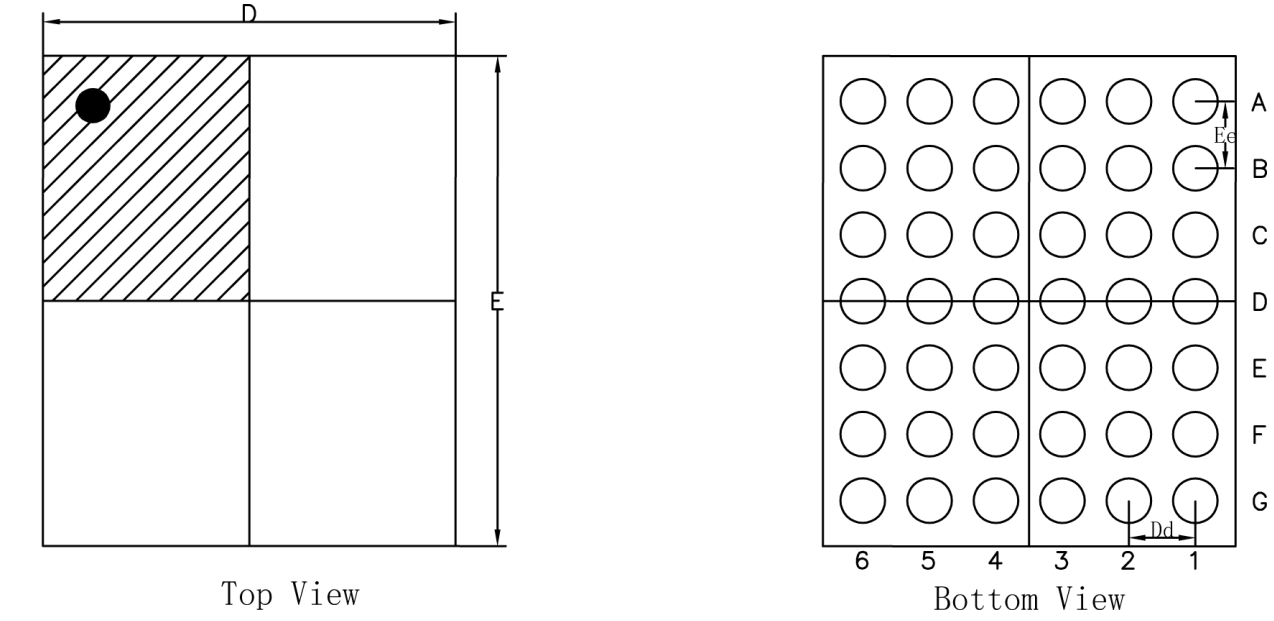


Unit:mm

D	1.789
E	1.799
e	0.35
b	0.15

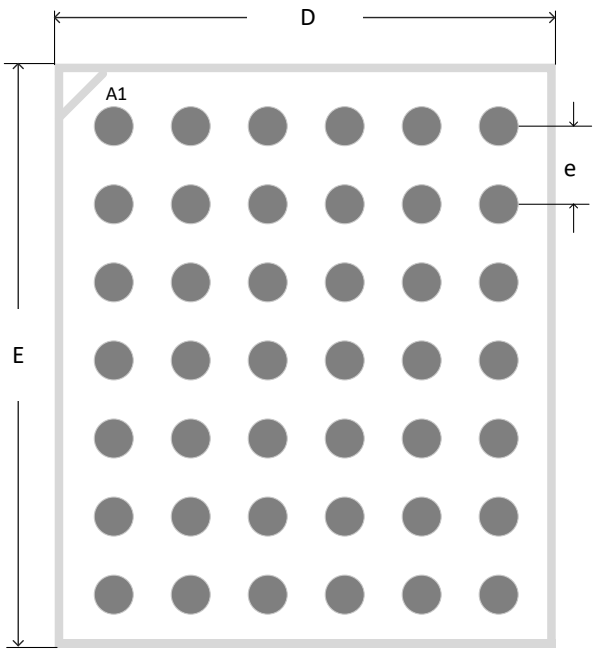
4.4 封装尺寸 CS42 (2.4mm x 2.9mm)

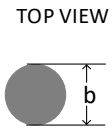
图 4-7 封装尺寸 CS42



POD			
参数	尺寸（mm）		
	Min.	Typ.	Max.
D	2.4716	2.4866	2.5016
E	2.936	2.951	2.966
A	0.5095	0.542	0.5745
A1	0.214	0.194	0.174
A2		0.040	
Ee		0.400	
Dd		0.400	

图 4-8 推荐 PCB Layout CS42



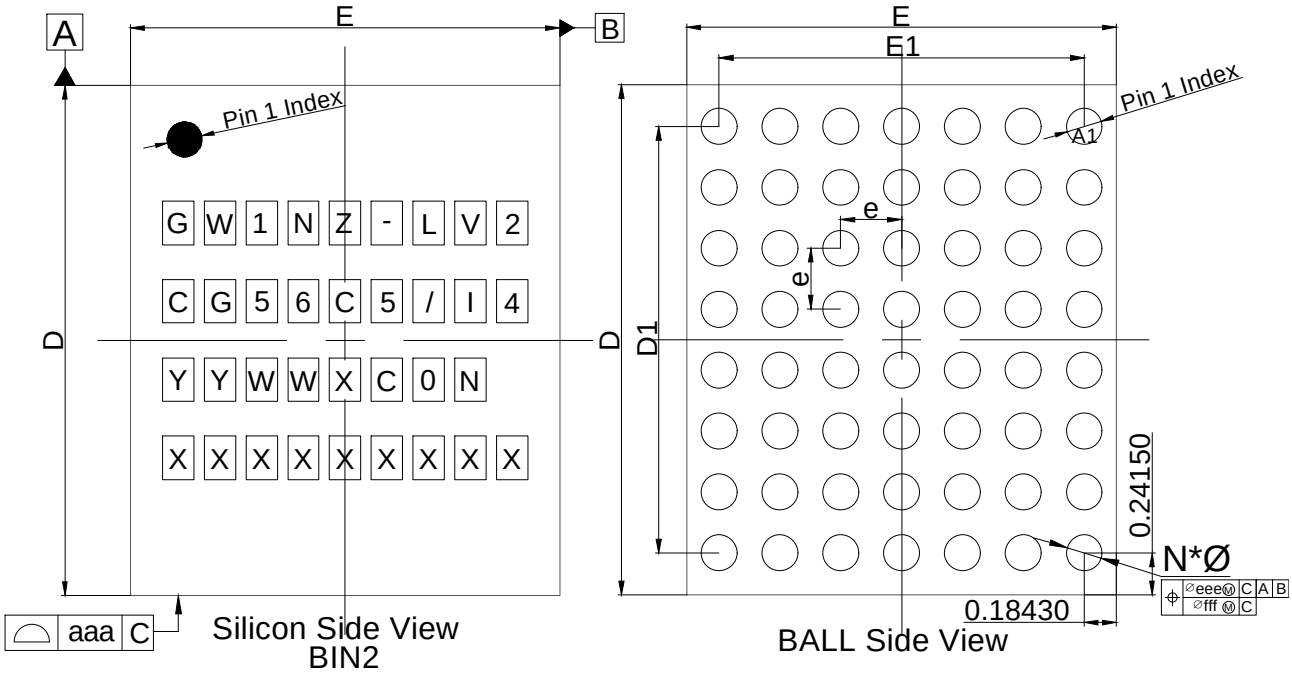


Unit:mm

D	2.49
E	2.95
e	0.40
b	0.20

4.5 封装尺寸 CG56 (2.4mm x 2.9mm)

图 4-9 封装尺寸 CG56



ITEM	SYMBOL	COMMON DIMENSIONS
TOTAL THICKNESS	A	522±56um
SOLDER BALL HEIGHT	A1	168±20um
PI+RDL+UBM THICKNESS	A2	29±11um
Si+BackSide Coating THICKNESS	A3	325±25um
PACKAGE SIZE	E*D	2468.6*2933±50um
BALL DIAMETER BEFORE REFLOW	Øb	200±20um
BALL DIAMETER AFTER REFLOW	Ø	206±20um
UBM PAD OPENING		160um
BALL PITCH	e	350um
BALL COUNT	N	56ea
EDGE BALL CENTER TO CENTER	E1	2100um
	D1	2450um
PACKAGE EDGE TOLERANCE	aaa	0.10
EMC FLATNESS	bbb	0.10
COPLANARITY	ddd	0.08
BALL OFFSET (PACKAGE)	eee	0.15
BALL OFFSET (BALL)	fff	0.05
SOLDER BALL MATERIAL		SAC305 ,96.5%Sn,3%Ag,0.5%Cu

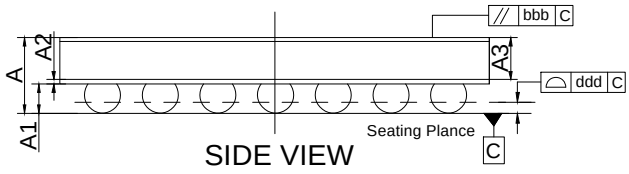
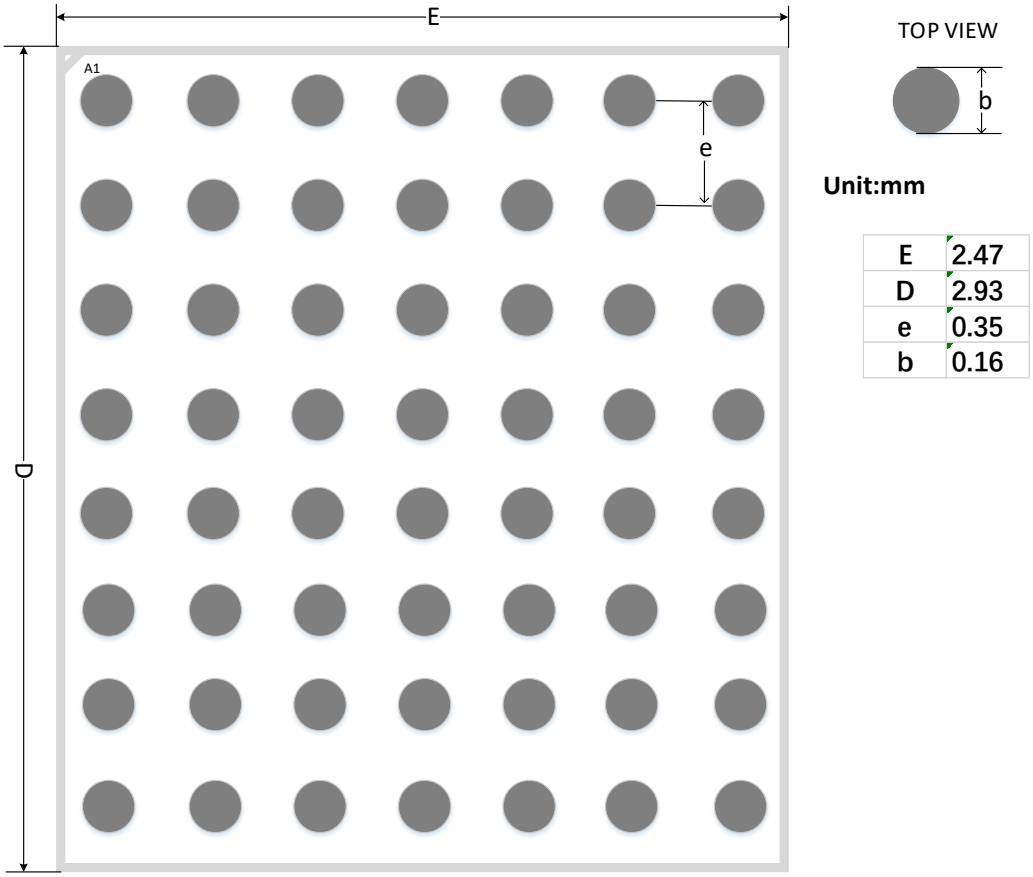
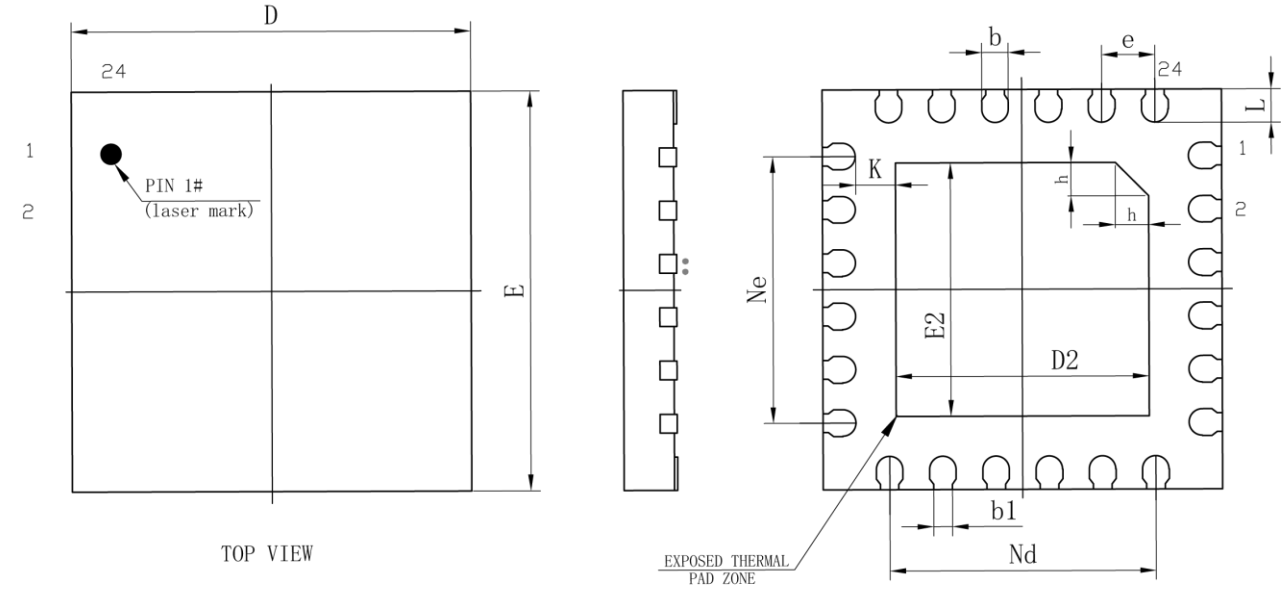


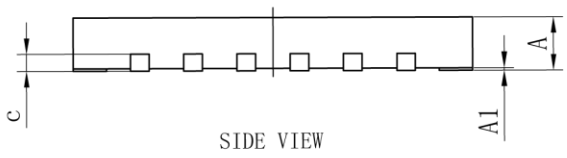
图 4-10 推荐 PCB Layout CG56



4.6 封装尺寸 FN24 (3mm x 3mm)

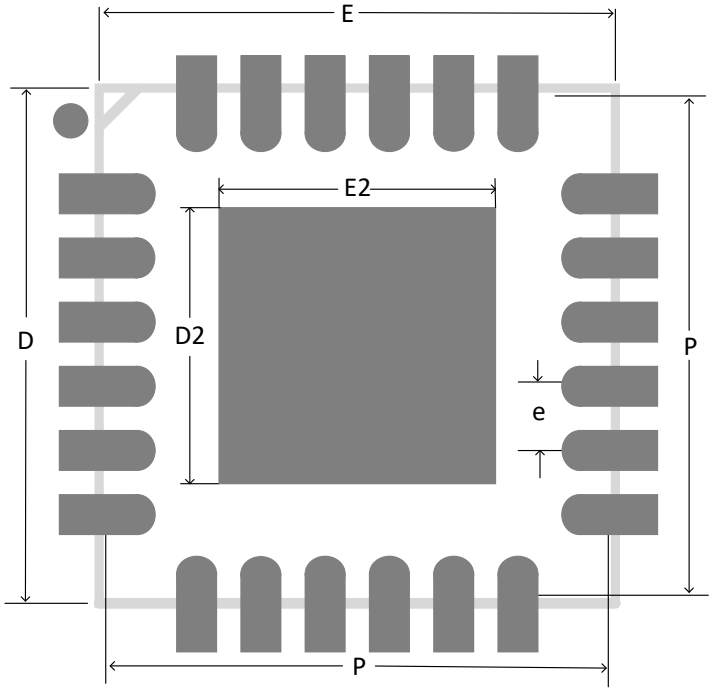
图 4-11 封装尺寸 FN24

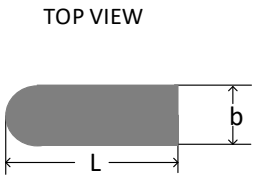




SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.35	–	0.40
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.127REF		
D	2.90	3.00	3.10
D2	1.80	1.90	2.00
e	0.40BSC		
Ne	2.00BSC		
Nd	2.00BSC		
E	2.90	3.00	3.10
E2	1.80	1.90	2.00
L	0.20	0.25	0.30
h	0.20	0.25	0.30
K	0.25	0.30	0.35

图 4-12 推荐 PCB Layout FN24



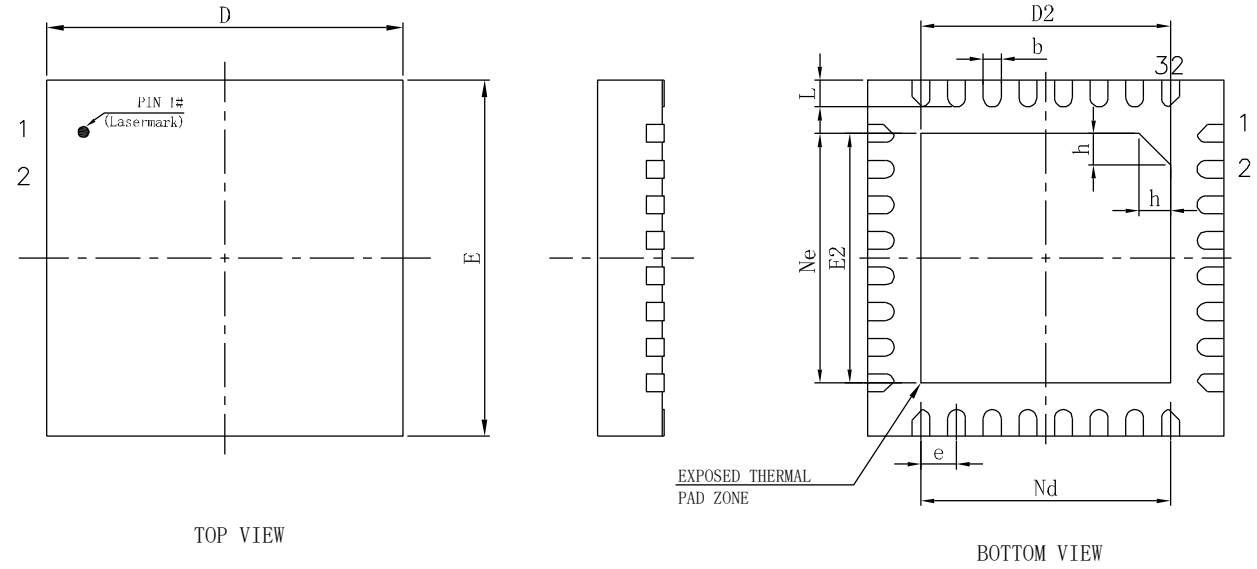


Unit:mm

D	3.00
E	3.00
D2	1.30
E2	1.30
P	3.10
e	0.40
L	0.65
b	0.20

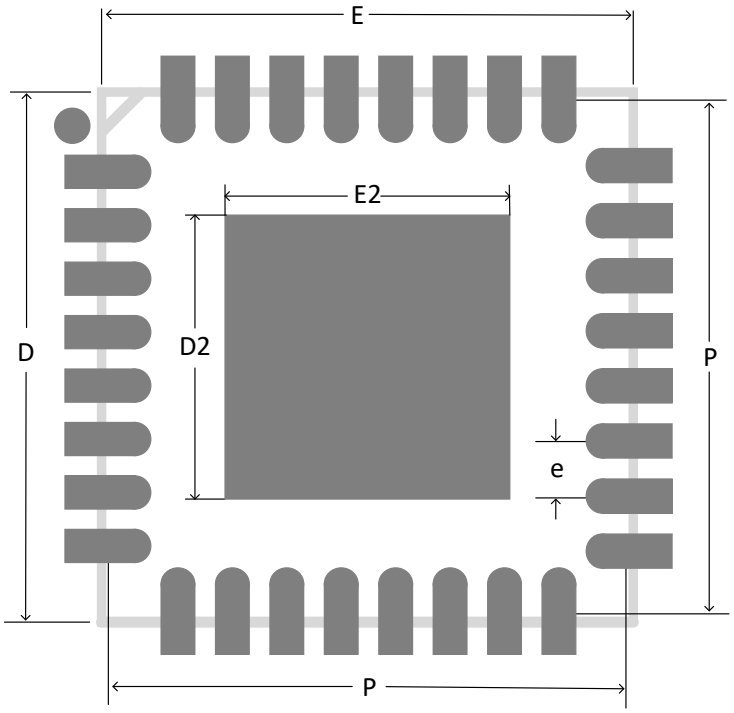
4.7 封装尺寸 FN32 (4mm x 4mm)

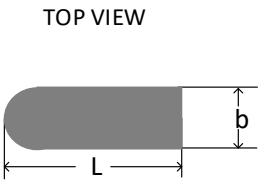
图 4-13 封装尺寸 FN32



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40

图 4-14 推荐 PCB Layout FN32



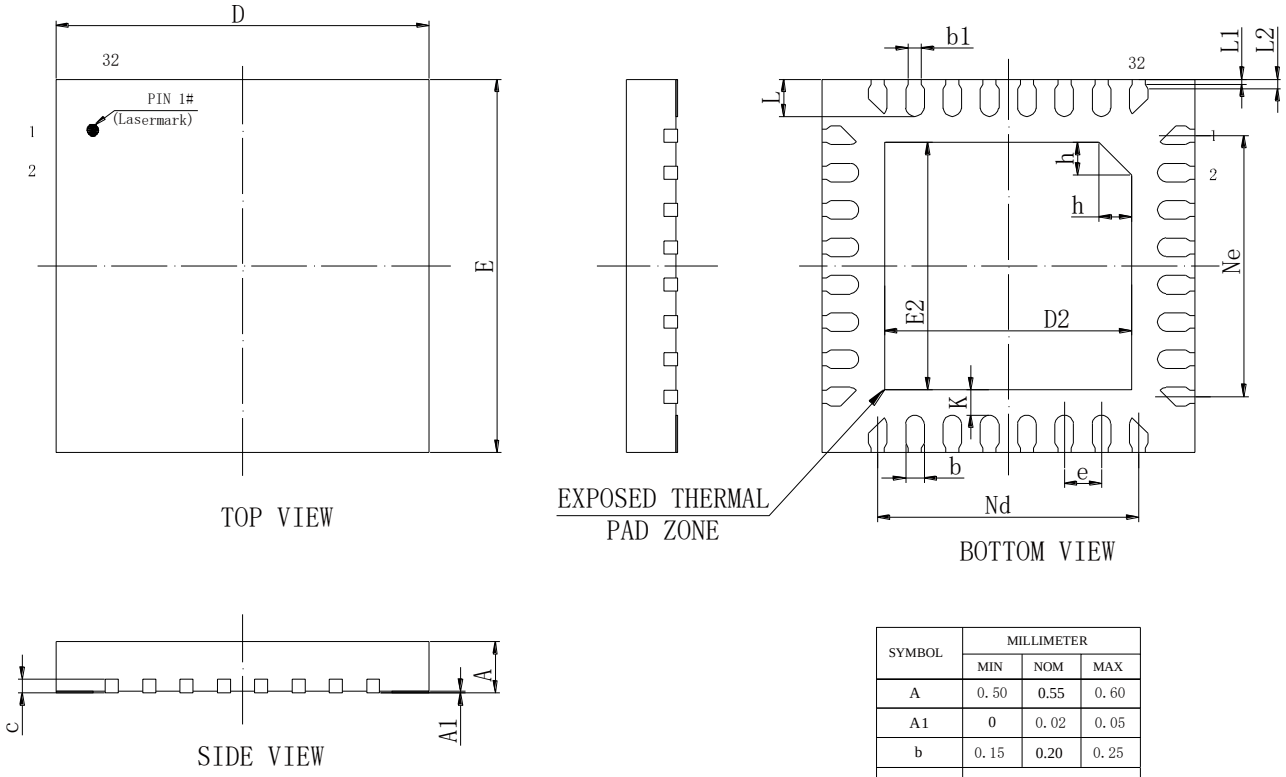


Unit:mm

D	4.00
E	4.00
D2	1.83
E2	1.83
P	4.10
e	0.40
L	0.70
b	0.20

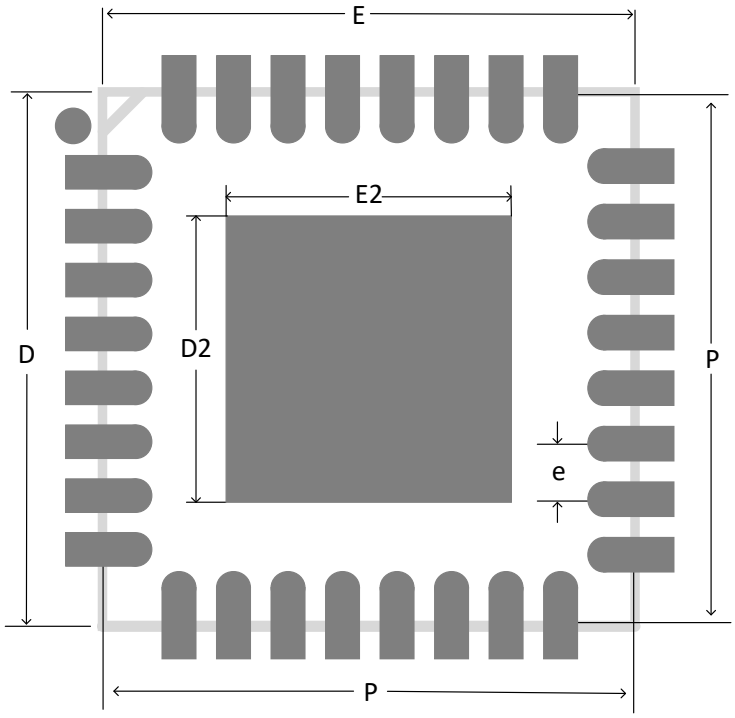
4.8 封装尺寸 FN32F (4mm x 4mm)

图 4-15 封装尺寸 FN32F



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.10	0.15	0.20
D	3.90	4.00	4.10
D2	2.55	2.65	2.75
e	0.40BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.55	2.65	2.75
Ne	2.80BSC		
L	0.35	0.40	0.45
L1	0	0.05	0.10
L2	0.05	0.10	0.15
h	0.30	0.35	0.40
K	0.20	-	-

图 4-16 推荐 PCB Layout FN32F

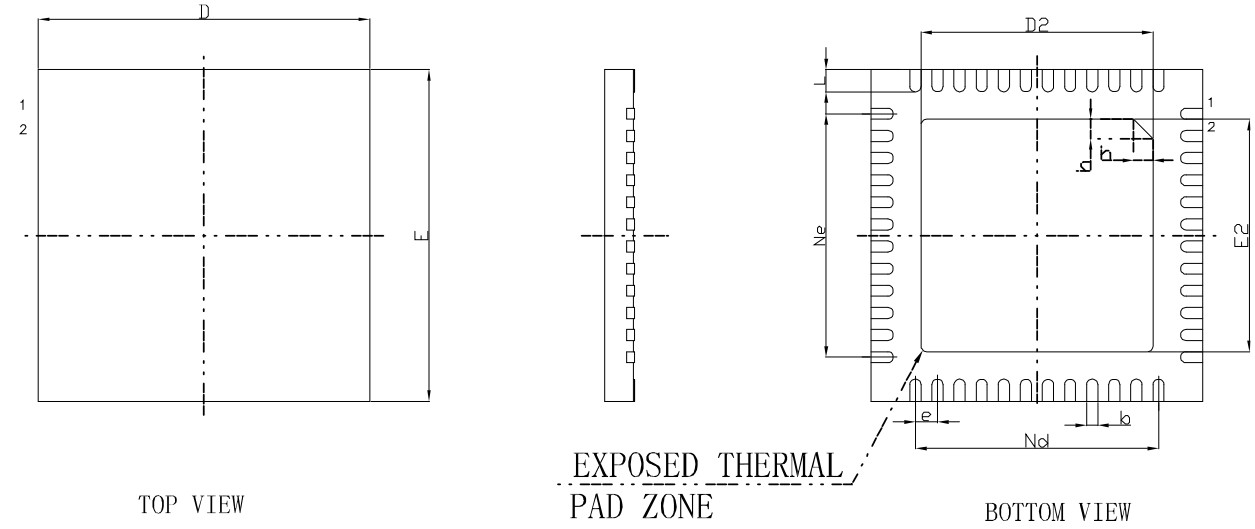


Unit:mm

D	4.00
E	4.00
D2	1.74
E2	1.74
P	4.00
e	0.40
L	0.80
b	0.20

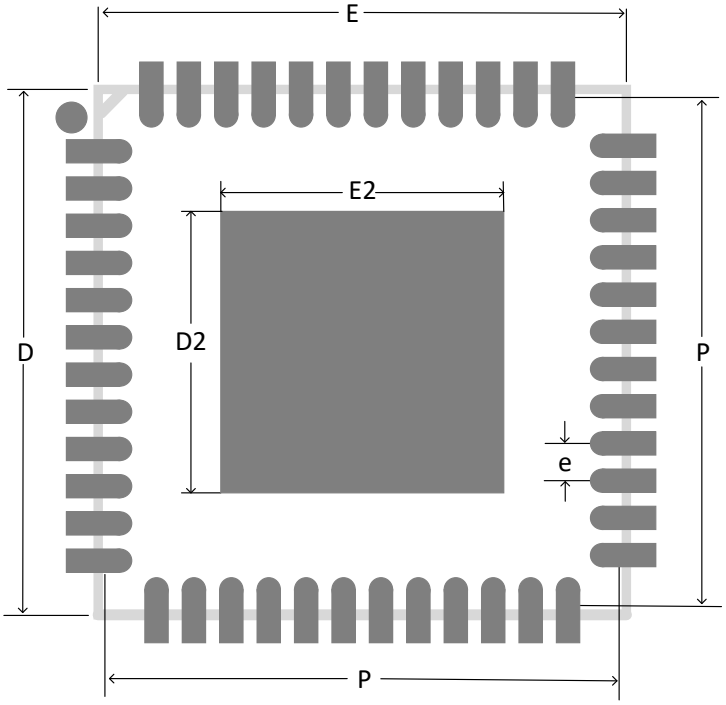
4.9 封装尺寸 QN48 (6mm x 6mm, GW1NZ-1/2)

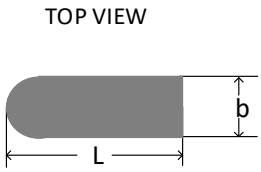
图 4-17 封装尺寸 QN48



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 4-18 推荐 PCB Layout QN48





Unit:mm

D	6.00
E	6.00
D2	2.70
E2	2.70
P	5.90
e	0.40
L	0.85
b	0.20

GOWIN高云
智慧逻辑 定制未来