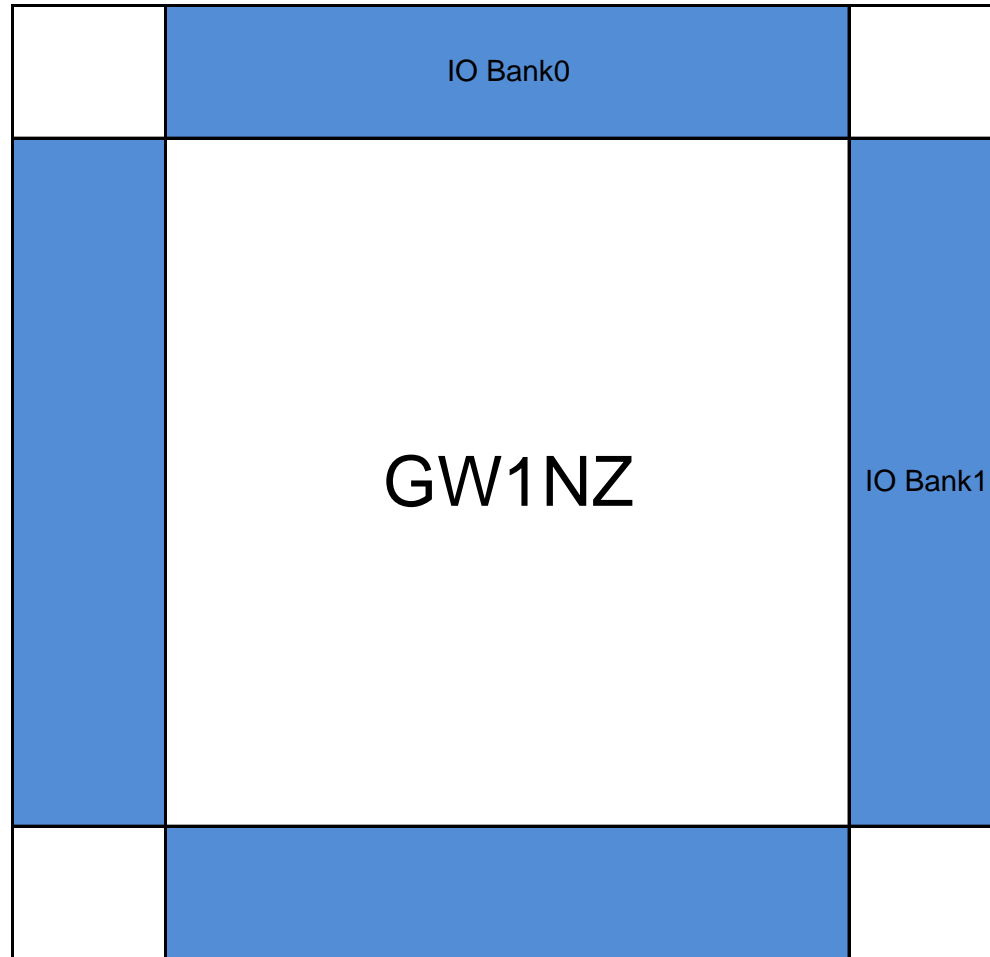


日期	版本	说明
2021/11/25	1.0	初始版本,支持QN48封装。
2022/10/20	1.0.1	更新Power中的注释。 更新Pin Definitions中的注释。
2023/5/4	1.0.2	更新Pin Definition页中CLKHOLD_N的管脚说明。 更新Power页中QN48的epad注释。
2023/6/30	1.0.3	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。
2024/7/5	1.0.4	更新Power页中VCC电压最小值。 优化Pin Definitions页中Ready和Done管脚的方向描述。
2024/11/15	1.0.5	新增Pin Definitions页中EPAD管脚说明。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置
		低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效

管脚名称	方向	说明
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下，高电平有效 在CPU模式下，低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
SPMI_SDATA	I/O	SPMI（系统电源管理接口）模式的通讯总线
SPMI_EN/VCCEN	I	SPMI（系统电源管理接口）模式的睡眠控制和使能
SPMI_SCLK	I/O	SPMI（系统电源管理接口）模式的通讯总线
SPMI_CLK	I	SPMI（系统电源管理接口）外部低速时钟
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
EPAD	NA	裸露焊盘，接地
注！		
^[1] READY和DONE默认状态为open-drain输出，内部弱上拉。在配置期间，DONE输出0。		
^[2] 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

Power

注！ VCCX不能小于最大的VCCIO。			
GW1NZ-1 QN48封装电源供电要求			
名称	描述	最小值	最大值
VCC	LV版本核电压	1.07V	1.26V
VCCIO0、VCCIO1	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	1.71V	3.6V
注！ EPAD强烈推荐接地，但EPAD非必须接地。			

Pin List

注！ [1]该管脚内部接地。						
管脚名	功能	BANK	配置功能	差分Pair	LVDS	QN48
IOR10A	I/O	1		True_of_IOR10B	NONE	20
IOR10B	I/O	1		Comp_of_IOR10A	NONE	13
IOR2A	I/O	1		True_of_IOR2B	NONE	
IOR2B	I/O	1		Comp_of_IOR2A	NONE	10
IOR3A	I/O	1		True_of_IOR3B	NONE	11
IOR3B	I/O	1		Comp_of_IOR3A	NONE	34
IOR4A/RPLL_T_fb	I/O	1	RPLL_T_fb	True_of_IOR4B	NONE	
IOR4B/RPLL_C_fb	I/O	1	RPLL_C_fb	Comp_of_IOR4A	NONE	
IOR5A/GCLKT_2/RPLL_T_in	I/O	1	GCLKT_2/RPLL_T_in	True_of_IOR5B	NONE	33
IOR5B/GCLKC_2/RPLL_C_in	I/O	1	GCLKC_2/RPLL_C_in	Comp_of_IOR5A	NONE	32
IOR6A/MI/D7	I/O	1	MI/D7	True_of_IOR6B	NONE	31
IOR6B/MO/D6	I/O	1	MO/D6	Comp_of_IOR6A	NONE	14
IOR6C/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6D	NONE	30
IOR6D/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6C	NONE	15
IOR6E/FASTRD_N/D3	I/O	1	FASTRD_N/D3	True_of_IOR6F	NONE	29
IOR6F	I/O	1		Comp_of_IOR6E	NONE	16
IOR6G	I/O	1		True_of_IOR6H	NONE	17
IOR6H	I/O	1		Comp_of_IOR6G	NONE	18
IOR6I/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOR6J	NONE	28
IOR6J/DOOUT/WE_N	I/O	1	DOOUT/WE_N	Comp_of_IOR6I	NONE	19
IOR7A/GCLKT_3/SSPI_CS_N/D0	I/O	1	GCLKT_3/SSPI_CS_N/D0	True_of_IOR7B	NONE	27
IOR7B/GCLKC_3	I/O	1	GCLKC_3	Comp_of_IOR7A	NONE	21
IOR8A/SO/D1	I/O	1	SO/D1	True_of_IOR8B	NONE	24
IOR8B	I/O	1		Comp_of_IOR8A	NONE	23
IOR9A/SI/D2	I/O	1	SI/D2	True_of_IOR9B	NONE	22
IOR9B	I/O	1		Comp_of_IOR9A	NONE	
IOT10A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT10B	NONE	47
IOT10B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT10A	NONE	8
IOT11A/GCLKT_1	I/O	0	GCLKT_1	True_of_IOT11B	NONE	
IOT11B/GCLKC_1	I/O	0	GCLKC_1	Comp_of_IOT11A	NONE	
IOT12A/DONE	I/O	0	DONE	True_of_IOT12B	NONE	46
IOT12B/READY	I/O	0	READY	Comp_of_IOT12A	NONE	45

Pin List

注！
[1]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	QN48
IOT13A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT13B	NONE	44
IOT13B	I/O	0		Comp_of_IOT13A	NONE	
IOT14A/MODE0	I/O	0	MODE0	True_of_IOT14B	NONE	43
IOT14B/MODE1	I/O	0	MODE1	Comp_of_IOT14A	NONE	42
IOT15A/MODE2	I/O	0	MODE2	True_of_IOT15B	NONE	GND ^[1]
IOT15B	I/O	0		Comp_of_IOT15A	NONE	41
IOT16A	I/O	0		True_of_IOT16B	NONE	40
IOT16B	I/O	0		Comp_of_IOT16A	NONE	39
IOT17A	I/O	0		True_of_IOT17B	NONE	38
IOT17B	I/O	0		Comp_of_IOT17A	NONE	35
IOT7A/TMS/SPMI_SDATA	I/O	0	TMS/SPMI_SDATA	True_of_IOT7B	NONE	4
IOT7B/TCK/SPMI_EN/VCCEN	I/O	0	TCK/SPMI_EN/VCCEN	Comp_of_IOT7A	NONE	3
IOT8A/TDI/SPMI_SCLK	I/O	0	TDI/SPMI_SCLK	True_of_IOT8B	NONE	5
IOT8B/TDO	I/O	0	TDO	Comp_of_IOT8A	NONE	7
IOT9A/SCLK/SPMI_CLK	I/O	0	SCLK/SPMI_CLK	True_of_IOT9B	NONE	6
IOT9B/RECONFIG_N	I/O	0	RECONFIG_N	Comp_of_IOT9A	NONE	48
VCC	Power	N/A				9
VCC	Power	N/A				12
VCC	Power	N/A				37
VCCIO0	Power	N/A				1
VCCIO1	Power	N/A				25
VCCX	Power	N/A				36
VSS	Ground	N/A				2
VSS	Ground	N/A				26