

日期	版本	说明
2023/8/18	1.0	初始版本，支持QN48和CS100H封装。
2023/11/30	1.1	新增CS42封装。 优化Pin Definitions页中Ready和Done管脚的方向描述。 更新Power页中ZV版本QN48和CS100H封装的VCC电压最大值。
2023/12/7	1.1.1	更新Pin Definitions页中VCCD和VCCIOD的管脚描述。
2023/12/28	1.1.2	更新Power页中VCC核电压的电压范围。
2024/2/22	1.1.3	更新Bank页中CS100H封装的Bank图。 新增Power页中VCCD和VCCIOD的管脚注释。
2024/7/5	1.1.4	更新Power页中VCC电压最小值。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入，需要在PCB上连接4.7K下拉电阻
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号，低电平有效
FASTRD_N	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表示使用普通Flash访问模式
MI	I/O	MSPI模式下MISO: Master数据输入/Slave数据输出
MO	I/O	MSPI模式下MOSI: Master数据输出/Slave数据输入

管脚名称	方向	说明
MCS_N	I/O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	I/O	MSPI模式下时钟输出MCLK, 默认频率为 2.1Mhz, 精度为+/-5%。
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	I/O	SSPI模式下MISO: Master数据输入/Slave数据输出
SI	I/O	SSPI模式下MOSI: Master数据输出/Slave数据输入
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
SDA	I/O	串行数据线
SCL	I	串行时钟线
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
DONE <sup>[3]</sup>	I/O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
READY <sup>[3]</sup>	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
GCLKC_[x]	I	GCLKT_[x]的差分输入管脚, C(Comp), [x]是全局时钟序号 <sup>[1]</sup>
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
<b>其他管脚</b>		
CKP	DIO <sup>[2]</sup>	MIPI_DPHY_RX的时钟通道输入管脚, T(True)
CKN	DIO <sup>[2]</sup>	MIPI_DPHY_RX的时钟通道差分输入管脚, C(Comp)
RX0P	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道0输入管脚, T(True)
RX0N	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道0差分输入管脚, C(Comp)
RX1P	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道1输入管脚, T(True)
RX1N	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道1差分输入管脚, C(Comp)
RX2P	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道2输入管脚, T(True)

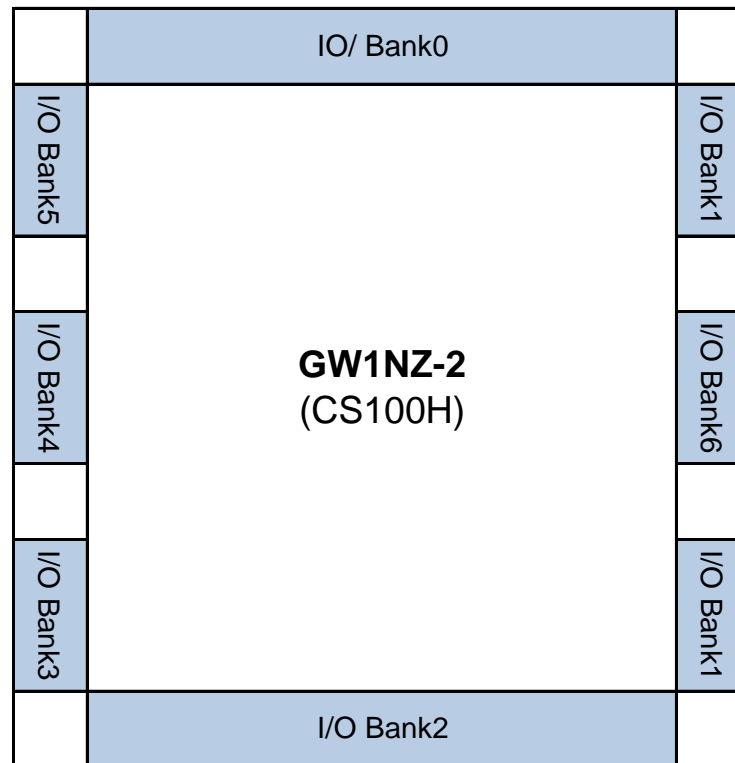
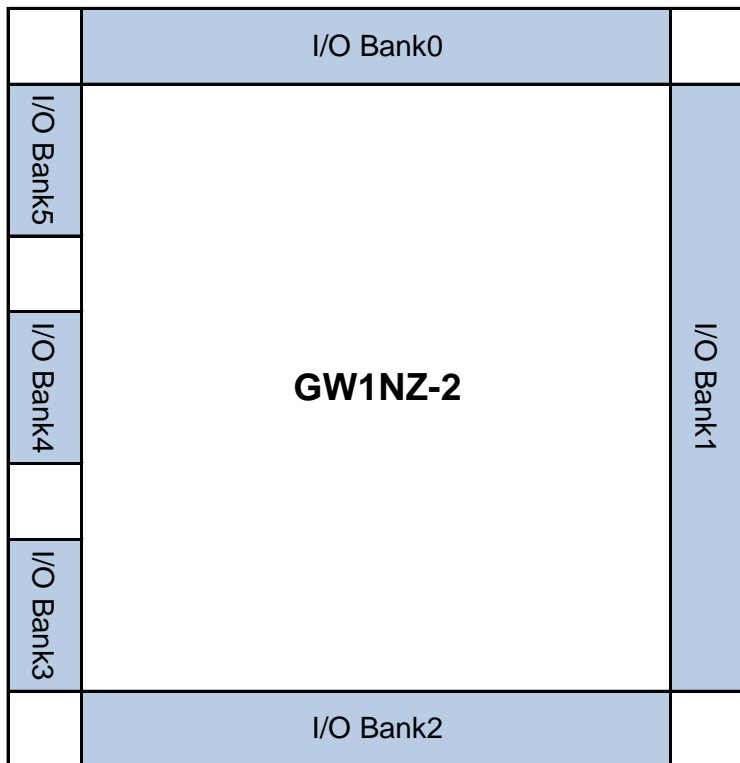
管脚名称	方向	说明
RX2N	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道2差分输入管脚, C(Comp)
RX3P	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道3输入管脚, T(True)
RX3N	DIO <sup>[2]</sup>	MIPI_DPHY_RX的数据通道3差分输入管脚, C(Comp)
NC	NA	预留未使用
VSS	NA	Ground管脚
VCCD	NA	MIPI供电管脚
VCCIOD	NA	MIPI供电管脚
VCC	NA	核电压供电管脚
VCCD	NA	MIPI供电管脚
VCCIOD	NA	MIPI供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚

## 注!

[1]当输入是单端时,GCLKC\_[x]所在管脚不是全局时钟管脚。

[2] DIO是专用管脚。

[3] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。



**注!**

- 1.每个Bank还提供一个独立的参考电压（VREF）。
- 2.用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- 3.用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOB11A	I/O	2		True_of_IOB11B	True	x16		K5	E1
IOB11B	I/O	2		Comp_of_IOB11A	True	none		J5	E2
IOB12A/FASTRD_N	I/O	2	FASTRD_N	True_of_IOB12B	none	none			
IOB12B	I/O	2		Comp_of_IOB12A	none	none			
IOB13A	I/O	2		True_of_IOB13B	True	x16	33	H5	F1
IOB13B	I/O	2		Comp_of_IOB13A	True	none	32	G5	F2
IOB14A	I/O	2		True_of_IOB14B	none	none			
IOB14B	I/O	2		Comp_of_IOB14A	none	none			
IOB15A	I/O	2		True_of_IOB15B	True	x16		K4	G1
IOB15B	I/O	2		Comp_of_IOB15A	True	none		J4	G2
IOB16A	I/O	2		True_of_IOB16B	none	none			
IOB16B/DOOUT/WE_N	I/O	2	DOOUT/WE_N	Comp_of_IOB16A	none	none			
IOB17A	I/O	2		True_of_IOB17B	True	x16		H4	
IOB17B	I/O	2		Comp_of_IOB17A	True	none		G4	
IOB18A/SSPI_CS_N	I/O	2	SSPI_CS_N	True_of_IOB18B	none	none	34	K3	F3
IOB18B/SI	I/O	2	SI	Comp_of_IOB18A	none	none	35	J3	G3
IOB2A	I/O	2		True_of_IOB2B	True	x16		K10	
IOB2B	I/O	2		Comp_of_IOB2A	True	none		J10	
IOB3A/DIN/CLKHOLD_N	I/O	2	DIN/CLKHOLD_N	True_of_IOB3B	none	none			
IOB3B	I/O	2		Comp_of_IOB3A	none	none			
IOB4A	I/O	2		True_of_IOB4B	True	x16			
IOB4B	I/O	2		Comp_of_IOB4A	True	none		H8	
IOB5A/SCLK	I/O	2	SCLK	True_of_IOB5B	none	none	29	K9	F4
IOB5B/SO	I/O	2	SO	Comp_of_IOB5A	none	none	28	J9	G4
IOB6A	I/O	2		True_of_IOB6B	True	x16		K8	C1
IOB6B	I/O	2		Comp_of_IOB6A	True	none		J8	C2
IOB7A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB7B	none	none	31	K7	
IOB7B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB7A	none	none	30	J7	
IOB8A	I/O	2		True_of_IOB8B	True	x16		H7	
IOB8B	I/O	2		Comp_of_IOB8A	True	none		H6	
IOB9A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOB9B	none	none		K6	D1

## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOB9B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IQB9A	none	none		J6	D2
IOL11A	I/O	4		True_of_IOL11B	True	x16	20	E10_L11A <sup>[1]</sup>	
IOL11B	I/O	4		Comp_of_IOL11A	True	none	21	D10_L11B <sup>[1]</sup>	
IOL12A/GCLKT_6	I/O	4	GCLKT_6	True_of_IOL12B	none	none		F10	
IOL12B/GCLKC_6	I/O	4	GCLKC_6	Comp_of_IOL12A	none	none		F9	
IOL13A	I/O	4		True_of_IOL13B	True	x16		G9	E5
IOL13B	I/O	4		Comp_of_IOL13A	True	none		G10	E6
IOL14A	I/O	4		True_of_IOL14B	none	none		F8	
IOL14B	I/O	4		Comp_of_IOL14A	none	none		E8	
IOL15A	I/O	3		True_of_IOL15B	True	x16	23	G10_L15A <sup>[1]</sup>	F5
IOL15B	I/O	3		Comp_of_IOL15A	True	none	22	E9	F6
IOL16A/GCLKT_5	I/O	3	GCLKT_5	True_of_IOL16B	none	none		H10	
IOL16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_IOL16A	none	none		H9	
IOL17A	I/O	3		True_of_IOL17B	True	x16	27	E9_L17A <sup>[1]</sup>	G5
IOL17B	I/O	3		Comp_of_IOL17A	True	none	24	G9_L17B <sup>[1]</sup>	G6
IOL18A	I/O	3		True_of_IOL18B	none	none		G8	
IOL18B	I/O	3		Comp_of_IOL18A	none	none			
IOL19A	I/O	3		True_of_IOL19B	none	none			
IOL19B	I/O	3		Comp_of_IOL19A	none	none			
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16	15	C10	
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none	14	C9	
IOL5A/LPLL_T_in	I/O	5	LPLL_T_in	True_of_IOL5B	none	none	16		
IOL5B/LPLL_C_in	I/O	5	LPLL_C_in	Comp_of_IOL5A	none	none	17		
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	18	D10	D5
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	19	D9	D6
IOL7A	I/O	5		True_of_IOL7B	none	none			
IOL7B	I/O	5		Comp_of_IOL7A	none	none			
IOL8A	I/O	5		True_of_IOL8B	True	x16		D9_L8A <sup>[1]</sup>	C5
IOL8B	I/O	5		Comp_of_IOL8A	True	none		E10	C6
IOL9A	I/O	4		True_of_IOL9B	none	none			
IOL9B	I/O	4		Comp_of_IOL9A	none	none			

## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none	41	G3	
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none	40	F3	
IOR12A	I/O	1		True_of_IOR12B	none	none			
IOR12B	I/O	1		Comp_of_IOR12A	none	none			
IOR13A	I/O	1		True_of_IOR13B	True	none	38	H1	
IOR13B	I/O	1		Comp_of_IOR13A	True	none	39	H2	
IOR14A	I/O	1		True_of_IOR14B	none	none		H3	
IOR14B	I/O	1		Comp_of_IOR14A	none	none			
IOR15A	I/O	1		True_of_IOR15B	True	none		J1	
IOR15B	I/O	1		Comp_of_IOR15A	True	none		J2	
IOR16A	I/O	1		True_of_IOR16B	none	none			
IOR16B	I/O	1		Comp_of_IOR16A	none	none			
IOR17A	I/O	1		True_of_IOR17B	True	none		K1	
IOR17B	I/O	1		Comp_of_IOR17A	True	none		K2	
IOR18A	I/O	1		True_of_IOR18B	none	none			
IOR18B	I/O	1		Comp_of_IOR18A	none	none			
IOR19A	I/O	1		True_of_IOR19B	none	none			
IOR19B	I/O	1		Comp_of_IOR19A	none	none			
IOR1A	I/O	1		True_of_IOR1B	True	none	47	A1	
IOR1B	I/O	1		Comp_of_IOR1A	True	none	46	A2	
IOR2A	I/O	1		True_of_IOR2B	none	none			
IOR2B	I/O	1		Comp_of_IOR2A	none	none			
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none	45	B1	
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none	44	B2	
IOR4A/D0	I/O	1	D0	True_of_IOR4B	none	none			
IOR4B/D1	I/O	1	D1	Comp_of_IOR4A	none	none			
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none	43	C3	
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none	42	D4	
IOR6A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6B	none	none		D3	
IOR6B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6A	none	none		E3	
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16	6	D7	A3



## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none	7	B6	B3
IOT12A	I/O	0		True_of_IOT12B	none	none		C7	
IOT12B	I/O	0		Comp_of_IOT12A	none	none			
IOT13A	I/O	0		True_of_IOT13B	True	x16		A6	B2
IOT13B	I/O	0		Comp_of_IOT13A	True	none		A4	B1
IOT14A/GCLKT_1/SCL	I/O	0	GCLKT_1/SCL	True_of_IOT14B	none	none	5	A5	
IOT14B/GCLKC_1/SDA	I/O	0	GCLKC_1/SDA	Comp_of_IOT14A	none	none	4	B5	
IOT15A	I/O	0		True_of_IOT15B	True	x16		B4	
IOT15B	I/O	0		Comp_of_IOT15A	True	none		A6_T15B <sup>[1]</sup>	
IOT16A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT16B	none	none	3	C6	A2
IOT16B/RECONFIG_N	I/O	0	RECONFIG_N	Comp_of_IOT16A	none	none	48	D5	
IOT17A	I/O	0		True_of_IOT17B	True	x16		A4_T17A <sup>[1]</sup>	
IOT17B	I/O	0		Comp_of_IOT17A	True	none		B4_T17B <sup>[1]</sup>	
IOT18A/READY	I/O	0	READY	True_of_IOT18B	none	none		A3	
IOT18B/DONE	I/O	0	DONE	Comp_of_IOT18A	none	none		B3	
IOT19A	I/O	0		True_of_IOT19B	none	none		C5	
IOT19B	I/O	0		Comp_of_IOT19A	none	none		C4	
IOT2A/MODE0	I/O	0	MODE0	True_of_IOT2B	none	none	13	A10	B6
IOT2B/MODE1	I/O	0	MODE1	Comp_of_IOT2A	none	none	GND <sup>[2]</sup>	GND <sup>[2]</sup>	GND <sup>[2]</sup>
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	none	none	GND <sup>[2]</sup>	B10	GND <sup>[2]</sup>
IOT4A	I/O	0		True_of_IOT4B	True	x16			B5
IOT4B	I/O	0		Comp_of_IOT4A	True	none			
IOT5A	I/O	0		True_of_IOT5B	none	none			
IOT5B	I/O	0		Comp_of_IOT5A	none	none			
IOT6A	I/O	0		True_of_IOT6B	True	x16		A9	
IOT6B	I/O	0		Comp_of_IOT6A	True	none		B9	
IOT7A/TDO	I/O	0	TDO	True_of_IOT7B	none	none	11	A8	A6
IOT7B/TDI	I/O	0	TDI	Comp_of_IOT7A	none	none	10	B8	A5
IOT8A	I/O	0		True_of_IOT8B	True	x16		C8	
IOT8B	I/O	0		Comp_of_IOT8A	True	none		D8	

## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOT9A/TCK	I/O	0	TCK	True_of_IOT9B	none	none	9	A7	A4
IOT9B/TMS	I/O	0	TMS	Comp_of_IOT9A	none	none	8	B7	B4
CKN	DIO	6		Comp_of_CKP	none	none		E2	
CKP	DIO	6		True_of_CKN	none	none		E1	
RX0N	DIO	6		Comp_of_RX0P	none	none		G2	
RX0P	DIO	6		True_of_RX0N	none	none		G1	
RX1N	DIO	6		Comp_of_RX1P	none	none		F2	
RX1P	DIO	6		True_of_RX1N	none	none		F1	
RX2N	DIO	6		Comp_of_RX2P	none	none		D2	
RX2P	DIO	6		True_of_RX2N	none	none		D1	
RX3N	DIO	6		Comp_of_RX3P	none	none		C2	
RX3P	DIO	6		True_of_RX3N	none	none		C1	
TXN	DIO	6		Comp_of_TXP	none	none			
TXP	DIO	6		True_of_TXN	none	none			
VCC	Power	N/A					12		D4
VCC	Power	N/A							
VCC	Power	N/A							
VCC	Power	N/A							
VCC/VCCIO1	Power	N/A							
VCC/VCCPLL	Power	N/A						E5	
VCCD/VCCIO1/VCCIOD	Power	N/A							
VCCD/VCCIOD	Power	N/A						F4	
VCCIO0	Power	N/A					1	D6	A1
VCCIO0	Power	N/A							
VCCIO0	Power	N/A							
VCCIO0/VCCIO2	Power	N/A							
VCCIO1/VCCIO2	Power	N/A							D3
VCCIO1	Power	N/A					37	E4	
VCCIO1/VCCX	Power	N/A							
VCCIO1/VCCX	Power	N/A							
VCCIO1/VCCX	Power	N/A							

## 注!

[1]有封装管脚的短接IO，用户可忽略。

[2]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
VCCIO2	Power	N/A						G6	
VCCIO2	Power	N/A							
VCCIO2	Power	N/A							
VCCIO2/VCCX	Power	N/A					36		
VCCIO3	Power	N/A						G7	
VCCIO3/VCCIO4/VCCIO5	Power	N/A					25		C4
VCCIO4	Power	N/A						F7	
VCCIO5	Power	N/A						E7	
VCCX	Power	N/A						F5	E3
VSS	Ground	N/A					26	E6	E4
VSS	Ground	N/A					2	F6	C3
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
NC	N/A	N/A							
NC	N/A	N/A							

注!

[1]有封装管脚的短接IO, 用户可忽略。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
<b>BANK5 True LVDS Pair</b>									
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16	15	D9_L8A <sup>[1]</sup>	
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none	14	E10	
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	18	C10	D5
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	19	C9	D6
IOL8A	I/O	5		True_of_IOL8B	True	x16		D10	C5
IOL8B	I/O	5		Comp_of_IOL8A	True	none		D9	C6
<b>BANK4 True LVDS Pair</b>									
IOL11A	I/O	4		True_of_IOL11B	True	x16	20	G9	
IOL11B	I/O	4		Comp_of_IOL11A	True	none	21	G10	
IOL13A	I/O	4		True_of_IOL13B	True	x16		E10_L11A <sup>[1]</sup>	E5
IOL13B	I/O	4		Comp_of_IOL13A	True	none		D10_L11B <sup>[1]</sup>	E6
<b>BANK3 True LVDS Pair</b>									
IOL15A	I/O	3		True_of_IOL15B	True	x16	23	G10_L15A <sup>[1]</sup>	F5
IOL15B	I/O	3		Comp_of_IOL15A	True	none	22	E9	F6
IOL17A	I/O	3		True_of_IOL17B	True	x16	27	E9_L17A <sup>[1]</sup>	G5
IOL17B	I/O	3		Comp_of_IOL17A	True	none	24	G9_L17B <sup>[1]</sup>	G6
<b>BANK2 True LVDS Pair</b>									
IOB11A	I/O	2		True_of_IOB11B	True	x16		K5	E1
IOB11B	I/O	2		Comp_of_IOB11A	True	none		J5	E2
IOB13A	I/O	2		True_of_IOB13B	True	x16	33	K4	F1
IOB13B	I/O	2		Comp_of_IOB13A	True	none	32	J4	F2
IOB15A	I/O	2		True_of_IOB15B	True	x16		H4	G1
IOB15B	I/O	2		Comp_of_IOB15A	True	none		G4	G2
IOB17A	I/O	2		True_of_IOB17B	True	x16		K10	
IOB17B	I/O	2		Comp_of_IOB17A	True	none		J10	
IOB2A	I/O	2		True_of_IOB2B	True	x16			
IOB2B	I/O	2		Comp_of_IOB2A	True	none		H8	
IOB4A	I/O	2		True_of_IOB4B	True	x16		K8	
IOB4B	I/O	2		Comp_of_IOB4A	True	none		J8	

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOB6A	I/O	2		True_of_IOB6B	True	x16		H7	C1
IOB6B	I/O	2		Comp_of_IOB6A	True	none		H6	C2
IOB8A	I/O	2		True_of_IOB8B	True	x16		H5	
IOB8B	I/O	2		Comp_of_IOB8A	True	none		G5	
<b>BANK1 True LVDS Pair</b>									
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none	41	G3	
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none	40	F3	
IOR13A	I/O	1		True_of_IOR13B	True	none	38	H1	
IOR13B	I/O	1		Comp_of_IOR13A	True	none	39	H2	
IOR15A	I/O	1		True_of_IOR15B	True	none		J1	
IOR15B	I/O	1		Comp_of_IOR15A	True	none		J2	
IOR17A	I/O	1		True_of_IOR17B	True	none		K1	
IOR17B	I/O	1		Comp_of_IOR17A	True	none		K2	
IOR1A	I/O	1		True_of_IOR1B	True	none	47	A1	
IOR1B	I/O	1		Comp_of_IOR1A	True	none	46	A2	
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none	45	B1	
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none	44	B2	
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none	43	C3	
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none	42	D4	
<b>BANK0 True LVDS Pair</b>									
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16	6	D7	A3
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none	7	B6	B3
IOT13A	I/O	0		True_of_IOT13B	True	x16		A6	B2
IOT13B	I/O	0		Comp_of_IOT13A	True	none		A4	B1
IOT15A	I/O	0		True_of_IOT15B	True	x16		B4	
IOT15B	I/O	0		Comp_of_IOT15A	True	none		A6_T15B <sup>[1]</sup>	
IOT17A	I/O	0		True_of_IOT17B	True	x16		A4_T17A <sup>[1]</sup>	
IOT17B	I/O	0		Comp_of_IOT17A	True	none		B4_T17B <sup>[1]</sup>	
IOT4A	I/O	0		True_of_IOT4B	True	x16			B5
IOT4B	I/O	0		Comp_of_IOT4A	True	none			
IOT6A	I/O	0		True_of_IOT6B	True	x16		A9	
IOT6B	I/O	0		Comp_of_IOT6A	True	none		B9	

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	QN48	CS100H	CS42
IOT8A	I/O	0		True_of_IOT8B	True	x16		C8	
IOT8B	I/O	0		Comp_of_IOT8A	True	none		D8	

## Power

## 注!

VCCX不能小于最大的VCCIO。

<sup>[1]</sup>若不使用硬核MIPI D-PHY，用户可以保持VCCD和VCCIOD管脚悬空，或将它们连接到1.2V电源。

## GW1NZ-2器件QN48封装电源供电要求

名称	描述	最小值	最大值
VCC/VCCPLL	ZV版本核电压，VCC和VCCPLL内部短接在一起	0.88V	1.05V
VCCIO0、VCCIO1	I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX/VCCIO2	辅助电压VCCX和VCCIO2内部短接在一起	1.71V	2.75V

## 注!

epad强烈推荐接地，但epad非必须接地。

## GW1NZ-2器件CS100H封装电源供电要求

名称	描述	最小值	最大值
VCC/VCCPLL	ZV版本核电压，VCC和VCCPLL内部短接在一起	0.88V	1.05V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	1.71V	2.75V
VCCD/VCCIOD <sup>[1]</sup>	VCCD，VCCIOD内部短接在一起	1.14V	1.26V

## GW1NZ-2器件CS42封装电源供电要求

名称	描述	最小值	最大值
VCC	LV版本核电压	1.07V	1.26V
VCCIO0	I/O Bank电压	1.14V	3.6V
VCCIO1/VCCIO2	I/O Bank电压，VCCIO1和VCCIO2内部短接在一起	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX	辅助电压	1.71V	3.6V