

日期	版本	说明
2023/4/20	1.0	初始版本，支持MG121N、UG324S、UG256C、PG256C、UG324封装。
2023/5/25	1.1	更新Pin Definitions页中MI0、MI1、MI2、MI3的管脚定义。 更新所有封装IOB58A、IOL3A、IOL14A、IOR24A、IOR31A的PLL配置信息。 新增MG196S、UG225S封装。 更新Pin List 页中MG121N封装的MODE信息。 更新Pin Definitions页中的注释。
2023/6/30	1.2	新增LQ100和PG256S封装。 更新Pin Definitions页中DIO管脚定义。
2023/8/10	1.2.1	优化Power页中UG324封装的VCC_EXT描述。
2023/9/8	1.2.2	更新Pin Definitions页中SSI管脚的描述。
2023/9/28	1.3	新增PG256封装。 更新Pin List页中的X16信息。 更新Pin List页中IOB26A/IOB26B/IOB33A/IOB33B的管脚信息。
2023/11/2	1.3.1	删除LV版本UG256C和PG256C。 优化Pin Definitions页中的管脚方向描述。 删除Pin List页中UG324S封装的VCCIO10管脚。 删除MCKTEST、ADCINCLK、ADCOTEST管脚的配置信息。 更新Pin List页中LQ100 PIN22和PIN44的管脚名改为NC。
2023/11/30	1.4	新增LQ144封装。 优化Pin Definitions页的管脚描述。
2023/12/14	1.4.1	更新Pin Definitions页的管脚方向。
2024/2/2	1.5	删除X16信息。 更新Bank图及注释。 新增LV版本LQ100。 删除EV版本LQ144，新增LV版本LQ144。 更新Pin Definitions页中VCC_REG管脚的注释。 更新Power页中VCC电压的最大值及MG121N封装VQPS电压的最大值和最小值。
2024/3/29	1.6	新增Power页的注释。 新增ADC_INPUT列信息。 新增PG196S和UG324F封装。 优化Pin Definitions页中GCLKT_[x]A/GCLKC_[x]A/GCLKT_[x]B/GCLKC_[x]B的管脚定义。

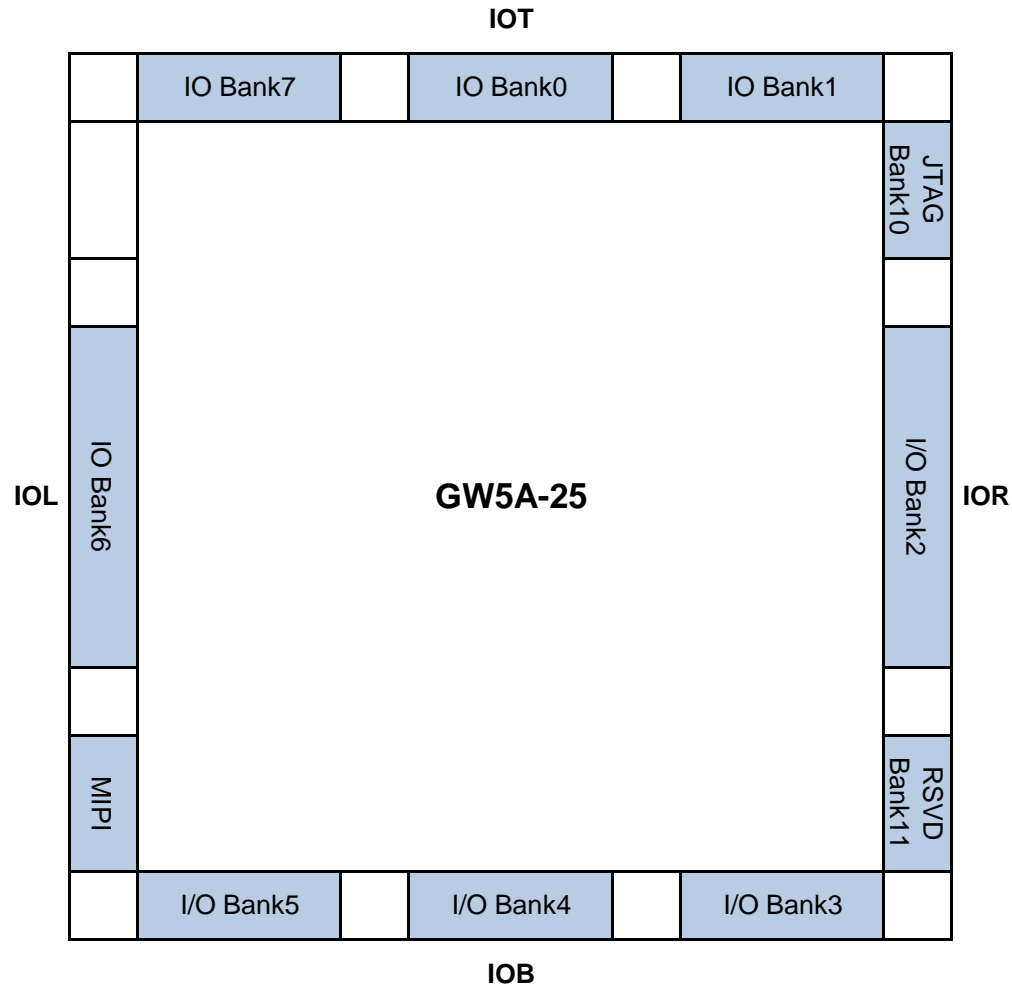
日期	版本	说明
2024/5/9	1.7	删除LV版本UG225S。 新增LV版本UG324S/PG256S。 更新LV版本MG196S的电源管脚VCC_REG为NC。 更新Power页中VCCX的电压最大值，M*VDD*的电压最大值。 更新“IOT63B/GCLKC_3/LPLL0_C_IN0”的管脚名称为“IOT63B/GCLKC_3/RPLL0_C_IN0”。 更新EV版本UG225S的PIN G6管脚名为VCC_EXT。 删除所有封装的SDA和SCA管脚。
2024/6/7	1.7.1	更新Power页中VCCIO的电压最小值。 优化Pin Definitions页中MIPI D-PHY的管脚定义描述。
2024/7/5	1.7.2	优化Power页。 更新电源管脚名称及说明。
2024/10/25	1.8	优化Power页。 新增LV版本UG256C。 更新封装LQ100的电源管脚VCCIO2为VCCIO2V_EFUSE。
2025/2/7	1.8.1	新增Pin List页和TrueLVDS页中GCLKT_[x]A/GCLKT_[x]B/GCLKC_[x]A/GCLKC_[x]B管脚注释。

管脚名称	方向	说明
<b>用户I/O管脚</b>		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上
		有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOR1A/IOB14A短接，管脚名为C1，则IOR1A对应C1，IOB14A对应C1_B14A
<b>多功能管脚</b>		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D00~D07	I/O，内部弱上拉	CPU模式：数据输入输出端口D00~D07
D08~D15	I	CPU模式：数据输入端口D08~D15
MI0	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MI1	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MI2	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit2的输入管脚，分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚
MI3	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit3的输入管脚，分别连接外部Flash器件的DQ3/HOLD#/IO3管脚
MOSI	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MISO	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MCS_N	O， MODE[1:0]：内部弱上拉 MODE[2:0]：None	MSPI模式：使能信号MCS_N，低电平有效
CCLK	I/O，内部弱上拉	配置时钟 Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出
EMCCLK	I，内部弱上拉	外部输入时钟信号 Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联
SO	O，内部弱上拉	SSPI模式下SO
SI	I，内部弱上拉	SSPI模式下SI
SSIO	I，内部弱上拉	QSSPI配置模式：数据输入管脚

管脚名称	方向	说明
SSI1	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI2	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSI3	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 低电平有效
SSPI_CLK	I, 内部弱上拉	SSPI/QSSPI配置模式: 时钟输入管脚
SSPI_WPN	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSPI_CS_N	I, 内部弱上拉	SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CSI_B	I, 内部弱上拉	CPU模式: 片选信号低有效 Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller发出, 其他模式CSI_B信号没有关联
CSO_B	O, 内部弱上拉	在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式: 输出下一级器件的配置数据 Master SPI模式: 输出下一级器件的配置数据 CPU模式: 输出下一级器件的片选信号
PUDC_B	I, 内部弱下拉	配置过程中的弱上拉选择信号管脚: FPGA上电后在配置过程中低电平有效使能内部弱上拉电阻 PUDC_B低电平: 除PUDC_B外所有的GPIO弱上拉 PUDC_B高电平: 所有GPIO高阻 PUDC_B不允许在配置过程中悬空
RDWR_B	I, 内部弱下拉	CPU模式: 数据读写控制信号 RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式: 外部控制器RDWR信号 CPU模式的低8位专用IO在wakeUp后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR影响
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]是时钟序号
GCLKT_[x]A/GCLKT_[x]B	I	GCLKT_[x]A: GCLKC_[x]的默认专用管脚, [x]是时钟序号 GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号

管脚名称	方向	说明
GCLKC_[x]A/GCLKC_[x]B	I	GCLKC_[x]A: GCLKT_[x]的默认专用管脚, [x]是时钟序号 GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号
DOUT	O	SERIAL模式: 数据输出
DIN	I, 内部弱上拉	SERIAL模式: 数据输入
TMS	I, 内部弱上拉	JTAG模式: 串行模式输入
TCK	I, 内部弱上拉	JTAG模式: 串行时钟输入
TDO	O, 内部弱上拉	JTAG模式: 串行数据输出
TDI	I, 内部弱上拉	JTAG模式: 串行数据输入
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号, 低电平有效
DONE <sup>[1]</sup>	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平
READY <sup>[1]</sup>	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
LPLL_C_FB/RPLL_C_FB/TP LL_C_FB/BPLL_C_FB	I	左边/右边/上边/下边PLL反馈输入管脚, C(Comp)
LPLL_T_FB/RPLL_T_FB	I	左边/右边/上边/下边PLL反馈输入管脚, T(True)
LPLL_C_IN/RPLL_C_IN	I	左边/右边/上边/下边PLL时钟输入管脚, C(Comp)
LPLL_T_IN/RPLL_T_IN/TPLL _T_IN/BPLL_T_IN	I	左边/右边/上边/下边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
<b>其他管脚</b>		
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCC	NA	Clock tree电压供电管脚
VCCX	NA	辅助电压供电管脚
VCC_LDO	NA	为PLL, SRAM提供电压的内部LDO模块的电源电压管脚
V_EFUSE	NA	eFuse写操作供电电压管脚

管脚名称	方向	说明
VDD12_MIP1	NA	MIPI 模块LP 模式供电电压管脚
VDDA_MIP1	NA	MIPI 模块内部模拟电路供电电压管脚
VDDD_MIP1	NA	MIPI 模块内部数字电路供电电压管脚
VDDX_MIP1	NA	MIPI 模块辅助供电电压管脚
NC	NA	预留未使用
ADCVN	DIO	SENSOR差分模拟信号输入管脚
ADCVP	DIO	SENSOR差分模拟信号输入管脚
M0_CKN	DIO	MIPI_DPHY的时钟通道差分输入输出管脚
M0_CKP	DIO	MIPI_DPHY的时钟通道差分输入输出管脚
M0_D0N	DIO	MIPI_DPHY的数据通道0差分输入输出管脚
M0_D0P	DIO	MIPI_DPHY的数据通道0差分输入输出管脚
M0_D1N	DIO	MIPI_DPHY的数据通道1差分输入输出管脚
M0_D1P	DIO	MIPI_DPHY的数据通道1差分输入输出管脚
M0_D2N	DIO	MIPI_DPHY的数据通道2差分输入输出管脚
M0_D2P	DIO	MIPI_DPHY的数据通道2差分输入输出管脚
M0_D3N	DIO	MIPI_DPHY的数据通道3差分输入输出管脚
M0_D3P	DIO	MIPI_DPHY的数据通道3差分输入输出管脚
注!		
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		



**注!**

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可选择使用IOB内置的VREF源（0.6V、0.75V、0.9V、1.25V、1.5V，以及基于VCCIO的比例电压（36%,50%,64%））。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。
- [4]RSVD Bank11有1个I/O，可作为备用管脚，支持单端输入输出，由VCCX供电。
- [5]IO之间有一个fast path路径，可以实现单端、差分IO之间快速的级联，用户可以选择任意位置的GPIO通过软件配置实现逆时针方向（IOL和IOB的IO从小到大，IOR和IOT的IO从大到小）依次串联的fast path功能。

名称	描述	最小值	最大值
<b>FPGA Logic</b>			
V <sub>CC</sub>	核电压, LV	0.87V	1.03V
	核电压, EV	1.14V	1.8V
V <sub>CCIO</sub>	I/O Bank电源电压	1.14V	3.465V
V <sub>CCX</sub>	辅助电压	2.375V	3.465V
V <sub>CC_LDO</sub> <sup>[1]</sup>	为PLL, SRAM提供电压的内部LDO模块的电源电压	1.14V	3.3V
V <sub>EFUSE</sub> <sup>[2]</sup>	eFuse写入所需电压	1.62V	1.98V
<b>MIPI</b>			
V <sub>DDA_MIPI</sub>	MIPI模块模拟电路供电电压	0.87V	1V
V <sub>DDD_MIPI</sub>	MIPI模块数字电路供电电压	0.87V	1V
V <sub>DDX_MIPI</sub>	MIPI模块模拟辅助供电电压	2.375V	3.465V
V <sub>DD12_MIPI</sub>	MIPI 模块LP模式供电电压	1.14V	1.32V
<p><b>注!</b>  <sup>[1]</sup> V<sub>CC_LDO</sub>电压越大, 功耗越高。  <sup>[2]</sup> 当不需要写eFuse的时候, 这个电源可以接GND或floating。                      若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集, 同时满足多个电源的需求。</p>			



注!

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	B1_B10A <sup>[1]</sup>
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	A3_B10B <sup>[1]</sup>
IOB12A/GCLKT_10B <sup>[5]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	E2
IOB12B/GCLKC_10B <sup>[5]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	E1
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	C1_B14A <sup>[1]</sup>
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	D1
IOB1A/RECONFIGN	I/O	5		none	RECONFIGN		none	D8
IOB24A	I/O	5	bus1	none			True	A1
IOB26A/GCLKT_9B <sup>[5]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	F2
IOB26B/GCLKC_9B <sup>[5]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	F1
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	E8
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	E6
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	B2
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	C2
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	GND <sup>[2]</sup>
IOB54A/GCLKT_11B <sup>[5]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	D5
IOB54B/GCLKC_11B <sup>[5]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	E4
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	B3
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	C3
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	E5

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
IOB58B/MOSI/CSI_B/MIO	I/O	4	bus1	none	MOSI/CSI_B/MIO	Comp_of_I0B58A	True	D6
I0B60A	I/O	4	bus1	none			True	E3
I0B62A/CCLK	I/O	4	bus1	none	CCLK		True	E7
I0B62B/M0DE0	I/O	4	bus1	none	M0DE0		True	VCCIO <sup>[3]</sup>
I0B64A/DONE	I/O	4		none	DONE		none	D7
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	G4
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	H4
I0B8A/D05/SO/SS11	I/O	5	bus1	none	D05/SO/SS11		True	A2_B8A <sup>[1]</sup>
I0B91A/GCLKT_6A <sup>[5]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	H1
I0B91B/GCLKC_6A <sup>[5]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	H2
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	B11
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	B10
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	A11
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	A10
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	E11
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	E10
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	C11
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	C10
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	D11
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	D10

注!

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	L2
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	L1
IOR1A/TCK	I/O	10		none	TCK		none	C1
IOR1B/TDI	I/O	10		none	TDI		none	A3
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	K1
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	K2
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	J4
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	K4
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	G2
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	G1
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	L4
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	L3
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J1
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	J2
IOR3A/TMS	I/O	10		none	TMS		none	B1
IOR3B/TDO	I/O	10		none	TDO		none	A2
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	K11
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	L11
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	L10
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	K10
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	L7

注!

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_ $x$ A: GCLKC\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKT\_ $x$ B: 可配置成GCLKC\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

GCLKC\_ $x$ A: GCLKT\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKC\_ $x$ B: 可配置成GCLKT\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	L8
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	J11
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	J10
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	K7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	J7
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	L6
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	K6
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	L9
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	K9
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	H11
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H10
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	J8
IOT56B/GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	Comp_of_IOT56A	True	K8
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	F7
IOT58B/GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	F6
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	H5
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	J5
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	L5
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	K5
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	H8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	H7

注!

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	G7
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	G8
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	F5
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	G5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G11
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G10
M0_CKN	DIO	MIPI		none			none	B7
M0_CKP	DIO	MIPI		none			none	A7
M0_D0N	DIO	MIPI		none			none	B9
M0_D0P	DIO	MIPI		none			none	A9
M0_D1N	DIO	MIPI		none			none	B8
M0_D1P	DIO	MIPI		none			none	A8
M0_D2N	DIO	MIPI		none			none	B6
M0_D2P	DIO	MIPI		none			none	A6
M0_D3N	DIO	MIPI		none			none	B5
M0_D3P	DIO	MIPI		none			none	A5
VDD12_MIPI	Power	N/A						K3
VDDA_MIPI	Power	N/A						C8
VDDD_MIPI	Power	N/A						D9
VDDX_MIPI/VCCX	Power	N/A						H3
VDDX_MIPI/VCCX	Power	N/A						G6
VDDX_MIPI/VCCX	Power	N/A						G3
VDDX_MIPI/VCCX	Power	N/A						G9
NC	N/A	N/A						C4
NC	N/A	N/A						C6

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] 该管脚内部接地。

[3] 该管脚内接VCCIO。

[4] LV版本封装。

[5] GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[4]</sup>
VCC	Power	N/A						F8
VCC	Power	N/A						F4
VCC	Power	N/A						E9
VCC_LDO	Power	N/A						J6
VCCIO4	Power	N/A						D4
VCCIO0/VCCIO1	Power	N/A						J9
VCCIO10/VCCIO5	Power	N/A						D2
VCCIO2/VCCIO3	Power	N/A						A4
VCCIO6/VCCIO7	Power	N/A						F10
V_EFUSE	Power	N/A						D3
VSS	Ground	N/A						B4
VSS	Ground	N/A						C5
VSS	Ground	N/A						C7
VSS	Ground	N/A						C9
VSS	Ground	N/A						F11
VSS	Ground	N/A						F3
VSS	Ground	N/A						F9
VSS	Ground	N/A						H6
VSS	Ground	N/A						H9
VSS	Ground	N/A						J3

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOB10A/D03/SSPI_CS_N	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	144
IOB10B/D04/SI/SSIO	I/O	5	bus1	none	D04/SI/SSIO	Comp_of_IOB10A	True	3
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	6
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	4
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	7
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	8
IOB1A/RECONFIG_N	I/O	5			RECONFIG_N		none	139
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	10
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	11
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	13
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	14
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	15
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	16
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	141
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	140
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	19
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	20
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	21
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	22
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	23

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	24
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	25
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	27
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	28
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	29
IOB64A/DONE	I/O	4			DONE		none	30
IOB65B/DOUT	I/O	3	bus1	none	DOUT		True	32
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	34
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	35
IOB8A/D05/SO/SS11	I/O	5	bus1	none	D05/SO/SS11	True_of_IOB8B	True	143
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	142
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	120
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	121
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	122
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	123
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	124
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	125
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	126
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	128
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	129
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	130
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	131
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	134
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	133
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	135
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	136
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	137



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	112
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	111
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	114
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	113
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	116
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	115
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	118
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	119
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	61
IOR12B/ADCINCLK	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	62
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	60
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	59
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	58
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	57
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	56
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	54
IOR1A/TCK	I/O	10		none	TCK		none	71
IOR1B/TDI	I/O	10		none	TDI		none	72
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	52
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	50
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	49
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	48
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	47
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	46

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	45
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	44
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	43
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	42
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	41
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	39
IOR3A/TMS	I/O	10		none	TMS		none	68
IOR3B/TDO	I/O	10		none	TDO		none	69
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	66
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	67
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	64
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	65
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	102
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	101
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	99
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	98
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	97
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	96
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	95
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	94
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	93
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	92
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	105
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	106
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	90
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	88

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	87
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	86
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	85
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	84
IOT5A	I/O	7	bus0	none			True	104
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	83
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	82
IOT70A	I/O	1	bus2	DQ0			True	80
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	79
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	78
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	76
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	75
VCC	N/A	Power						138
VCC	N/A	Power						110
VCC	N/A	Power						73
VCC	N/A	Power						81
VCC	N/A	Power						1
VCC	N/A	Power						36
VCC	N/A	Power						108
VCC	N/A	Power						38
VCC_LDO/VCCIO0/VCCIO4	N/A	Power						18
VCC_LDO/VCCIO0/VCCIO4	N/A	Power						91
VCC_LDO/VCCIO0/VCCIO4	N/A	Power						12
VCC_LDO/VCCIO0/VCCIO4	N/A	Power						26

注！

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
VCCIO1	N/A	Power						77
VCCIO10/VCCX	N/A	Power						40
VCCIO10/VCCX	N/A	Power						109
VCCIO10/VCCX	N/A	Power						70
VCCIO2	N/A	Power						63
VCCIO2	N/A	Power						55
VCCIO2	N/A	Power						51
VCCIO3	N/A	Power						31
VCCIO3	N/A	Power						33
VCCIO5	N/A	Power						9
VCCIO5	N/A	Power						5
VCCIO6	N/A	Power						117
VCCIO6	N/A	Power						132
VCCIO6	N/A	Power						127
VCCIO7	N/A	Power						100
VCCIO7	N/A	Power						103
V_EFUSE	N/A	Power						37
VSS	N/A	Ground						2
VSS	N/A	Ground						17
VSS	N/A	Ground						53
VSS	N/A	Ground						74
VSS	N/A	Ground						89
VSS	N/A	Ground						107

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_I0B10B	True	U5	U5
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_I0B10A	True	V5	V5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_I0B12B	True	R5	R5
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_I0B12A	True	T5	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_I0B14B	True	N6	N6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_I0B14A	True	P7	P7
IOB16A	I/O	5	bus1	none		True_of_I0B16B	True	T6	T6
IOB16B	I/O	5	bus1	none		Comp_of_I0B16A	True	V6	V6
IOB18A	I/O	5	bus1	none		True_of_I0B18B	True	N7	N7
IOB18B	I/O	5	bus1	none		Comp_of_I0B18A	True	P8	P8
IOB1A/RECONFIGN	I/O	5		none	RECONFIGN		none	V2	V2
IOB20A	I/O	5	bus1	none		True_of_I0B20B	True	U7	U7
IOB20B	I/O	5	bus1	none		Comp_of_I0B20A	True	V7	V7
IOB22A	I/O	5	bus1	none		True_of_I0B22B	True	U8	U8
IOB22B	I/O	5	bus1	none		Comp_of_I0B22A	True	V8	V8
IOB24A	I/O	5	bus1	none		True_of_I0B24B	True	M8	M8
IOB24B	I/O	5	bus1	none		Comp_of_I0B24A	True	N8	N8
IOB26A/GCLKT_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_I0B26B	True	M10	M10
IOB26B/GCLKC_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_I0B26A	True	N9	N9
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_I0B29B	True	T9	T9
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_I0B29A	True	V9	V9
IOB2A	I/O	5	bus1	none		True_of_I0B2B	True	T4	T4
IOB2B	I/O	5	bus1	none		Comp_of_I0B2A	True	V4	V4
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_I0B31B	True	R8	R8

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOB31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	T8	T8
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	U10	U10
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	V10	V10
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R10	R10
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T10	T10
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	U3	U3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	V3	V3
IOB39A	I/O	4	bus1	none		True_of_IOB39B	True	U11	U11
IOB39B	I/O	4	bus1	none		Comp_of_IOB39A	True	V11	V11
IOB41A	I/O	4	bus1	none		True_of_IOB41B	True	N10	N10
IOB41B	I/O	4	bus1	none		Comp_of_IOB41A	True	P11	P11
IOB43A	I/O	4	bus1	none		True_of_IOB43B	True	T12	T12
IOB43B	I/O	4	bus1	none		Comp_of_IOB43A	True	V12	V12
IOB45A	I/O	4		none		True_of_IOB45B	True	R11	R11
IOB45B	I/O	4		none		Comp_of_IOB45A	True	T11	T11
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	M11	M11
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	N11	N11
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	N5	N5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	P6	P6
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	U13	U13
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	V13	V13
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N12	N12
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P12	P12
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	T14	T14

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	V14	V14
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	U15	U15
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	V15	V15
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	R13	R13
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	T13	T13
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	U16	U16
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	V16	V16
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R15	R15
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T15	T15
IOB64A/DONE	I/O	4		none	DONE		none	V17	V17
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P15	P15
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	P16	P16
IOB67A	I/O	3	bus1	none		True_of_IOB67B	True	L14	L14
IOB67B	I/O	3	bus1	none		Comp_of_IOB67A	True	M13	M13
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	M14	M14
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	N14	N14
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	R7	R7
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	T7	T7
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	U17	U17
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	U18	U18
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T17	T17
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T18	T18
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	N15	N15
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	N16	N16
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	P17	P17
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	P18	P18
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	N17	N17

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	N18	N18
I0B81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	M16	M16
I0B81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	M18	M18
I0B83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	L17	L17
I0B83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	L18	L18
I0B85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	K17	K17
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	K18	K18
I0B87A	I/O	3	bus1	DQ4		True_of_I0B87B	True	J16	J16
I0B87B	I/O	3	bus1	DQ4		Comp_of_I0B87A	True	J18	J18
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	H17	H17
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	H18	H18
I0B8A/D05/SO/SS11	I/O	5	bus1	none	D05/SO/SS11	True_of_I0B8B	True	R3	R3
I0B8B/D06	I/O	5	bus1	none	D06	Comp_of_I0B8A	True	T3	T3
I0B91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	L15	L15
I0B91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	L16	L16
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	K2	K2
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	K1	K1
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	L2	L2
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	L1	L1
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	M3	M3
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	M1	M1
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	N2	N2
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	N1	N1
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	P2	P2
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	P1	P1
I0L23A	I/O	6	bus0	DQ6		True_of_I0L23B	True	T2	T2



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	T1	T1
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	U2	U2
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	U1	U1
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	L6	L6
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	M5	M5
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	N4	N4
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	N3	N3
IOL31A	I/O	6		none		True_of_IOL31B	True	P4	P4
IOL31B	I/O	6		none		Comp_of_IOL31A	True	P3	P3
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H2	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H1	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K4	K4
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K3	K3
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	J3	J3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	J1	J1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L4	L4
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L3	L3
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D17	D17
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D18	D18
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	F15	F15
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	F16	F16
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	E16	E16
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	E18	E18

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	H13	H13
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	H14	H14
IOR1A/TCK	I/O	10		none	TCK		none	A17	A17
IOR1B/TDI	I/O	10		none	TDI		none	D15	D15
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F17	F17
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F18	F18
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G16	G16
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G18	G18
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	H15	H15
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	H16	H16
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	J13	J13
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K14	K14
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	K12	K12
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	K13	K13
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	L12	L12
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	L13	L13
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	K15	K15
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K16	K16
IOR35A	I/O	11		none			none	R16	R16
IOR3A/TMS	I/O	10		none	TMS		none	B18	B18
IOR3B/TDO	I/O	10		none	TDO		none	D16	D16
IOR5A	I/O	2		none		True_of_IOR5B	True	H12	H12

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOR5B	I/O	2		none		Comp_of_IOR5A	True	G13	G13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	F14	F14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	G14	G14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C17	C17
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C18	C18
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4	F4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1	C1
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	D4	D4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	C4	C4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B2	B2
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A2	A2

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D6	D6
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C6	C6
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	B4	B4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4	A4
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C5	C5
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A5	A5
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5	L5
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5	K5
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	F7	F7
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	E6	E6
IOT43A	I/O	0		none		True_of_IOT43B	True	B6	B6
IOT43B	I/O	0		none		Comp_of_IOT43A	True	A6	A6
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E7	E7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	C7	C7
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A7	A7
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	D8	D8
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	C8	C8
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G8	G8
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F8	F8
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	D9	D9
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	C9	C9

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_x]A: GCLKC\_x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B9	B9
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A9	A9
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	H6	H6
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	H5	H5
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D11	D11
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C11	C11
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	C10	C10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A10	A10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	G9	G9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	F9	F9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B11	B11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	G11	G11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F10	F10
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B12	B12
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A12	A12
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	F11	F11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	E11	E11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	D12	D12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	C12	C12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	C13	C13
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A13	A13
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1	G1
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	F12	F12

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	E12	E12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B14	B14
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A14	A14
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	C15	C15
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	A15	A15
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D14	D14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C14	C14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B16	B16
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A16	A16
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6	G6
VCC	Power	N/A						J8	
VCC	Power	N/A						H9	
VCC	Power	N/A						K11	
VCC	Power	N/A						H11	
VCC	Power	N/A						K9	
VCC	Power	N/A						L10	
VCC	Power	N/A						M7	
VCC	Power	N/A						L8	
VCC	Power	N/A						M12	
VCC	Power	N/A						G7	
VCCIO10/VCCX	Power	N/A						P5	
VCCIO10/VCCX	Power	N/A						G10	
VCCIO10/VCCX	Power	N/A						K7	
VCCIO10/VCCX	Power	N/A						M9	

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
VCCIO10/VCCX	Power	N/A						E14	
VCCIO10/VCCX	Power	N/A						B1	
VCCIO10/VCCX	Power	N/A						E9	
VCCIO10/VCCX	Power	N/A						P14	
VCCIO10/VCCX	Power	N/A						B17	
VCCIO10/VCCX	Power	N/A						J12	
VCCIO10/VCCX	Power	N/A						P10	
VCCIO10/VCCX	Power	N/A						E5	
VCCIO0/VCCIO1	Power	N/A						B15	B15
VCCIO0/VCCIO1	Power	N/A						E10	E10
VCCIO0/VCCIO1	Power	N/A						D13	D13
VCCIO0/VCCIO1	Power	N/A						D7	D7
VCCIO0/VCCIO1	Power	N/A						B5	B5
VCCIO0/VCCIO1	Power	N/A						B10	B10
VCCIO2/VCCIO3	Power	N/A						G15	G15
VCCIO2/VCCIO3	Power	N/A						R17	R17
VCCIO2/VCCIO3	Power	N/A						J14	J14
VCCIO2/VCCIO3	Power	N/A						J17	J17
VCCIO2/VCCIO3	Power	N/A						M15	M15
VCCIO2/VCCIO3	Power	N/A						E17	E17
VCCIO4/VCCIO5	Power	N/A						P9	P9
VCCIO4/VCCIO5	Power	N/A						U4	U4
VCCIO4/VCCIO5	Power	N/A						R6	R6
VCCIO4/VCCIO5	Power	N/A						R12	R12
VCCIO4/VCCIO5	Power	N/A						U9	U9
VCCIO4/VCCIO5	Power	N/A						U14	U14
VCCIO6/VCCIO7	Power	N/A						J5	J5
VCCIO6/VCCIO7	Power	N/A						E2	E2
VCCIO6/VCCIO7	Power	N/A						G4	G4

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
VCCIO6/VCCIO7	Power	N/A						M4	M4
VCCIO6/VCCIO7	Power	N/A						J2	J2
VCCIO6/VCCIO7	Power	N/A						R2	R2
VCC	Power	N/A							L10
VCC	Power	N/A							G7
VCC	Power	N/A							K9
VCC	Power	N/A							K11
VCC	Power	N/A							H9
VCC	Power	N/A							H11
VCC	Power	N/A							J8
VCC	Power	N/A							L8
VCC	Power	N/A							M12
VCC	Power	N/A							M7
VCC_LDO	Power	N/A						J10	
VCC_LDO/VCCIO10/VCCX	Power	N/A							B17
VCC_LDO/VCCIO10/VCCX	Power	N/A							J12
VCC_LDO/VCCIO10/VCCX	Power	N/A							P14
VCC_LDO/VCCIO10/VCCX	Power	N/A							E9
VCC_LDO/VCCIO10/VCCX	Power	N/A							K7
VCC_LDO/VCCIO10/VCCX	Power	N/A							P5
VCC_LDO/VCCIO10/VCCX	Power	N/A							P10
VCC_LDO/VCCIO10/VCCX	Power	N/A							B1
VCC_LDO/VCCIO10/VCCX	Power	N/A							G10
VCC_LDO/VCCIO10/VCCX	Power	N/A							E5
VCC_LDO/VCCIO10/VCCX	Power	N/A							E14
VCC_LDO/VCCIO10/VCCX	Power	N/A							M9
V_EFUSE	Power	N/A						L11	L11
VSS	Ground	N/A						A1	A1
VSS	Ground	N/A						A18	A18



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
VSS	Ground	N/A						B13	B13
VSS	Ground	N/A						B7	B7
VSS	Ground	N/A						C16	C16
VSS	Ground	N/A						C3	C3
VSS	Ground	N/A						D10	D10
VSS	Ground	N/A						D5	D5
VSS	Ground	N/A						E15	E15
VSS	Ground	N/A						G12	G12
VSS	Ground	N/A						G17	G17
VSS	Ground	N/A						G2	G2
VSS	Ground	N/A						G5	G5
VSS	Ground	N/A						H10	H10
VSS	Ground	N/A						H8	H8
VSS	Ground	N/A						J11	J11
VSS	Ground	N/A						J15	J15
VSS	Ground	N/A						J4	J4
VSS	Ground	N/A						J9	J9
VSS	Ground	N/A						K10	K10
VSS	Ground	N/A						K8	K8
VSS	Ground	N/A						L9	L9
VSS	Ground	N/A						M17	M17
VSS	Ground	N/A						M2	M2
VSS	Ground	N/A						M6	M6
VSS	Ground	N/A						N13	N13
VSS	Ground	N/A						R1	R1
VSS	Ground	N/A						R14	R14
VSS	Ground	N/A						R18	R18
VSS	Ground	N/A						R4	R4
VSS	Ground	N/A						R9	R9

注！

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
VSS	Ground	N/A						T16	T16
VSS	Ground	N/A						U12	U12
VSS	Ground	N/A						U6	U6
VSS	Ground	N/A						V1	V1
VSS	Ground	N/A						V18	V18
NC	N/A	N/A						P13	P13
NC	N/A	N/A							J10

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_I0B10B	True	U5
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_I0B10A	True	V5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_I0B12B	True	R5
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_I0B12A	True	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_I0B14B	True	N6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_I0B14A	True	P7
IOB16A	I/O	5	bus1	none		True_of_I0B16B	True	T6
IOB16B	I/O	5	bus1	none		Comp_of_I0B16A	True	V6
IOB18B	I/O	5	bus1	none			True	P8
IOB1A/RECONFIGN	I/O	5		none	RECONFIGN		none	V2
IOB20A	I/O	5	bus1	none		True_of_I0B20B	True	U7
IOB20B	I/O	5	bus1	none		Comp_of_I0B20A	True	V7
IOB22A	I/O	5	bus1	none		True_of_I0B22B	True	U8
IOB22B	I/O	5	bus1	none		Comp_of_I0B22A	True	V8
IOB24A	I/O	5	bus1	none		True_of_I0B24B	True	M8
IOB24B	I/O	5	bus1	none		Comp_of_I0B24A	True	N8
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_I0B26B	True	M10
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_I0B26A	True	N9
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_I0B29B	True	T9
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_I0B29A	True	V9
IOB2A	I/O	5	bus1	none			True	T4
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_I0B31B	True	R8

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	T8
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	U10
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	V10
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R10
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T10
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	U3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	V3
IOB39A	I/O	4	bus1	none		True_of_IOB39B	True	U11
IOB39B	I/O	4	bus1	none		Comp_of_IOB39A	True	V11
IOB41A	I/O	4	bus1	none		True_of_IOB41B	True	N10
IOB41B	I/O	4	bus1	none		Comp_of_IOB41A	True	P11
IOB43A	I/O	4	bus1	none		True_of_IOB43B	True	T12
IOB43B	I/O	4	bus1	none		Comp_of_IOB43A	True	V12
IOB45A	I/O	4		none		True_of_IOB45B	True	R11
IOB45B	I/O	4		none		Comp_of_IOB45A	True	T11
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	M11
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	N11
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	N5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	P6
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	U13
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	V13
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N12
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P12

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_I0B54B	True	T14
I0B54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_I0B54A	True	V14
I0B56A	I/O	4	bus1	none		True_of_I0B56B	True	U15
I0B56B	I/O	4	bus1	none		Comp_of_I0B56A	True	V15
I0B58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_I0B58B	True	R13
I0B58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_I0B58A	True	T13
I0B60A	I/O	4	bus1	none		True_of_I0B60B	True	U16
I0B60B	I/O	4	bus1	none		Comp_of_I0B60A	True	V16
I0B62A/CCLK	I/O	4	bus1	none	CCLK	True_of_I0B62B	True	R15
I0B62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_I0B62A	True	T15
I0B64A/DONE	I/O	4		none	DONE		none	V17
I0B65A	I/O	3	bus1	none		True_of_I0B65B	True	P15
I0B65B/DOUТ	I/O	3	bus1	none	DOUТ	Comp_of_I0B65A	True	P16
I0B67A	I/O	3	bus1	none		True_of_I0B67B	True	L14
I0B67B	I/O	3	bus1	none		Comp_of_I0B67A	True	M13
I0B69A	I/O	3	bus1	DQ5		True_of_I0B69B	True	M14
I0B69B	I/O	3	bus1	DQ5		Comp_of_I0B69A	True	N14
I0B6A	I/O	5	bus1	none		True_of_I0B6B	True	R7
I0B6B	I/O	5	bus1	none		Comp_of_I0B6A	True	T7
I0B71A	I/O	3	bus1	DQ5		True_of_I0B71B	True	U17
I0B71B	I/O	3	bus1	DQ5		Comp_of_I0B71A	True	U18
I0B73A	I/O	3	bus1	DQ5		True_of_I0B73B	True	T17
I0B73B	I/O	3	bus1	DQ5		Comp_of_I0B73A	True	T18
I0B75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_I0B75B	True	N15
I0B75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_I0B75A	True	N16

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
I0B77A	I/O	3	bus1	DQ5		True_of_I0B77B	True	P17
I0B77B	I/O	3	bus1	DQ5		Comp_of_I0B77A	True	P18
I0B79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	N17
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	N18
I0B81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	M16
I0B81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	M18
I0B83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	L17
I0B83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	L18
I0B85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	K17
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	K18
I0B87A	I/O	3	bus1	DQ4			True	J16
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	H17
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	H18
I0B8A/D05/SO/SS11	I/O	5	bus1	none	D05/SO/SS11	True_of_I0B8B	True	R3
I0B8B/D06	I/O	5	bus1	none	D06	Comp_of_I0B8A	True	T3
I0B91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	L15
I0B91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	L16
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	K2
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	K1
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	L2
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	L1
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	M3
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	M1
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	N2
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	N1
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	P2
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	P1

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K4
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K3
IOL7B	I/O	6	bus0	DQ7			True	J1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L4
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L3
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D17
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D18
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	F15
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	F16
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	E16
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	E18
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	H13
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	H14
IOR1A/TCK	I/O	10		none	TCK		none	A17
IOR1B/TDI	I/O	10		none	TDI		none	D15
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F17
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F18
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G16
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G18
IOR24A	I/O	2	bus1	DQ3			True	H15
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	J13

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K14
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	K12
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	K13
IOR31A/GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/R PLL1_T_FB1	True_of_IOR31B	True	L12
IOR31B/GCLKC_4/RPLL1_C_IN0/ RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/R PLL1_C_FB1	Comp_of_IOR31A	True	L13
IOR33A/GCLKT_5/RPLL1_T_IN1/ RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/R PLL1_T_FB0	True_of_IOR33B	True	K15
IOR33B/GCLKC_5/RPLL1_C_IN1/ RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/R PLL1_C_FB0	Comp_of_IOR33A	True	K16
IOR35A	I/O	11		none			none	R16
IOR3A/TMS	I/O	10		none	TMS		none	B18
IOR3B/TDO	I/O	10		none	TDO		none	D16
IOR5A	I/O	2		none		True_of_IOR5B	True	H12
IOR5B	I/O	2		none		Comp_of_IOR5A	True	G13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	F14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	G14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C17
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C18
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	D4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	C4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B2
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A2
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D6
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C6
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	B4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C5
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A5
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	F7
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	E6
IOT43A	I/O	0		none		True_of_IOT43B	True	B6
IOT43B	I/O	0		none		Comp_of_IOT43A	True	A6
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	C7
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A7
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	D8
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	C8
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G8
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F8
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	D9
IOT56B/GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	C9
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	B9
IOT58B/GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	A9
IOT5B	I/O	7	bus0	none			True	H5
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D11
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C11
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	C10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A10

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	G9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	F9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	G11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F10
IOT72B	I/O	1	bus2	DQ0			True	A12
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	F11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	E11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	D12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	C12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	C13
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A13
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	F12
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	E12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B14
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A14
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	C15
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	A15
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A16
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6
M0_CKN	DIO	MIPI		none			none	M5
M0_CKP	DIO	MIPI		none			none	L6
M0_D0N	DIO	MIPI		none			none	T1
M0_D0P	DIO	MIPI		none			none	T2
M0_D1N	DIO	MIPI		none			none	U1
M0_D1P	DIO	MIPI		none			none	U2
M0_D2N	DIO	MIPI		none			none	N3
M0_D2P	DIO	MIPI		none			none	N4
M0_D3N	DIO	MIPI		none			none	P3
M0_D3P	DIO	MIPI		none			none	P4
VDD12_MIP1	Power	N/A						V4
VDD12_MIP2	Power	N/A						H6
VDD12_MIP3	Power	N/A						J3
VDD12_MIP4	Power	N/A						J18
VDD12_MIP5	Power	N/A						B12
VDD12_MIP6	Power	N/A						H16
VDD12_MIP7	Power	N/A						N7
VDDA_MIP1/VDDD_MIP1/VCC	Power	N/A						H9
VDDA_MIP2/VDDD_MIP2/VCC	Power	N/A						G7
VDDA_MIP3/VDDD_MIP3/VCC	Power	N/A						H11
VDDA_MIP4/VDDD_MIP4/VCC	Power	N/A						J8
VDDA_MIP5/VDDD_MIP5/VCC	Power	N/A						L8
VDDA_MIP6/VDDD_MIP6/VCC	Power	N/A						M7

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
VDDA_MIPI/VDDD_MIPI/VCC	Power	N/A						M12
VDDA_MIPI/VDDD_MIPI/VCC	Power	N/A						L10
VDDA_MIPI/VDDD_MIPI/VCC	Power	N/A						K9
VDDA_MIPI/VDDD_MIPI/VCC	Power	N/A						K11
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						P5
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						M9
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						P10
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						E9
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						B1
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						E5
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						P14
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						B17
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						E14
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						J12
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						K7
VDDX_MIPI/VCCIO10/VCCX	Power	N/A						G10
VCC_LDO	Power	N/A						J10
VCCIO0/VCCIO1	Power	N/A						B15
VCCIO0/VCCIO1	Power	N/A						B10
VCCIO0/VCCIO1	Power	N/A						E10
VCCIO0/VCCIO1	Power	N/A						B5
VCCIO0/VCCIO1	Power	N/A						D7
VCCIO0/VCCIO1	Power	N/A						D13
VCCIO2/VCCIO3	Power	N/A						J17
VCCIO2/VCCIO3	Power	N/A						R17
VCCIO2/VCCIO3	Power	N/A						E17
VCCIO2/VCCIO3	Power	N/A						M15

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
VCCIO2/VCCIO3	Power	N/A						G15
VCCIO2/VCCIO3	Power	N/A						J14
VCCIO4/VCCIO5	Power	N/A						U14
VCCIO4/VCCIO5	Power	N/A						P9
VCCIO4/VCCIO5	Power	N/A						U9
VCCIO4/VCCIO5	Power	N/A						U4
VCCIO4/VCCIO5	Power	N/A						R12
VCCIO4/VCCIO5	Power	N/A						R6
VCCIO6/VCCIO7	Power	N/A						R2
VCCIO6/VCCIO7	Power	N/A						E2
VCCIO6/VCCIO7	Power	N/A						J2
VCCIO6/VCCIO7	Power	N/A						J5
VCCIO6/VCCIO7	Power	N/A						G4
VCCIO6/VCCIO7	Power	N/A						M4
V_EFUSE	Power	N/A						L11
VSS	Ground	N/A						A18
VSS	Ground	N/A						B13
VSS	Ground	N/A						B7
VSS	Ground	N/A						C16
VSS	Ground	N/A						C3
VSS	Ground	N/A						D10
VSS	Ground	N/A						D5
VSS	Ground	N/A						E15
VSS	Ground	N/A						G12
VSS	Ground	N/A						G17
VSS	Ground	N/A						G2
VSS	Ground	N/A						G5

注!

[1] LV版本封装。

[2] GCLKT\_*x*]A: GCLKC\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKT\_*x*]B: 可配置成GCLKC\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

GCLKC\_*x*]A: GCLKT\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKC\_*x*]B: 可配置成GCLKT\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
VSS	Ground	N/A						H10
VSS	Ground	N/A						H8
VSS	Ground	N/A						J11
VSS	Ground	N/A						J15
VSS	Ground	N/A						J4
VSS	Ground	N/A						J9
VSS	Ground	N/A						K10
VSS	Ground	N/A						K8
VSS	Ground	N/A						A1
VSS	Ground	N/A						L9
VSS	Ground	N/A						M17
VSS	Ground	N/A						M2
VSS	Ground	N/A						M6
VSS	Ground	N/A						N13
VSS	Ground	N/A						R1
VSS	Ground	N/A						R14
VSS	Ground	N/A						R18
VSS	Ground	N/A						R4
VSS	Ground	N/A						R9
VSS	Ground	N/A						T16
VSS	Ground	N/A						U12
VSS	Ground	N/A						U6
VSS	Ground	N/A						V1
VSS	Ground	N/A						V18
NC	N/A	N/A						P13

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_I0B10B	True	N5	N5
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_I0B10A	True	P5	P5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WP N/SSI2/LPLL1_T_IN1	True_of_I0B12B	True	N6	N6
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPL L1_C_IN1	Comp_of_I0B12A	True	P6	P6
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_I0B14B	True	N4	N4
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_I0B14A	True	P4	P4
IOB1A/RECONFIG	I/O	5		none	RECONFIG		none	N1	N1
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_ FB0	True_of_I0B31B	True	N7	N7
IOB31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_ FB0	Comp_of_I0B31A	True	P7	P7
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_I N1	True_of_I0B33B	True	N8	N8
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_ C_IN1	Comp_of_I0B33A	True	P8	P8
IOB37A/READY	I/O	4	bus1	none	READY	True_of_I0B37B	True	N2	N2
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_I0B37A	True	P2	P2
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_I0B4B	True	N3	N3
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_I0B4A	True	P3	P3
IOB50A/D11	I/O	4	bus1	none	D11	True_of_I0B50B	True	L8	L8
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_I0B50A	True	M8	M8
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_I0B52B	True	N9	N9
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_I0B52A	True	P9	P9



注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N10	N10
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P10	P10
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	N12	N12
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	P12	P12
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	N11	N11
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	P11	P11
IOB60A	I/O	4	bus1	none			True	M12	M12
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	N13	N13
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	P13	P13
IOB64A/DONE	I/O	4		none	DONE		none	N14	N14
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14	M14
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L13	L13
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L14	L14
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	K13	K13
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	K14	K14
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	J13	J13
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	J14	J14
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	H11	H11
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	H12	H12
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L4	L4
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	M4	M4
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	H13	H13
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	H14	H14
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	J4	J4

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	J3	J3
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	K2	K2
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	K1	K1
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	L2	L2
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	L1	L1
IOL31A	I/O	6		none		True_of_IOL31B	True	M2	M2
IOL31B	I/O	6		none		Comp_of_IOL31A	True	M1	M1
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H2	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H1	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	J2	J2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	J1	J1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	F4	F4
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F3	F3
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	F11	F11
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	F12	F12
IOR1A/TCK	I/O	10		none	TCK		none	B13	B13
IOR1B/TDI	I/O	10		none	TDI		none	A13	A13
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	J11	J11
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	J12	J12
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	F13	F13
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	F14	F14

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	G13	G13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	G14	G14
IOR35A	I/O	11		none			none	L12	L12
IOR3A/TMS	I/O	10		none	TMS		none	B14	B14
IOR3B/TDO	I/O	10		none	TDO		none	C14	C14
IOR5A	I/O	2		none		True_of_IOR5B	True	C12	C12
IOR5B	I/O	2		none		Comp_of_IOR5A	True	C13	C13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	D13	D13
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	D14	D14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	E13	E13
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	E14	E14
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	D4	D4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	D3	D3
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F2	F2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	F1	F1
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	B2	B2
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2	A2
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3	A3
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	B4	B4
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A4	A4
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	G2	G2
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	G1	G1
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	B5	B5
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	A5	A5

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	B6	B6
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A6	A6
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B7	B7
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A7	A7
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	E2	E2
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	E1	E1
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D8	D8
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C8	C8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	B8	B8
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A8	A8
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	B9	B9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	A9	A9
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B10	B10
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A10	A10
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	B11	B11
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A11	A11
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	D2	D2
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	D1	D1
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D11	D11
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C11	C11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B12	B12

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A12	A12
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C1	C1
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	B1	B1
VCC	Power	N/A						E9	
VCC	Power	N/A						K5	
VCC	Power	N/A						K6	
VCC	Power	N/A						E5	
VCC	Power	N/A						F6	
VCC	Power	N/A						K9	
VCC	Power	N/A						E10	
VCC	Power	N/A						K10	
VCC	Power	N/A						F5	
VCC	Power	N/A						F9	
VCC	Power	N/A						F10	
VCC	Power	N/A						J5	
VCC	Power	N/A						E6	
VCC	Power	N/A						J9	
VCCIO10/VCCX	Power	N/A						E7	E7
VCCIO10/VCCX	Power	N/A						L7	L7
VCCIO10/VCCX	Power	N/A						H5	H5
VCCIO10/VCCX	Power	N/A						G10	G10
VCCIO10/VCCX	Power	N/A						K7	K7
VCCIO10/VCCX	Power	N/A						D7	D7
VCCIO10/VCCX	Power	N/A						G9	G9
VCCIO10/VCCX	Power	N/A						H6	H6
VCC	Power	N/A							E9
VCC	Power	N/A							K5

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
VCC	Power	N/A							K6
VCC	Power	N/A							E5
VCC	Power	N/A							F6
VCC	Power	N/A							K9
VCC	Power	N/A							E10
VCC	Power	N/A							K10
VCC	Power	N/A							F5
VCC	Power	N/A							F9
VCC	Power	N/A							F10
VCC	Power	N/A							J5
VCC	Power	N/A							E6
VCC	Power	N/A							J9
VCC_LDO	Power	N/A						J6	
VCCIO0	Power	N/A						C4	C4
VCCIO0	Power	N/A						C5	C5
VCCIO1	Power	N/A						C10	C10
VCCIO1	Power	N/A						C9	C9
VCCIO2	Power	N/A						E12	E12
VCCIO2	Power	N/A						G11	G11
VCCIO2	Power	N/A						D12	D12
VCCIO3	Power	N/A						G12	G12
VCCIO3	Power	N/A						K12	K12
VCCIO3	Power	N/A						K11	K11
VCCIO4	Power	N/A						M9	M9
VCCIO4	Power	N/A						M10	M10
VCCIO5	Power	N/A						M6	M6
VCCIO5	Power	N/A						M5	M5
VCCIO6	Power	N/A						G3	G3

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
VCCIO6	Power	N/A						E3	E3
VCCIO6	Power	N/A						E4	E4
VCCIO7	Power	N/A						K3	K3
VCCIO7	Power	N/A						H3	H3
VCCIO7	Power	N/A						K4	K4
V_EFUSE	Power	N/A						L11	L11
VSS	Ground	N/A						A1	A1
VSS	Ground	N/A						A14	A14
VSS	Ground	N/A						C2	C2
VSS	Ground	N/A						C3	C3
VSS	Ground	N/A						C6	C6
VSS	Ground	N/A						C7	C7
VSS	Ground	N/A						D10	D10
VSS	Ground	N/A						D5	D5
VSS	Ground	N/A						D6	D6
VSS	Ground	N/A						D9	D9
VSS	Ground	N/A						E11	E11
VSS	Ground	N/A						E8	E8
VSS	Ground	N/A						F7	F7
VSS	Ground	N/A						F8	F8
VSS	Ground	N/A						G5	G5
VSS	Ground	N/A						G6	G6
VSS	Ground	N/A						G7	G7
VSS	Ground	N/A						G8	G8
VSS	Ground	N/A						H10	H10
VSS	Ground	N/A						H4	H4
VSS	Ground	N/A						H7	H7
VSS	Ground	N/A						H8	H8

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
VSS	Ground	N/A						H9	H9
VSS	Ground	N/A						J10	J10
VSS	Ground	N/A						J7	J7
VSS	Ground	N/A						J8	J8
VSS	Ground	N/A						K8	K8
VSS	Ground	N/A						L10	L10
VSS	Ground	N/A						L3	L3
VSS	Ground	N/A						L5	L5
VSS	Ground	N/A						L6	L6
VSS	Ground	N/A						L9	L9
VSS	Ground	N/A						M11	M11
VSS	Ground	N/A						M3	M3
VSS	Ground	N/A						M7	M7
VSS	Ground	N/A						P1	P1
VSS	Ground	N/A						P14	P14
VSS	Ground	N/A						G4	G4
NC	N/A	N/A							J6



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	P5
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	R5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	N6
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	R6
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	N4
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	R4
IOB1A/RECONFIGN	I/O	5		none	RECONFIGN		none	R2
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	L7
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	M6
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	P7
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	R7
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	K8
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	L8
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	M8
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	N7
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	N8
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	R8
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	P3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	R3

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOB45A	I/O	4		none		True_of_IOB45B	True	P9
IOB45B	I/O	4		none		Comp_of_IOB45A	True	R9
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	M9
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	N9
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N5
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	L9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	M10
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N10
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	R10
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	M11
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	N11
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	P13
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	R13
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	P11
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	R11
IOB60A	I/O	4	bus1	none			True	L10
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	N12
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	R12
IOB64A/DONE	I/O	4		none	DONE		none	R14
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P14
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	P15
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	K12
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L12

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	K10
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	K11
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	N14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	N15
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M13
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	M15
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	L14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	L15
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	K13
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	K15
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	J14
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	J15
IOB8A/D05/SO/SS11	I/O	5	bus1	none	D05/SO/SS11	True_of_IOB8B	True	L6
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	L5
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	M3
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	M1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	N2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	N1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	G5
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	G3
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	H6
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	H5
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	K5
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	J4
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	J5
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	H4
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	M4

注！								
[1] EV版本封装。								
[2] GCLKT_[x]A: GCLKC_[x]的默认专用管脚, [x]是时钟序号。								
GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。								
GCLKC_[x]A: GCLKT_[x]的默认专用管脚, [x]是时钟序号。								
GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。								
管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	L3
IOL31A	I/O	6		none		True_of_IOL31B	True	P2
IOL31B	I/O	6		none		Comp_of_IOL31A	True	P1
IOL3A/GCLKT_14/LPLL0_T_IN2/ LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/ LPLL0_T_FB0	True_of_IOL3B	True	J2
IOL3B/GCLKC_14/LPLL0_C_IN2/ LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/ LPLL0_C_FB0	Comp_of_IOL3A	True	J1
IOL5A/GCLKT_13/LPLL0_T_IN1/ LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/ LPLL0_T_FB1	True_of_IOL5B	True	K4
IOL5B/CLKC_13/LPLL0_C_IN1/ PLL0_C_FB1	I/O	6	bus0	DQ7	CLKC_13/LPLL0_C_IN1/ PLL0_C_FB1	Comp_of_IOL5A	True	J3
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	K3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	K1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L1
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D13
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D15
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	E14
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	E15
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	F13
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	F15
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	G11
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	G12
IOR1A/TCK	I/O	10		none	TCK		none	A14
IOR1B/TDI	I/O	10		none	TDI		none	E10
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	H12

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	G13
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	H10
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	H11
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	J11
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	J13
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	G14
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	G15
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	H13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	H15
IOR35A	I/O	11		none			none	L13
IOR3A/TMS	I/O	10		none	TMS		none	E13
IOR3B/TDO	I/O	10		none	TDO		none	D12
IOR5A	I/O	2		none		True_of_IOR5B	True	F11
IOR5B	I/O	2		none		Comp_of_IOR5A	True	F12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B15
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C14
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C15
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	D3
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	D1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	C2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	C1

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	D4
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E3
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E5
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E4
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	G2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G1
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	B2
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	B3
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	C4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	H3
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H1
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D5
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C5
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E6
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	D6
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	B5
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A5
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	C6
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	A6
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	D7
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	C7
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	F8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	E8

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	E7
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	D8
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B7
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A7
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	F5
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	F4
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	C8
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	A8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	B9
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A9
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	F10
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	E9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C10
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A10
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	D10
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	C9
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B11
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A11
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	F3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	F1
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	D11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	C11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	C12

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。  
GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A12
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B13
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A13
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	E2
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	E1
VCC	Power	N/A						K7
VCC	Power	N/A						G8
VCC	Power	N/A						H9
VCC	Power	N/A						J8
VCC	Power	N/A						F9
VCC	Power	N/A						J10
VCC	Power	N/A						G6
VCCIO10/VCCX	Power	N/A						F7
VCCIO10/VCCX	Power	N/A						M12
VCCIO10/VCCX	Power	N/A						E12
VCCIO10/VCCX	Power	N/A						J6
VCCIO10/VCCX	Power	N/A						B1
VCCIO10/VCCX	Power	N/A						K9
VCCIO10/VCCX	Power	N/A						G10
VCCIO10/VCCX	Power	N/A						L4
VCC_LDO	Power	N/A						H7
VCCIO0	Power	N/A						B8
VCCIO0	Power	N/A						B4
VCCIO1	Power	N/A						D9
VCCIO1	Power	N/A						B12



注!

[1] EV版本封装。

[2] GCLKT\_*x*A: GCLKC\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
VCCIO2	Power	N/A						H14
VCCIO2	Power	N/A						D14
VCCIO3	Power	N/A						M14
VCCIO3	Power	N/A						J12
VCCIO4	Power	N/A						P8
VCCIO4	Power	N/A						P12
VCCIO5	Power	N/A						M7
VCCIO5	Power	N/A						P4
VCCIO6	Power	N/A						M2
VCCIO6	Power	N/A						H2
VCCIO7	Power	N/A						G4
VCCIO7	Power	N/A						D2
V_EFUSE	Power	N/A						L11
VSS	Ground	N/A						A1
VSS	Ground	N/A						A15
VSS	Ground	N/A						B10
VSS	Ground	N/A						B6
VSS	Ground	N/A						C13
VSS	Ground	N/A						C3
VSS	Ground	N/A						E11
VSS	Ground	N/A						F14
VSS	Ground	N/A						F2
VSS	Ground	N/A						F6
VSS	Ground	N/A						G7
VSS	Ground	N/A						G9
VSS	Ground	N/A						H8
VSS	Ground	N/A						J7

注!

[1] EV版本封装。

[2] GCLKT\_ $x$ ]A: GCLKC\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKT\_ $x$ ]B: 可配置成GCLKC\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]A: GCLKT\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]B: 可配置成GCLKT\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
VSS	Ground	N/A						J9
VSS	Ground	N/A						K14
VSS	Ground	N/A						K2
VSS	Ground	N/A						K6
VSS	Ground	N/A						N13
VSS	Ground	N/A						N3
VSS	Ground	N/A						P10
VSS	Ground	N/A						P6
VSS	Ground	N/A						R1
VSS	Ground	N/A						R15

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
 LQ100封装不支持加密。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	52	52
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	51	51
IOB26A/GCLKT_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	54	54
IOB26B/GCLKC_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	53	53
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	57	57
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	58	58
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	59	59
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	60	60
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	61	61
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	62	62
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	63	63
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	64	64
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	65	65
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	66	66
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	67	67
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	68	68
IOB64A/DONE	I/O	4		none	DONE		none	69	69
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	70	70
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	71	71

注!

[1] EV版本封装。

[2] LV版本封装。

LQ100封装不支持加密。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	74	74
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	75	75
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	35	35
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	36	36
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	37	37
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	38	38
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	39	39
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	40	40
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	41	41
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	42	42
IOL25A	I/O	6		DQ6			True	43	43
IOL27B	I/O	6	bus0	DQ6			True	47	47
IOL31A	I/O	6		none		True_of_IOL31B	True	48	48
IOL31B	I/O	6		none		Comp_of_IOL31A	True	49	49
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	28	28
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	27	27
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	30	30
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	29	29
IOL7A	I/O	6	bus0	DQ7			True	31	31
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	34	34
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	32	32

注!

[1] EV版本封装。

[2] LV版本封装。

LQ100封装不支持加密。

[3] GCLKT\_ $x$ A: GCLKC\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKT\_ $x$ B: 可配置成GCLKC\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

GCLKC\_ $x$ A: GCLKT\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKC\_ $x$ B: 可配置成GCLKT\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
IOR1A/TCK	I/O	10		none	TCK		none	98	98
IOR1B/TDI	I/O	10		none	TDI		none	99	99
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	91	91
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	90	90
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	89	89
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	88	88
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	87	87
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	86	86
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	85	85
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	84	84
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	83	83
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	82	82
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	81	81
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	78	78
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	77	77
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	76	76
IOR3A/TMS	I/O	10		none	TMS		none	96	96
IOR3B/TDO	I/O	10		none	TDO		none	97	97
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	95	95
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	94	94
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	21	21

注!

[1] EV版本封装。

[2] LV版本封装。

LQ100封装不支持加密。

[3] GCLKT\_*x*A: GCLKC\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	20	20
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	19	19
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	18	18
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	17	17
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	16	16
IOT1A/GCLKT_15/LPLL0_T_I N0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	25	25
IOT1B/GCLKC_15/LPLL0_C_I N0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN 0	Comp_of_IOT1A	True	24	24
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	15	15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	14	14
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	13	13
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	12	12
IOT63A/GCLKT_3/RPLL0_T_I N0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	10	10
IOT63B/GCLKC_3/RPLL0_C_I N0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	9	9
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	8	8
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	7	7
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	4	4
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	3	3
IOT91A/RPLL0_T_IN1/RPLL0 _T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_ FB0	True_of_IOT91B	True	2	2
IOT91B/RPLL0_C_IN1/RPLL0 _C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_ FB0	Comp_of_IOT91A	True	1	1

注！

[1] EV版本封装。

[2] LV版本封装。

LQ100封装不支持加密。

[3] GCLKT\_ $x$ ]A: GCLKC\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKT\_ $x$ ]B: 可配置成GCLKC\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]A: GCLKT\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]B: 可配置成GCLKT\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
VCC/VCC_LDO/VCCIO0	Power	N/A						93	
VCC/VCC_LDO/VCCIO0	Power	N/A						50	
VCC/VCC_LDO/VCCIO0	Power	N/A						11	
VCC	Power	N/A							93
VCC	Power	N/A							50
VCC_LDO/VCCIO0	Power	N/A							11
VCCIO10/VCCX	Power	N/A						26	26
VCCIO10/VCCX	Power	N/A						100	100
VCCIO1	Power	N/A						5	5
VCCIO2/V_EFUSE	Power	N/A						80	80
VCCIO6	Power	N/A						46	46
VCCIO7	Power	N/A						23	23
VCCIO3/VCCIO4/VCCIO5	Power	N/A						73	73
VCCIO3/VCCIO4/VCCIO5	Power	N/A						55	55
VSS	Ground	N/A						6	6
VSS	Ground	N/A						33	33
VSS	Ground	N/A						56	56
VSS	Ground	N/A						72	72
VSS	Ground	N/A						79	79
VSS	Ground	N/A						92	92
NC	N/A	N/A						45	45
NC	N/A	N/A						22	22
NC	N/A	N/A						44	44

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	N5	N5
IOB10B/D04/SI/SSIO	I/O	5	bus1	none	D04/SI/SSIO	Comp_of_IOB10A	True	P5	P5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	R5	R5
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	P6	P6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	T6	T6
IOB1A/RECONFIGN	I/O	5		none	RECONFIGN		none	T2	T2
IOB26A/GCLKT_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	R7	R7
IOB26B/GCLKC_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	T7	T7
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	M9	M9
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	N8	N8
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	P4	P4
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	T4	T4
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	P7	P7
IOB31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	M7	M7
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	P8	P8
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	T8	T8
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R9	R9
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T9	T9
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	R3	R3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	T3	T3
IOB45A	I/O	4		none		True_of_IOB45B	True	L10	L10



注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOB45B	I/O	4		none		Comp_of_IOB45A	True	M10	M10
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M6	M6
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N6	N6
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	N9	N9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	P9	P9
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N11	N11
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P11	P11
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N12	N12
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P12	P12
IOB56A	I/O	4	bus1	none			True	L11	L11
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	P10	P10
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	T10	T10
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	M12	M12
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	M11	M11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R11	R11
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T11	T11
IOB64A/DONE	I/O	4		none	DONE		none	P13	P13
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14	M14
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	L12	L12
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	L13	L13
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	R12	R12
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	T12	T12
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T14	T14
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T13	T13
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	R14	R14
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	T15	T15

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
I0B77A	I/O	3	bus1	DQ5		True_of_I0B77B	True	R15	R15
I0B77B	I/O	3	bus1	DQ5		Comp_of_I0B77A	True	R16	R16
I0B79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	P15	P15
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	P16	P16
I0B81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	L14	L14
I0B81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	L16	L16
I0B83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	M15	M15
I0B83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	M16	M16
I0B85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	N14	N14
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	N16	N16
I0B87A	I/O	3	bus1	DQ4		True_of_I0B87B	True	K15	K15
I0B87B	I/O	3	bus1	DQ4		Comp_of_I0B87A	True	K16	K16
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	J14	J14
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	J16	J16
I0B8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_I0B8B	True	L8	L8
I0B8B/D06	I/O	5	bus1	none	D06	Comp_of_I0B8A	True	L7	L7
I0B91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	K12	K12
I0B91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	K11	K11
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	J3	J3
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	J1	J1
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	K2	K2
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	K1	K1
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	L3	L3
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	L1	L1
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	M2	M2
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	M1	M1
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	N3	N3
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	N1	N1
I0L23A	I/O	6	bus0	DQ6		True_of_I0L23B	True	P2	P2

注！

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	P1	P1
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	R2	R2
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	R1	R1
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	M4	M4
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	M3	M3
IOL31A	I/O	6		none		True_of_IOL31B	True	M5	M5
IOL31B	I/O	6		none		Comp_of_IOL31A	True	N4	N4
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	K3	K3
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J4	J4
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	F2	F2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	F1	F1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	G3	G3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G1	G1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H2	H2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H1	H1
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D14	D14
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D16	D16
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	F13	F13
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	F14	F14
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	C15	C15
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	C16	C16
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	E15	E15
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	E16	E16
IOR1A/TCK	I/O	10		none	TCK		none	C14	C14
IOR1B/TDI	I/O	10		none	TDI		none	C12	C12

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F15	F15
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F16	F16
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G14	G14
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G16	G16
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	H15	H15
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	H16	H16
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	G12	G12
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	H11	H11
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	H13	H13
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	H14	H14
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	J11	J11
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	J12	J12
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J13	J13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K14	K14
IOR35A	I/O	11		none			none	P14	P14
IOR3A/TMS	I/O	10		none	TMS		none	A15	A15
IOR3B/TDO	I/O	10		none	TDO		none	E14	E14
IOR5A	I/O	2		none		True_of_IOR5B	True	E13	E13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	E12	E12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B15	B15
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B16	B16
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	F12	F12
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	G11	G11
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F4	F4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F3	F3

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	E2	E2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	E1	E1
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	F6	F6
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	F5	F5
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E4	E4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E3	E3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D3	D3
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	C1	C1
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	B1	B1
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C3	C3
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C2	C2
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	B2	B2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	A2	A2
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	B3	B3
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	A3	A3
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	C4	C4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A4	A4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B5	B5
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A5	A5
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D5	D5
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C5	C5
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B6	B6
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A6	A6
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	F7	F7
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	E6	E6
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C7	C7

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A7	A7
IOT3A/GCLKT_16	I/O	7	bus0	none	GCLKT_16	True_of_IOT3B	True	J6	J6
IOT3B/GCLKC_16	I/O	7	bus0	none	GCLKC_16	Comp_of_IOT3A	True	H5	H5
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6	D6
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6	C6
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	C9	C9
IOT56B/GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	A9	A9
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	B10	B10
IOT58B/GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	A10	A10
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	L4	L4
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	L5	L5
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	E7	E7
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	E8	E8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	E10	E10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	C10	C10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C8	C8
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C11	C11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F9	F9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	D9	D9
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	K5	K5
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	K6	K6
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B12	B12

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A12	A12
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	C13	C13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	A13	A13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	F10	F10
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	E11	E11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	B14	B14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A14	A14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	D11	D11
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	D12	D12
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	G6	G6
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G5	G5
VCC	Power	N/A						J9	
VCC	Power	N/A						J7	
VCC	Power	N/A						G9	
VCC	Power	N/A						H10	
VCC	Power	N/A						G7	
VCC	Power	N/A						K8	
VCC	Power	N/A						K10	
VCCIO10/VCCX	Power	N/A						G10	
VCCIO10/VCCX	Power	N/A						F11	
VCCIO10/VCCX	Power	N/A						J10	
VCCIO10/VCCX	Power	N/A						H6	
VCCIO10/VCCX	Power	N/A						L6	
VCCIO10/VCCX	Power	N/A						F8	
VCCIO10/VCCX	Power	N/A						L9	
VCCIO10/VCCX	Power	N/A						E5	
VCC_LDO	Power	N/A						H8	

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
VCCIO0	Power	N/A						D7	D7
VCCIO0	Power	N/A						B4	B4
VCCIO1	Power	N/A						B13	B13
VCCIO1	Power	N/A						D10	D10
VCCIO1	Power	N/A						B9	B9
VCCIO2	Power	N/A						J15	J15
VCCIO2	Power	N/A						D15	D15
VCCIO2	Power	N/A						G13	G13
VCCIO3	Power	N/A						K13	K13
VCCIO3	Power	N/A						N15	N15
VCCIO3	Power	N/A						R13	R13
VCCIO4	Power	N/A						N10	N10
VCCIO4	Power	N/A						R8	R8
VCCIO5	Power	N/A						N7	N7
VCCIO5	Power	N/A						R4	R4
VCCIO6	Power	N/A						N2	N2
VCCIO6	Power	N/A						K4	K4
VCCIO6	Power	N/A						J2	J2
VCCIO7	Power	N/A						D2	D2
VCCIO7	Power	N/A						G4	G4
VCC	Power	N/A							G7
VCC	Power	N/A							K8
VCC	Power	N/A							H10
VCC	Power	N/A							J9
VCC	Power	N/A							J7
VCC	Power	N/A							K10
VCC	Power	N/A							G9
VCC_LDO/VCCIO10/VCCX	Power	N/A							L6
VCC_LDO/VCCIO10/VCCX	Power	N/A							H6
VCC_LDO/VCCIO10/VCCX	Power	N/A							F11



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
VCC_LDO/VCCIO10/VCCX	Power	N/A							G10
VCC_LDO/VCCIO10/VCCX	Power	N/A							E5
VCC_LDO/VCCIO10/VCCX	Power	N/A							F8
VCC_LDO/VCCIO10/VCCX	Power	N/A							L9
VCC_LDO/VCCIO10/VCCX	Power	N/A							J10
V_EFUSE	Power	N/A						H12	H12
VSS	Ground	N/A						A1	A1
VSS	Ground	N/A						A16	A16
VSS	Ground	N/A						B11	B11
VSS	Ground	N/A						B7	B7
VSS	Ground	N/A						D13	D13
VSS	Ground	N/A						D4	D4
VSS	Ground	N/A						E9	E9
VSS	Ground	N/A						G15	G15
VSS	Ground	N/A						G2	G2
VSS	Ground	N/A						G8	G8
VSS	Ground	N/A						H7	H7
VSS	Ground	N/A						H9	H9
VSS	Ground	N/A						J5	J5
VSS	Ground	N/A						J8	J8
VSS	Ground	N/A						K7	K7
VSS	Ground	N/A						K9	K9
VSS	Ground	N/A						L15	L15
VSS	Ground	N/A						L2	L2
VSS	Ground	N/A						M8	M8
VSS	Ground	N/A						N13	N13
VSS	Ground	N/A						P3	P3
VSS	Ground	N/A						R10	R10
VSS	Ground	N/A						R6	R6
VSS	Ground	N/A						T1	T1

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
VSS	Ground	N/A						T16	T16
NC	N/A	N/A							H8

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOB10A/D06/SSPI_CS_N	I/O	5	bus1	none	D06/SSPI_CS_N	True_of_IOB10B	True	E6	E6
IOB10B/D05/SI/SSI0	I/O	5	bus1	none	D05/SI/SSI0	Comp_of_IOB10A	True	E7	E7
IOB12A/GCLKT_10B <sup>[3]</sup> /D15/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D15/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	C6	C6
IOB12B/GCLKC_10B <sup>[3]</sup> /D07/DOUT/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/D07/DOUT/LPLL1_C_IN1	Comp_of_IOB12A	True	A5	A5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	B6	B6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	A6	A6
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	D6	D6
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	D5	D5
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	B4	B4
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	A4	A4
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	F7	F7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	F6	F6
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	B5	B5
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	A2	A2
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	D3	D3
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	C3	C3
IOB26A/GCLKT_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	B3	B3
IOB26B/GCLKC_9B <sup>[3]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	A3	A3
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	B1	B1
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	D4	D4
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	B8	B8
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	A8	A8
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	C2	C2

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOB31B/GCLKC_10A <sup>[3]</sup> /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_IOB31A	True	C1	C1
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/MCS_N/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/MCS_N/BPLL_T_IN1	True_of_IOB33B	True	D2	D2
IOB33B/GCLKC_9A <sup>[3]</sup> /BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/BPLL_C_IN1	Comp_of_IOB33A	True	D1	D1
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	E5	E5
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	E1	E1
IOB37A/D08	I/O	4	bus1	none	D08	True_of_IOB37B	True	G5	G5
IOB37B	I/O	4	bus1	none		Comp_of_IOB37A	True	F5	F5
IOB45A	I/O	4		none			True	F3	F3
IOB4A/D04/LPLL1_T_FB0	I/O	5	bus1	none	D04/LPLL1_T_FB0	True_of_IOB4B	True	B7	B7
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	A7	A7
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	F2	F2
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	F1	F1
IOB52A/RECONFIG_N	I/O	4	bus1	none	RECONFIG_N	True_of_IOB52B	True	H5	H5
IOB54A/GCLKT_11B <sup>[3]</sup> /D10/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D10/MI2/BPLL_T_FB1	True_of_IOB54B	True	G2	G2
IOB54B/GCLKC_11B <sup>[3]</sup> /MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	G1	G1
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN		True	H2	H2
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	H1	H1
IOB62B/CSI_B	I/O	4	bus1	none	CSI_B	Comp_of_IOB62A	True	J3	J3
IOB64A/READY	I/O	4		none	READY		none	F4	F4
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	J6	J6
IOB65B	I/O	3	bus1	none		Comp_of_IOB65A	True	L3	L3
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	J2	J2
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	J1	J1
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	C8	C8

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
I0B6B	I/O	5	bus1	none		Comp_of_I0B6A	True	D8	D8
I0B71A	I/O	3	bus1	DQ5		True_of_I0B71B	True	K2	K2
I0B71B	I/O	3	bus1	DQ5		Comp_of_I0B71A	True	K1	K1
I0B73A	I/O	3	bus1	DQ5		True_of_I0B73B	True	K5	K5
I0B73B	I/O	3	bus1	DQ5		Comp_of_I0B73A	True	L4	L4
I0B75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_I0B75B	True	L2	L2
I0B75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_I0B75A	True	L1	L1
I0B77A	I/O	3	bus1	DQ5		True_of_I0B77B	True	N2	N2
I0B77B	I/O	3	bus1	DQ5		Comp_of_I0B77A	True	N1	N1
I0B79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	P2	P2
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	P1	P1
I0B85B	I/O	3	bus1	DQS4/DQ4			True	R1	R1
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	M2	M2
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	M1	M1
I0B8A/D03/SO/SS11	I/O	5	bus1	none	D03/SO/SS11	True_of_I0B8B	True	F8	F8
I0B8B/D02	I/O	5	bus1	none	D02	Comp_of_I0B8A	True	E8	E8
I0B91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	K6	K6
I0B91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	L6	L6
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	E11	E11
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	E10	E10
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	F9	F9
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	F10	F10
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	B13	B13
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	A13	A13
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	B12	B12
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	A12	A12
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	C11	C11
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	E9	E9

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	B11	B11
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	A11	A11
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	B10	B10
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	A10	A10
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	D9	D9
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	C9	C9
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	B9	B9
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	A9	A9
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	D14	D14
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	C14	C14
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	D12	D12
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11	D11
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	A15	A15
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F11	F11
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	B14	B14
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	A14	A14
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	R7	R7
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	T7	T7
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	R6	R6
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	T6	T6
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	R5	R5
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	T5	T5
IOR1A/TCK	I/O	10		none	TCK		none	H3	H3
IOR1B/TDI	I/O	10		none	TDI		none	H4	H4

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	P6	P6
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	M6	M6
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	N5	N5
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	N6	N6
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	R3	R3
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	T3	T3
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	M7	M7
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K8	K8
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	N3	N3
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P3	P3
IOR31A/GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	True_of_IOR31B	True	R4	R4
IOR31B/GCLKC_4/RPLL1_C_IN0/ RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/ RPLL1_C_FB1	Comp_of_IOR31A	True	T4	T4
IOR33A/GCLKT_5/RPLL1_T_IN1/ RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/ RPLL1_T_FB0	True_of_IOR33B	True	T2	T2
IOR33B/GCLKC_5/RPLL1_C_IN1/ RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/ RPLL1_C_FB0	Comp_of_IOR33A	True	L7	L7
IOR3A/TMS	I/O	10		none	TMS		none	J5	J5
IOR3B/TDO	I/O	10		none	TDO		none	J4	J4
IOR5A	I/O	2		none		True_of_IOR5B	True	R8	R8
IOR5B	I/O	2		none		Comp_of_IOR5A	True	T8	T8
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	N8	N8
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	P8	P8
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	L8	L8
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	M8	M8
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	D15	D15
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	D16	D16

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOT19A/EMCCLK	I/O	7	bus0	none	EMCCLK	True_of_IOT19B	True	F15	F15
IOT19B/CSO_B	I/O	7	bus0	none	CSO_B	Comp_of_IOT19A	True	F16	F16
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F14	F14
IOT1B/GCLKC_15	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	B16	B16
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	G11	G11
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	F13	F13
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	G15	G15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	G16	G16
IOT25A/MODE0	I/O	7	bus0	none	MODE0	True_of_IOT25B	True	H13	H13
IOT25B/MODE1	I/O	7	bus0	none	MODE1	Comp_of_IOT25A	True	H12	H12
IOT27A/MODE2	I/O	7	bus0	none	MODE2	True_of_IOT27B	True	G12	G12
IOT27B/DONE	I/O	7	bus0	none	DONE	Comp_of_IOT27A	True	H14	H14
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	J12	J12
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	J14	J14
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	J15	J15
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	J16	J16
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	L15	L15
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	L16	L16
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	J13	J13
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	L13	L13
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	E15	E15
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	E16	E16
IOT41A	I/O	0	bus0	none			True	L14	L14
IOT43A	I/O	0		none		True_of_IOT43B	True	J11	J11
IOT43B	I/O	0		none		Comp_of_IOT43A	True	K12	K12
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	N15	N15
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	N16	N16
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	L12	L12



注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	K11	K11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	R16	R16
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	P16	P16
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	N14	N14
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	P15	P15
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	N13	N13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	M12	M12
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	K15	K15
IOT56B/GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	Comp_of_IOT56A	True	K16	K16
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	M15	M15
IOT58B/GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	Comp_of_IOT58A	True	M16	M16
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	T14	T14
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	T15	T15
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	P14	P14
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	L11	L11
IOT66A	I/O	1	bus2	DQ0			True	R14	R14
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	M11	M11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	N12	N12
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	R13	R13
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	T13	T13
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	K10	K10
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	L10	L10
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	R12	R12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	T12	T12

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	M10	M10
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	N11	N11
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	R10	R10
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	T10	T10
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	R11	R11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	T11	T11
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	M9	M9
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	N9	N9
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	K9	K9
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	L9	L9
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	P9	P9
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	P11	P11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	R9	R9
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	T9	T9
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C15	C15
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	C16	C16
VCC	Power	N/A						H11	H11
VCC	Power	N/A						H6	H6
VCC	Power	N/A						G8	G8
VCC	Power	N/A						G7	G7
VCC	Power	N/A						D13	D13
VCC	Power	N/A						N4	N4
VCC	Power	N/A						G10	G10
VCC	Power	N/A						K7	K7
VCC	Power	N/A						G6	G6
VCC_LDO	Power	N/A						G9	

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
VCCIO0	Power	N/A						M14	M14
VCCIO0	Power	N/A						K14	K14
VCCIO1	Power	N/A						P10	P10
VCCIO1	Power	N/A						P13	P13
VCCIO1	Power	N/A						T16	T16
VCCIO10/VCCIO4	Power	N/A						G3	G3
VCCIO10/VCCIO4	Power	N/A						E3	E3
VCCIO2	Power	N/A						P4	P4
VCCIO2	Power	N/A						P7	P7
VCCIO2	Power	N/A						T1	T1
VCCIO3	Power	N/A						K3	K3
VCCIO3	Power	N/A						M3	M3
VCCIO5	Power	N/A						C7	C7
VCCIO5	Power	N/A						A1	A1
VCCIO5	Power	N/A						C4	C4
VCCIO6	Power	N/A						C13	C13
VCCIO6	Power	N/A						A16	A16
VCCIO6	Power	N/A						C10	C10
VCCIO7	Power	N/A						G14	G14
VCCIO7	Power	N/A						E14	E14
VCCX	Power	N/A						F12	
VCCX	Power	N/A						L5	
VCCX/VCC_LDO	Power	N/A							F12
VCCX/VCC_LDO	Power	N/A							L5
V_EFUSE	Power	N/A						M5	M5
VSS	Ground	N/A						E12	E12
VSS	Ground	N/A						H7	H7
VSS	Ground	N/A						H8	H8
VSS	Ground	N/A						H9	H9

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
VSS	Ground	N/A						H10	H10
VSS	Ground	N/A						J7	J7
VSS	Ground	N/A						J8	J8
VSS	Ground	N/A						J9	J9
VSS	Ground	N/A						J10	J10
VSS	Ground	N/A						B2	B2
VSS	Ground	N/A						B15	B15
VSS	Ground	N/A						C5	C5
VSS	Ground	N/A						C12	C12
VSS	Ground	N/A						D7	D7
VSS	Ground	N/A						D10	D10
VSS	Ground	N/A						E4	E4
VSS	Ground	N/A						E13	E13
VSS	Ground	N/A						G4	G4
VSS	Ground	N/A						G13	G13
VSS	Ground	N/A						K4	K4
VSS	Ground	N/A						K13	K13
VSS	Ground	N/A						M4	M4
VSS	Ground	N/A						M13	M13
VSS	Ground	N/A						N7	N7
VSS	Ground	N/A						N10	N10
VSS	Ground	N/A						P5	P5
VSS	Ground	N/A						P12	P12
VSS	Ground	N/A						R2	R2
VSS	Ground	N/A						R15	R15
VSS	Ground	N/A						E2	E2
VSS	Ground	N/A						H16	H16
VSS	Ground	N/A						H15	H15
NC	N/A	N/A							G9

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
I0B10A/D06/SSPI_CS_N	I/O	5	bus1	none	D06/SSPI_CS_N	True_of_I0B10B	True	E6
I0B10B/D05/SI/SSIO	I/O	5	bus1	none	D05/SI/SSIO	Comp_of_I0B10A	True	E7
I0B12A/GCLKT_10B <sup>[2]</sup> /D15/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D15/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_I0B12B	True	C6
I0B12B/GCLKC_10B <sup>[2]</sup> /D07/DOUT/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/D07/DOUT/LPLL1_C_IN1	Comp_of_I0B12A	True	A5
I0B14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_I0B14B	True	B6
I0B14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_I0B14A	True	A6
I0B16A	I/O	5	bus1	none		True_of_I0B16B	True	D6
I0B16B	I/O	5	bus1	none		Comp_of_I0B16A	True	D5
I0B18A	I/O	5	bus1	none		True_of_I0B18B	True	B4
I0B18B	I/O	5	bus1	none		Comp_of_I0B18A	True	A4
I0B20A	I/O	5	bus1	none		True_of_I0B20B	True	F7
I0B20B	I/O	5	bus1	none		Comp_of_I0B20A	True	F6
I0B22A	I/O	5	bus1	none		True_of_I0B22B	True	B5
I0B22B	I/O	5	bus1	none		Comp_of_I0B22A	True	A2
I0B24A	I/O	5	bus1	none		True_of_I0B24B	True	D3
I0B24B	I/O	5	bus1	none		Comp_of_I0B24A	True	C3
I0B26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_I0B26B	True	B3
I0B26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_I0B26A	True	A3
I0B29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_I0B29B	True	B1
I0B29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_I0B29A	True	D4
I0B2A	I/O	5	bus1	none		True_of_I0B2B	True	B8
I0B2B	I/O	5	bus1	none		Comp_of_I0B2A	True	A8
I0B31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_I0B31B	True	C2
I0B31B/GCLKC_10A <sup>[2]</sup> /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_I0B31A	True	C1

注!

[1] EV版本封装。

[2] GCLKT [x]A: GCLKC [x]的默认专用管脚, [x]是时钟序号。  
GCLKT [x]B: 可配置成GCLKC [x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC [x]A: GCLKT [x]的默认专用管脚, [x]是时钟序号。  
GCLKC [x]B: 可配置成GCLKT [x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/MCS_N/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/MCS_N/BPLL_T_IN1	True_of_IOB33B	True	D2
IOB33B/GCLKC_9A <sup>[2]</sup> /BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/BPLL_C_IN1	Comp_of_IOB33A	True	D1
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	E5
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	E1
IOB37A/D08	I/O	4	bus1	none	D08	True_of_IOB37B	True	G5
IOB37B	I/O	4	bus1	none		Comp_of_IOB37A	True	F5
IOB45A	I/O	4		none			True	F3
IOB4A/D04/LPLL1_T_FB0	I/O	5	bus1	none	D04/LPLL1_T_FB0	True_of_IOB4B	True	B7
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	A7
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	F2
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	F1
IOB52A/RECONFIG_N	I/O	4	bus1	none	RECONFIG_N		True	H5
IOB54A/GCLKT_11B <sup>[2]</sup> /D10/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D10/MI2/BPLL_T_FB1	True_of_IOB54B	True	G2
IOB54B/GCLKC_11B <sup>[2]</sup> /MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	G1
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN		True	H2
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	H1
IOB62B/CSI_B	I/O	4	bus1	none	CSI_B	Comp_of_IOB62A	True	J3
IOB64A/READY	I/O	4		none	READY		none	F4
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	J6
IOB65B	I/O	3	bus1	none		Comp_of_IOB65A	True	L3
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	J2
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	J1
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	C8
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	D8
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	K2
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	K1

注!

[1] EV版本封装。

[2] GCLKT\_xA: GCLKC\_x的默认专用管脚, [x]是时钟序号。

GCLKT\_xB: 可配置成GCLKC\_x的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_xA: GCLKT\_x的默认专用管脚, [x]是时钟序号。

GCLKC\_xB: 可配置成GCLKT\_x的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	K5
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	L4
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L2
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L1
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	N2
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	N1
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P2
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P1
IOB85B	I/O	3	bus1	DQS4/DQ4			True	R1
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	M2
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	M1
IOB8A/D03/SO/SS11	I/O	5	bus1	none	D03/SO/SS11	True_of_IOB8B	True	F8
IOB8B/D02	I/O	5	bus1	none	D02	Comp_of_IOB8A	True	E8
IOB91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	K6
IOB91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	L6
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	E11
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	E10
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	F9
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	F10
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	B13
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	A13
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	B12
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	A12
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	C11
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	E9
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	B11
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	A11
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	B10
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	A10

注!

[1] EV版本封装。

[2] GCLKT\_x[A]: GCLKC\_x[ ]的默认专用管脚, [x]是时钟序号。

GCLKT\_x[B]: 可配置成GCLKC\_x[ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x[A]: GCLKT\_x[ ]的默认专用管脚, [x]是时钟序号。

GCLKC\_x[B]: 可配置成GCLKT\_x[ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	D9
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	C9
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	B9
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	A9
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	D14
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	C14
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	D12
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	A15
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F11
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	B14
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	A14
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	R7
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	T7
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	R6
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	T6
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	R5
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	T5
IOR1A/TCK	I/O	10		none	TCK		none	H3
IOR1B/TDI	I/O	10		none	TDI		none	H4
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	P6
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	M6
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	N5
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	N6
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	R3



注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	T3
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	M7
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K8
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	N3
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P3
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	R4
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	T4
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	T2
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	L7
IOR3A/TMS	I/O	10		none	TMS		none	J5
IOR3B/TDO	I/O	10		none	TDO		none	J4
IOR5A	I/O	2		none		True_of_IOR5B	True	R8
IOR5B	I/O	2		none		Comp_of_IOR5A	True	T8
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	N8
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	P8
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	L8
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	M8
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	D15
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	D16
IOT19A/EMCCLK	I/O	7	bus0	none	EMCCLK	True_of_IOT19B	True	F15
IOT19B/CSO_B	I/O	7	bus0	none	CSO_B	Comp_of_IOT19A	True	F16
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F14
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	B16
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	G11
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	F13

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	G15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	G16
IOT25A/MODE0	I/O	7	bus0	none	MODE0	True_of_IOT25B	True	H13
IOT25B/MODE1	I/O	7	bus0	none	MODE1	Comp_of_IOT25A	True	H12
IOT27A/MODE2	I/O	7	bus0	none	MODE2	True_of_IOT27B	True	G12
IOT27B/DONE	I/O	7	bus0	none	DONE	Comp_of_IOT27A	True	H14
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	J12
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	J14
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	J15
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	J16
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	L15
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	L16
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	J13
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	L13
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	E15
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	E16
IOT41A	I/O	0	bus0	none			True	L14
IOT43A	I/O	0		none		True_of_IOT43B	True	J11
IOT43B	I/O	0		none		Comp_of_IOT43A	True	K12
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	N15
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	N16
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	L12
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	K11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	R16
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	P16
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	N14
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	P15
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	N13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	M12

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	K15
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	K16
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	M15
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	M16
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	T14
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	T15
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	P14
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	L11
IOT66A	I/O	1	bus2	DQ0			True	R14
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	M11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	N12
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	R13
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	T13
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	K10
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	L10
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	R12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	T12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	M10
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	N11
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	R10
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	T10
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	R11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	T11
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	M9
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	N9

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	K9
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	L9
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	P9
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	P11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	R9
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	T9
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C15
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	C16
VCC	Power	N/A						H11
VCC	Power	N/A						H6
VCC	Power	N/A						G8
VCC	Power	N/A						G7
VCC	Power	N/A						D13
VCC	Power	N/A						N4
VCC	Power	N/A						G10
VCC	Power	N/A						K7
VCC	Power	N/A						G6
VCC_LDO	Power	N/A						G9
VCCIO0	Power	N/A						M14
VCCIO0	Power	N/A						K14
VCCIO1	Power	N/A						P10
VCCIO1	Power	N/A						P13
VCCIO1	Power	N/A						T16
VCCIO10/VCCIO4	Power	N/A						G3
VCCIO10/VCCIO4	Power	N/A						E3
VCCIO2	Power	N/A						P4
VCCIO2	Power	N/A						P7
VCCIO2	Power	N/A						T1

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
VCCIO3	Power	N/A						K3
VCCIO3	Power	N/A						M3
VCCIO5	Power	N/A						C7
VCCIO5	Power	N/A						A1
VCCIO5	Power	N/A						C4
VCCIO6	Power	N/A						C13
VCCIO6	Power	N/A						A16
VCCIO6	Power	N/A						C10
VCCIO7	Power	N/A						G14
VCCIO7	Power	N/A						E14
VCCX	Power	N/A						F12
VCCX	Power	N/A						L5
V_EFUSE	Power	N/A						M5
VSS	Ground	N/A						E12
VSS	Ground	N/A						H7
VSS	Ground	N/A						H8
VSS	Ground	N/A						H9
VSS	Ground	N/A						H10
VSS	Ground	N/A						J7
VSS	Ground	N/A						J8
VSS	Ground	N/A						J9
VSS	Ground	N/A						J10
VSS	Ground	N/A						B2
VSS	Ground	N/A						B15
VSS	Ground	N/A						C5
VSS	Ground	N/A						C12
VSS	Ground	N/A						D7
VSS	Ground	N/A						D10
VSS	Ground	N/A						E4
VSS	Ground	N/A						E13

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
VSS	Ground	N/A						G4
VSS	Ground	N/A						G13
VSS	Ground	N/A						K4
VSS	Ground	N/A						K13
VSS	Ground	N/A						M4
VSS	Ground	N/A						M13
VSS	Ground	N/A						N7
VSS	Ground	N/A						N10
VSS	Ground	N/A						P5
VSS	Ground	N/A						P12
VSS	Ground	N/A						R2
VSS	Ground	N/A						R15
VSS	Ground	N/A						E2
VSS	Ground	N/A						H16
VSS	Ground	N/A						H15

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CN	True_of_IOB10B	True	N5
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	P5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	R5
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	P6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	T6
IOB1A/RECONFIG_N	I/O	5			RECONFIG_N		none	T2
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	R7
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	T7
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	M9
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	N8
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	P4
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	T4
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	P7
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	M7
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	P8
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	T8
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R9
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T9
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	R3

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	T3
IOB45A	I/O	4		none		True_of_IOB45B	True	L10
IOB45B	I/O	4		none		Comp_of_IOB45A	True	M10
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M6
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N6
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	N9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	P9
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N11
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P11
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N12
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P12
IOB56A	I/O	4	bus1	none			True	L11
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	P10
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	T10
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	M12
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	M11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R11
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T11
IOB64A/DONE	I/O	4			DONE		none	P13
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	L12
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	L13
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	R12
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	T12



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T14
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T13
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	R14
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	T15
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	R15
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	R16
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P15
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P16
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	L14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	L16
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M15
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	M16
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	N14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	N16
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	K15
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	K16
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	J14
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	J16
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L8
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	L7
IOB91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	K12
IOB91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	K11
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	J3
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	J1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	K2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	K1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	L3

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	L1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	M2
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	M1
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	K3
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J4
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	F2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	F1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	G3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H1
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D14
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D16
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	F13
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	F14
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	C15
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	C16
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	E15
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	E16
IOR1A/TCK	I/O	10		none	TCK		none	C14
IOR1B/TDI	I/O	10		none	TDI		none	C12
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F15
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F16

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G14
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G16
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	H15
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	H16
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	G12
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	H11
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	H13
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	H14
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	J11
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	J12
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K14
IOR35A	I/O	11		none			none	P14
IOR3A/TMS	I/O	10		none	TMS		none	A15
IOR3B/TDO	I/O	10		none	TDO		none	E14
IOR5A	I/O	2		none		True_of_IOR5B	True	E13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	E12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B15
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B16
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	F12
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	G11
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F3

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	E2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	E1
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	F6
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	F5
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D3
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	C1
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	B1
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C3
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C2
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	B2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	A2
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	B3
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	A3
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	C4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B5
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A5
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D5
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C5
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B6
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A6
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	F7
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	E6

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。  
GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。  
GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。  
GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C7
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A7
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	J6
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H5
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	C9
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A9
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B10
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A10
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	L4
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	L5
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	E7
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	E8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	E10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	C10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C8
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	D9

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	K5
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	K6
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B12
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A12
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	C13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	A13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	F10
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	E11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	B14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	D11
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	D12
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	G6
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G5
M0_CKN	DIO	MIPI					none	R1
M0_CKP	DIO	MIPI					none	R2
M0_D0N	DIO	MIPI					none	N1
M0_D0P	DIO	MIPI					none	N3
M0_D1N	DIO	MIPI					none	P1
M0_D1P	DIO	MIPI					none	P2
M0_D2N	DIO	MIPI					none	M3
M0_D2P	DIO	MIPI					none	M4
M0_D3N	DIO	MIPI					none	N4
M0_D3P	DIO	MIPI					none	M5
VDD12_MIPI	Power	N/A						J7
VDDA_MIPI/VDDD_MIPI	Power	N/A						K8

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						E5
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						H6
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						F8
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						L6
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						G10
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						F11
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						J10
VDDX_MIPI/VCC_LDO/VCCIO10/VCCX	Power	N/A						L9
NC	N/A	N/A						H8
VCC	Power	N/A						G7
VCC	Power	N/A						H10
VCC	Power	N/A						J9
VCC	Power	N/A						K10
VCC	Power	N/A						G9
VCCIO0	Power	N/A						B4
VCCIO0	Power	N/A						D7
VCCIO1	Power	N/A						D10
VCCIO1	Power	N/A						B9
VCCIO1	Power	N/A						B13

注!

[1] LV版本封装。

[2] GCLKT\_*x*A: GCLKC\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*]的默认专用管脚, [*x*]是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [*x*]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
VCCIO2	Power	N/A						G13
VCCIO2	Power	N/A						D15
VCCIO2	Power	N/A						J15
VCCIO3	Power	N/A						K13
VCCIO3	Power	N/A						N15
VCCIO3	Power	N/A						R13
VCCIO4	Power	N/A						R8
VCCIO4	Power	N/A						N10
VCCIO5	Power	N/A						R4
VCCIO5	Power	N/A						N7
VCCIO6	Power	N/A						N2
VCCIO6	Power	N/A						J2
VCCIO6	Power	N/A						K4
VCCIO7	Power	N/A						G4
VCCIO7	Power	N/A						D2
V_EFUSE	Power	N/A						H12
VSS	Ground	N/A						A1
VSS	Ground	N/A						A16
VSS	Ground	N/A						B11
VSS	Ground	N/A						B7
VSS	Ground	N/A						D13
VSS	Ground	N/A						D4
VSS	Ground	N/A						E9
VSS	Ground	N/A						G15
VSS	Ground	N/A						G2
VSS	Ground	N/A						G8
VSS	Ground	N/A						H7
VSS	Ground	N/A						H9



注!

[1] LV版本封装。

[2] GCLKT\_ $x$ A: GCLKC\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKT\_ $x$ B: 可配置成GCLKC\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

GCLKC\_ $x$ A: GCLKT\_ $x$ 的默认专用管脚,  $x$ 是时钟序号。

GCLKC\_ $x$ B: 可配置成GCLKT\_ $x$ 的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ 是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
VSS	Ground	N/A						J5
VSS	Ground	N/A						J8
VSS	Ground	N/A						K7
VSS	Ground	N/A						K9
VSS	Ground	N/A						L15
VSS	Ground	N/A						L2
VSS	Ground	N/A						M8
VSS	Ground	N/A						N13
VSS	Ground	N/A						P3
VSS	Ground	N/A						R10
VSS	Ground	N/A						R6
VSS	Ground	N/A						T1
VSS	Ground	N/A						T16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1		True	M13
IOB1A/RECONFIG_N	I/O	5		none	RECONFIG_N		none	L7
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1		True	A10
IOB37A/READY	I/O	4	bus1	none	READY	True_of_I0B37B	True	P8
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_I0B37A	True	C11
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_I0B52B	True	M8
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_I0B58B	True	B12
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_I0B58A	True	B11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_I0B62B	True	A8
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_I0B62A	True	M7
IOB64A/DONE	I/O	4		none	DONE		none	P9
IOB65B/DOUT	I/O	3	bus1	none	DOUT		True	L14
IOB71A	I/O	3	bus1	DQ5		True_of_I0B71B	True	L12
IOB71B	I/O	3	bus1	DQ5		Comp_of_I0B71A	True	L13
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_I0B75B	True	J11
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_I0B75A	True	J12
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	J13
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	J14
IOB81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	F12
IOB81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	E12
IOB83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	D12
IOB83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	D13
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	G14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	F14
IOB87A	I/O	3	bus1	DQ4		True_of_I0B87B	True	F13
IOB87B	I/O	3	bus1	DQ4		Comp_of_I0B87A	True	E13

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	D14
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	C14
I0B91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	G11
I0B91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	F11
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	J4
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	J3
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	M1
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	L1
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	L3
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	L2
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	M3
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	M2
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	P4
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	P3
I0L23A	I/O	6	bus0	DQ6		True_of_I0L23B	True	M5
I0L23B	I/O	6	bus0	DQ6		Comp_of_I0L23A	True	M4
I0L25A	I/O	6		DQ6		True_of_I0L25B	True	P2
I0L25B	I/O	6		DQ6		Comp_of_I0L25A	True	N1
I0L27A	I/O	6	bus0	DQ6		True_of_I0L27B	True	P5
I0L27B	I/O	6	bus0	DQ6		Comp_of_I0L27A	True	N4
I0L29A	I/O	6	bus0	none			True	L5
I0L3A/GCLKT_14/LPLL0_T_IN2/ LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPL L0_T_FB0	True_of_I0L3B	True	H4
I0L3B/GCLKC_14/LPLL0_C_IN2/ LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPL L0_C_FB0	Comp_of_I0L3A	True	H3
I0L5A/GCLKT_13/LPLL0_T_IN1/ LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPL L0_T_FB1	True_of_I0L5B	True	H2

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	H1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	K4
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	K3
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	J2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	J1
IOR1A/TCK	I/O	10		none	TCK		none	A7
IOR1B/TDI	I/O	10		none	TDI		none	P7
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	K11
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	K12
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	M11
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	M12
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	N10
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	N11
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	N14
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	M14
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	P12
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P13
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	P10
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	P11
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0		True	M10
IOR3A/TMS	I/O	10		none	TMS		none	M6
IOR3B/TDO	I/O	10		none	TDO		none	P6
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B		True	B10
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D10

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C10
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	C12
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	A12
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	A13
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	B14
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	H11
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	H12
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	H13
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	H14
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	G1
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	F1
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	G4
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	F4
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D1
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C1
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	E2
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	D2
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F3
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F2
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	E4
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	D4
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	C5

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	C4
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	B2
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	B1
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	B5
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A5
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	B3
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	A2
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	A4
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A3
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	D3
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	C3
IOT87A	I/O	1	bus2	none			True	B6
M0_CKN	DIO	MIPI					none	G8
M0_CKP	DIO	MIPI					none	G7
M0_D0N	DIO	MIPI					none	N7
M0_D0P	DIO	MIPI					none	B8
M0_D1N	DIO	MIPI					none	F8
M0_D1P	DIO	MIPI					none	F7
M0_D2N	DIO	MIPI					none	H8
M0_D2P	DIO	MIPI					none	H7
M0_D3N	DIO	MIPI					none	J8
M0_D3P	DIO	MIPI					none	J7
VDD12_MIPI	Power	N/A						G5
VDDA_MIPI	Power	N/A						E5
VDDD_MIPI	Power	N/A						J5
VDDX_MIPI/VCC_LDO/VCCX	Power	N/A						F10
VDDX_MIPI/VCC_LDO/VCCX	Power	N/A						K10
VDDX_MIPI/VCC_LDO/VCCX	Power	N/A						H10

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
VDDX_MIP1/VCC_LDO/VCCX	Power	N/A						L9
NC	N/A	N/A						M9
VCC	Power	N/A						K6
VCC	Power	N/A						E7
VCC	Power	N/A						K8
VCC	Power	N/A						J9
VCC	Power	N/A						F6
VCC	Power	N/A						D6
VCC	Power	N/A						H6
VCC	Power	N/A						D8
VCC	Power	N/A						G9
VCC	Power	N/A						E9
VCCIO0/VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A						N13
VCCIO0/VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A						K13
VCCIO0/VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A						G13
VCCIO1/VCCIO6/VCCIO7	Power	N/A						G2
VCCIO1/VCCIO6/VCCIO7	Power	N/A						K2
VCCIO1/VCCIO6/VCCIO7	Power	N/A						N2
VCCIO10	Power	N/A						N8
VCCIO10	Power	N/A						N6
V_EFUSE	Power	N/A						J10
VSS	Ground	N/A						A1
VSS	Ground	N/A						A6
VSS	Ground	N/A						A9
VSS	Ground	N/A						A11

注！

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
VSS	Ground	N/A						A14
VSS	Ground	N/A						B4
VSS	Ground	N/A						B7
VSS	Ground	N/A						B9
VSS	Ground	N/A						C2
VSS	Ground	N/A						C6
VSS	Ground	N/A						C7
VSS	Ground	N/A						C8
VSS	Ground	N/A						C9
VSS	Ground	N/A						C13
VSS	Ground	N/A						D5
VSS	Ground	N/A						D7
VSS	Ground	N/A						D9
VSS	Ground	N/A						D11
VSS	Ground	N/A						E1
VSS	Ground	N/A						E3
VSS	Ground	N/A						E6
VSS	Ground	N/A						E8
VSS	Ground	N/A						E10
VSS	Ground	N/A						E14
VSS	Ground	N/A						F5
VSS	Ground	N/A						F9
VSS	Ground	N/A						G3
VSS	Ground	N/A						G6
VSS	Ground	N/A						G10
VSS	Ground	N/A						G12
VSS	Ground	N/A						H5
VSS	Ground	N/A						H9



注!

[1] LV版本封装。

[2] GCLKT\_ $x$ ]A: GCLKC\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKT\_ $x$ ]B: 可配置成GCLKC\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]A: GCLKT\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]B: 可配置成GCLKT\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
VSS	Ground	N/A						J6
VSS	Ground	N/A						K1
VSS	Ground	N/A						K5
VSS	Ground	N/A						K7
VSS	Ground	N/A						K9
VSS	Ground	N/A						K14
VSS	Ground	N/A						L4
VSS	Ground	N/A						L6
VSS	Ground	N/A						L8
VSS	Ground	N/A						L10
VSS	Ground	N/A						L11
VSS	Ground	N/A						N3
VSS	Ground	N/A						N5
VSS	Ground	N/A						N9
VSS	Ground	N/A						N12
VSS	Ground	N/A						P1
VSS	Ground	N/A						P14

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOB10A/D03/SSPI_CS_N	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	U7
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	V6
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	U8
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	V7
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	V8
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	V9
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	T5
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	T4
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	T7
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	T6
IOB1A/RECONFIG_N	I/O	5		none	RECONFIG_N		none	V2
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	P7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	R7
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	M8
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	N8
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	P8
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	R8
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	U10
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	V10
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	U11
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	V11
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	N6
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	N5
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	U13

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_I0B31A	True	V12
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_I0B33B	True	V13
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_I0B33A	True	V14
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_I0B35B	True	U15
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_I0B35A	True	V15
IOB37A/READY	I/O	4	bus1	none	READY	True_of_I0B37B	True	U16
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_I0B37A	True	V16
IOB39A	I/O	4	bus1	none		True_of_I0B39B	True	T9
IOB39B	I/O	4	bus1	none		Comp_of_I0B39A	True	T8
IOB41A	I/O	4	bus1	none		True_of_I0B41B	True	M10
IOB41B	I/O	4	bus1	none		Comp_of_I0B41A	True	N9
IOB43A	I/O	4	bus1	none		True_of_I0B43B	True	R10
IOB43B	I/O	4	bus1	none		Comp_of_I0B43A	True	T10
IOB45A	I/O	4		none		True_of_I0B45B	True	R11
IOB45B	I/O	4		none		Comp_of_I0B45A	True	T11
IOB48A	I/O	4	bus1	none		True_of_I0B48B	True	N10
IOB48B	I/O	4	bus1	none		Comp_of_I0B48A	True	P11
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_I0B4B	True	U3
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_I0B4A	True	V3
IOB50A/D11	I/O	4	bus1	none	D11	True_of_I0B50B	True	R13
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_I0B50A	True	T12
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_I0B52B	True	T13
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_I0B52A	True	T14

注！

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	U17
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	V17
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	M11
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	N11
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	R15
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	T15
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	T17
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	U18
IOB64A/DONE	I/O	4		none	DONE		none	T18
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P16
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	R16
IOB67A	I/O	3	bus1	none		True_of_IOB67B	True	P12
IOB67B	I/O	3	bus1	none		Comp_of_IOB67A	True	P13
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	P17
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	P18
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	P6
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	R5
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	N15
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	P15
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	N17
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	N18
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L17
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	M18
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	M16
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	N16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
I0B79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	L18
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	K18
I0B81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	M14
I0B81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	N14
I0B83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	M13
I0B83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	N12
I0B85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	L16
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	K17
I0B87A	I/O	3	bus1	DQ4		True_of_I0B87B	True	L14
I0B87B	I/O	3	bus1	DQ4		Comp_of_I0B87A	True	L15
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	K16
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	J16
I0B8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_I0B8B	True	U5
I0B8B/D06	I/O	5	bus1	none	D06	Comp_of_I0B8A	True	V5
I0B91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	K14
I0B91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	K15
I0L12A	I/O	6	bus0	DQ7		True_of_I0L12B	True	K6
I0L12B	I/O	6	bus0	DQ7		Comp_of_I0L12A	True	K5
I0L14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_I0L14B	True	J7
I0L14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_I0L14A	True	J6
I0L16A	I/O	6	bus0	DQ6/DQS_67		True_of_I0L16B	True	L4
I0L16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_I0L16A	True	L3
I0L18A	I/O	6	bus0	DQ6		True_of_I0L18B	True	P3
I0L18B	I/O	6	bus0	DQ6		Comp_of_I0L18A	True	P4
I0L21A	I/O	6	bus0	DQS6/DQ6		True_of_I0L21B	True	K4
I0L21B	I/O	6	bus0	DQS6/DQ6		Comp_of_I0L21A	True	K3
I0L23A	I/O	6	bus0	DQ6		True_of_I0L23B	True	N4
I0L23B	I/O	6	bus0	DQ6		Comp_of_I0L23A	True	N3

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	M3
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	N2
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	R3
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	T3
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	L5
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	M5
IOL31A	I/O	6		none		True_of_IOL31B	True	L7
IOL31B	I/O	6		none		Comp_of_IOL31A	True	L6
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H1
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	H3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G3
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H5
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H4
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	A15
IOR12B/ADCINCLK	I/O	2	bus1	DQS2/DQ2	ADCINCLK	Comp_of_IOR12A	True	A16
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	B16
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	A17
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	G14
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	F15
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	F16
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	E16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOR1A/TCK	I/O	10		none	TCK		none	C17
IOR1B/TDI	I/O	10		none	TDI		none	B18
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	E18
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	D18
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	H14
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	H15
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	G16
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	F17
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	G18
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	F18
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	H17
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	H18
IOR31A/GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RP LL1_T_FB1	True_of_IOR31B	True	K12
IOR31B/GCLKC_4/RPLL1_C_IN0/ RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/R PLL1_C_FB1	Comp_of_IOR31A	True	K13
IOR33A/GCLKT_5/RPLL1_T_IN1/ RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RP LL1_T_FB0	True_of_IOR33B	True	L12
IOR33B/GCLKC_5/RPLL1_C_IN1/ RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/R PLL1_C_FB0	Comp_of_IOR33A	True	L13
IOR3A/TMS	I/O	10		none	TMS		none	D17
IOR3B/TDO	I/O	10		none	TDO		none	C18
IOR5A	I/O	2		none		True_of_IOR5B	True	G13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	F14
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	D14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	C15
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	D15
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	D16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	H7
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	G6
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	F4
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	F3
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E4
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E3
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	D4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	D3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	E1
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G1
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	F5
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	E6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C5
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C4
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	D2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	C1
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	B2
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	A3
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2
IOT37A	I/O	0	bus0	none			True	J13
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	F6
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	E7
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	F2
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	F1
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6
IOT43A	I/O	0		none		True_of_IOT43B	True	C8
IOT43B	I/O	0		none		Comp_of_IOT43A	True	C7
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	F7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	G8
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	F8
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	G9
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	F9
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G11
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F10
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	F11
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	E11
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	B3
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A4
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B4
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A5
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	B6
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	A6
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	A8
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A7
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B8

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A9
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	D9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	C10
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B9
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A10
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	D11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	C11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	B11
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	A11
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	F12
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	E12
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	D12
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	C12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	C13
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	C14
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	H12
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	H13
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	A12
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A13
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B14
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A14
M0_CKN	DIO	MIPI					none	N1
M0_CKP	DIO	MIPI					none	M1
M0_D0N	DIO	MIPI					none	P1

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
M0_D0P	DIO	MIPI					none	P2
M0_D1N	DIO	MIPI					none	L1
M0_D1P	DIO	MIPI					none	L2
M0_D2N	DIO	MIPI					none	T1
M0_D2P	DIO	MIPI					none	T2
M0_D3N	DIO	MIPI					none	U1
M0_D3P	DIO	MIPI					none	U2
VDD12_MIPI	Power	N/A						V4
VDDA_MIPI/VDDD_MIPI	Power	N/A						G7
VDDA_MIPI/VDDD_MIPI	Power	N/A						M7
VDDX_MIPI	Power	N/A						E5
VDDX_MIPI	Power	N/A						K7
VCC	Power	N/A						H11
VCC	Power	N/A						H9
VCC	Power	N/A						L8
VCC	Power	N/A						K9
VCC	Power	N/A						J8
VCC	Power	N/A						L10
VCC	Power	N/A						K11
VCC	Power	N/A						M12
VCC_LDO	Power	N/A						J10
VCCIO0	Power	N/A						B10
VCCIO0	Power	N/A						D7
VCCIO0	Power	N/A						B5
VCCIO1	Power	N/A						B12
VCCIO1	Power	N/A						E10
VCCIO1	Power	N/A						D13
VCCIO1	Power	N/A						B15

注!

[1] LV版本封装。

[2] GCLKT\_ $x$ ]A: GCLKC\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKT\_ $x$ ]B: 可配置成GCLKC\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]A: GCLKT\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]B: 可配置成GCLKT\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
VCCIO10	Power	N/A						E17
VCCIO10	Power	N/A						J18
VCCIO2	Power	N/A						H16
VCCIO2	Power	N/A						J17
VCCIO2	Power	N/A						J14
VCCIO2	Power	N/A						G15
VCCIO3	Power	N/A						R17
VCCIO3	Power	N/A						U14
VCCIO3	Power	N/A						M15
VCCIO4	Power	N/A						U9
VCCIO4	Power	N/A						P9
VCCIO4	Power	N/A						R12
VCCIO5	Power	N/A						R6
VCCIO5	Power	N/A						N7
VCCIO5	Power	N/A						U4
VCCIO5	Power	N/A						P5
VCCIO6	Power	N/A						J3
VCCIO6	Power	N/A						R2
VCCIO6	Power	N/A						M4
VCCIO6	Power	N/A						J2
VCCIO7	Power	N/A						J5
VCCIO7	Power	N/A						E2
VCCIO7	Power	N/A						H6
VCCIO7	Power	N/A						G4
VCCX	Power	N/A						B17
VCCX	Power	N/A						J12
VCCX	Power	N/A						E9
VCCX	Power	N/A						P14

注!

[1] LV版本封装。

[2] GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚, *x*是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, *x*是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚, *x*是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, *x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
VCCX	Power	N/A						M9
VCCX	Power	N/A						B1
VCCX	Power	N/A						E14
VCCX	Power	N/A						G10
VCCX	Power	N/A						P10
V_EFUSE	Power	N/A						L11
VSS	Ground	N/A						A1
VSS	Ground	N/A						A18
VSS	Ground	N/A						B7
VSS	Ground	N/A						C16
VSS	Ground	N/A						C3
VSS	Ground	N/A						D10
VSS	Ground	N/A						D5
VSS	Ground	N/A						E15
VSS	Ground	N/A						G12
VSS	Ground	N/A						G17
VSS	Ground	N/A						G2
VSS	Ground	N/A						G5
VSS	Ground	N/A						H10
VSS	Ground	N/A						H8
VSS	Ground	N/A						J11
VSS	Ground	N/A						J15
VSS	Ground	N/A						J4
VSS	Ground	N/A						J9
VSS	Ground	N/A						K10
VSS	Ground	N/A						K8
VSS	Ground	N/A						L9
VSS	Ground	N/A						M17

注！

[1] LV版本封装。

[2] GCLKT\_ $x$ ]A: GCLKC\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKT\_ $x$ ]B: 可配置成GCLKC\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]A: GCLKT\_ $x$ ]的默认专用管脚,  $x$ ]是时钟序号。

GCLKC\_ $x$ ]B: 可配置成GCLKT\_ $x$ ]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能,  $x$ ]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
VSS	Ground	N/A						M2
VSS	Ground	N/A						M6
VSS	Ground	N/A						N13
VSS	Ground	N/A						R1
VSS	Ground	N/A						R14
VSS	Ground	N/A						R18
VSS	Ground	N/A						R4
VSS	Ground	N/A						R9
VSS	Ground	N/A						T16
VSS	Ground	N/A						U12
VSS	Ground	N/A						U6
VSS	Ground	N/A						V1
VSS	Ground	N/A						V18
VSS	Ground	N/A						B13

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	K11
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	L11
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	L10
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	K10
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	L7
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	L8
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	J11
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	J10
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	K7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	J7
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	L6
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	K6
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	H11
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H10
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G11
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G10
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	B11
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	B10
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	A11
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	A10

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[2]</sup>
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	E11
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	E10
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	C11
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	C10
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	D11
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	D10
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	B1_B10A <sup>[1]</sup>
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	A3_B10B <sup>[1]</sup>
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	E2
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	E1
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	C1_B14A <sup>[1]</sup>
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	D1
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	F2
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	F1
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	B2
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	C2



**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] LV版本封装。

[3] GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。

GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。

GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[2]</sup>
<b>BANK4 True LVDS Pair</b>								
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	E8
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	E6
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	D5
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	E4
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	B3
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	C3
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	E5
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	D6
<b>BANK3 True LVDS Pair</b>								
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	G4
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	H4
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	H1
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	H2
<b>BANK2 True LVDS Pair</b>								
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	L2
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	L1
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	K1
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	K2
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	J4

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] LV版本封装。

[3] GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[2]</sup>
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	K4
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	G2
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	G1
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	L4
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	L3
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J1
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	J2
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	H5
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	J5
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	L5
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	K5
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	H8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	H7
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	G7
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	G8
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	F5
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	G5

**注!**

[1] 有封装管脚的短接IO，用户可忽略。

[2] LV版本封装。

[3] GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。

GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG121N <sup>[2]</sup>
<b>BANK0 True LVDS Pair</b>								
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	L9
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	K9
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	J8
IOT56B/GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	Comp_of_IOT56A	True	K8
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	F7
IOT58B/GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	Comp_of_IOT58A	True	F6

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	102
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	101
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	99
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	98
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	97
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	96
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	105
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	106
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	120
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	121
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	122
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	123
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	124
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	125
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	126
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	128
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	129
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	130
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	131
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	134
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	133
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	135
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	136

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	137
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	112
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	111
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	114
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	113
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	116
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	115
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	118
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	119
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CS_N	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	144
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	3
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	6
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	4
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	7
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	8
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	141
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	140

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	143
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	142
<b>BANK4 True LVDS Pair</b>								
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	10
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	11
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	13
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	14
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	15
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	16
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	19
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	20
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	21
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	22
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	23
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	24
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	25
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	27
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	28

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_*[x]*A: GCLKC\_*[x]*的默认专用管脚，*[x]*是时钟序号。  
GCLKT\_*[x]*B: 可配置成GCLKC\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。  
GCLKC\_*[x]*A: GCLKT\_*[x]*的默认专用管脚，*[x]*是时钟序号。  
GCLKC\_*[x]*B: 可配置成GCLKT\_*[x]*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*[x]*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	29
<b>BANK3 True LVDS Pair</b>								
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	34
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	35
<b>BANK2 True LVDS Pair</b>								
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	61
IOR12B/ADCINCLK	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	62
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	60
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	59
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	58
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	57
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	56
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	54
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	52
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	50
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	49
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	48
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	47
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	46
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	45
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	44
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	43

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	42
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	41
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	39
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	66
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	67
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	64
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	65
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	83
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	82
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	79
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	78
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	76
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	75
<b>BANK0 True LVDS Pair</b>								
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	95
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	94
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	93
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	92
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	90



注！

[1] LV版本封装。

[2] GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。  
GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ144 <sup>[1]</sup>
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	88
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	87
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	86
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	85
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	84

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>									
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4	F4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1	C1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5	L5
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5	K5
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	H6	H6

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	H5	H5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1	G1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6	G6
<b>BANK6 True LVDS Pair</b>									
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	K2	K2
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	K1	K1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	L2	L2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	L1	L1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	M3	M3
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	M1	M1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	N2	N2
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	N1	N1
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	P2	P2
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	P1	P1
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	T2	T2
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	T1	T1
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	U2	U2
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	U1	U1
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	L6	L6
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	M5	M5
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	N4	N4
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	N3	N3

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOL31A	I/O	6		none		True_of_IOL31B	True	P4	P4
IOL31B	I/O	6		none		Comp_of_IOL31A	True	P3	P3
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H2	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H1	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K4	K4
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K3	K3
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	J3	J3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	J1	J1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L4	L4
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L3	L3
<b>BANK5 True LVDS Pair</b>									
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	U5	U5
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	V5	V5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	R5	R5
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	N6	N6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	P7	P7
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	T6	T6
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	V6	V6

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	N7	N7
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	P8	P8
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	U7	U7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	V7	V7
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	U8	U8
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	V8	V8
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	M8	M8
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	N8	N8
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	M10	M10
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	N9	N9
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	T4	T4
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	V4	V4
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	N5	N5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	P6	P6
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	R7	R7
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	T7	T7
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	R3	R3
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	T3	T3
<b>BANK4 True LVDS Pair</b>									
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	T9	T9
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	V9	V9
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	R8	R8

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
I0B31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_I0B31A	True	T8	T8
I0B33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_I0B33B	True	U10	U10
I0B33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_I0B33A	True	V10	V10
I0B35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_I0B35B	True	R10	R10
I0B35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_I0B35A	True	T10	T10
I0B37A/READY	I/O	4	bus1	none	READY	True_of_I0B37B	True	U3	U3
I0B37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_I0B37A	True	V3	V3
I0B39A	I/O	4	bus1	none		True_of_I0B39B	True	U11	U11
I0B39B	I/O	4	bus1	none		Comp_of_I0B39A	True	V11	V11
I0B41A	I/O	4	bus1	none		True_of_I0B41B	True	N10	N10
I0B41B	I/O	4	bus1	none		Comp_of_I0B41A	True	P11	P11
I0B43A	I/O	4	bus1	none		True_of_I0B43B	True	T12	T12
I0B43B	I/O	4	bus1	none		Comp_of_I0B43A	True	V12	V12
I0B45A	I/O	4		none		True_of_I0B45B	True	R11	R11
I0B45B	I/O	4		none		Comp_of_I0B45A	True	T11	T11
I0B48A	I/O	4	bus1	none		True_of_I0B48B	True	M11	M11
I0B48B	I/O	4	bus1	none		Comp_of_I0B48A	True	N11	N11
I0B50A/D11	I/O	4	bus1	none	D11	True_of_I0B50B	True	U13	U13
I0B50B/D12	I/O	4	bus1	none	D12	Comp_of_I0B50A	True	V13	V13
I0B52A/MODE1	I/O	4	bus1	none	MODE1	True_of_I0B52B	True	N12	N12
I0B52B/D10	I/O	4	bus1	none	D10	Comp_of_I0B52A	True	P12	P12

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	T14	T14
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	V14	V14
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	U15	U15
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	V15	V15
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	R13	R13
IOB58B/MOSI/CSI_B/MIO	I/O	4	bus1	none	MOSI/CSI_B/MIO	Comp_of_IOB58A	True	T13	T13
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	U16	U16
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	V16	V16
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R15	R15
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T15	T15
<b>BANK3 True LVDS Pair</b>									
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P15	P15
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	P16	P16
IOB67A	I/O	3	bus1	none		True_of_IOB67B	True	L14	L14
IOB67B	I/O	3	bus1	none		Comp_of_IOB67A	True	M13	M13
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	M14	M14
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	N14	N14
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	U17	U17
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	U18	U18
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T17	T17
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T18	T18
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	N15	N15

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
I0B75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_I0B75A	True	N16	N16
I0B77A	I/O	3	bus1	DQ5		True_of_I0B77B	True	P17	P17
I0B77B	I/O	3	bus1	DQ5		Comp_of_I0B77A	True	P18	P18
I0B79A	I/O	3	bus1	DQ5/DQS_45		True_of_I0B79B	True	N17	N17
I0B79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_I0B79A	True	N18	N18
I0B81A	I/O	3	bus1	DQ4		True_of_I0B81B	True	M16	M16
I0B81B	I/O	3	bus1	DQ4		Comp_of_I0B81A	True	M18	M18
I0B83A	I/O	3	bus1	DQ4		True_of_I0B83B	True	L17	L17
I0B83B	I/O	3	bus1	DQ4		Comp_of_I0B83A	True	L18	L18
I0B85A	I/O	3	bus1	DQS4/DQ4		True_of_I0B85B	True	K17	K17
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	K18	K18
I0B87A	I/O	3	bus1	DQ4		True_of_I0B87B	True	J16	J16
I0B87B	I/O	3	bus1	DQ4		Comp_of_I0B87A	True	J18	J18
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	H17	H17
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	H18	H18
I0B91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	L15	L15
I0B91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	L16	L16
<b>BANK2 True LVDS Pair</b>									
I0R12A	I/O	2	bus1	DQS2/DQ2		True_of_I0R12B	True	D17	D17
I0R12B	I/O	2	bus1	DQS2/DQ2		Comp_of_I0R12A	True	D18	D18
I0R14A	I/O	2	bus1	DQ2		True_of_I0R14B	True	F15	F15
I0R14B	I/O	2	bus1	DQ2		Comp_of_I0R14A	True	F16	F16
I0R16A	I/O	2	bus1	DQ2		True_of_I0R16B	True	E16	E16
I0R16B	I/O	2	bus1	DQ2		Comp_of_I0R16A	True	E18	E18



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	H13	H13
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	H14	H14
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F17	F17
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F18	F18
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G16	G16
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G18	G18
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	H15	H15
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	H16	H16
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	J13	J13
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K14	K14
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	K12	K12
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	K13	K13
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	L12	L12
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	L13	L13
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	K15	K15
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K16	K16
IOR5A	I/O	2		none		True_of_IOR5B	True	H12	H12
IOR5B	I/O	2		none		Comp_of_IOR5A	True	G13	G13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	F14	F14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	G14	G14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C17	C17

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C18	C18
<b>BANK1 True LVDS Pair</b>									
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D11	D11
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C11	C11
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	C10	C10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A10	A10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	G9	G9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	F9	F9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B11	B11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	G11	G11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F10	F10
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B12	B12
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A12	A12
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	F11	F11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	E11	E11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	D12	D12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	C12	C12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	C13	C13
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A13	A13
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	F12	F12
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	E12	E12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B14	B14
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A14	A14

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	C15	C15
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	A15	A15
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D14	D14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C14	C14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B16	B16
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A16	A16
<b>BANK0 True LVDS Pair</b>									
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	D4	D4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	C4	C4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B2	B2
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A2	A2
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D6	D6
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C6	C6
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	B4	B4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4	A4
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C5	C5
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A5	A5
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	F7	F7

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324S <sup>[1]</sup>	UG324S <sup>[2]</sup>
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	E6	E6
IOT43A	I/O	0		none		True_of_IOT43B	True	B6	B6
IOT43B	I/O	0		none		Comp_of_IOT43A	True	A6	A6
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E7	E7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	C7	C7
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A7	A7
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	D8	D8
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	C8	C8
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G8	G8
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F8	F8
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	D9	D9
IOT56B/GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	C9	C9
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	B9	B9
IOT58B/GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	A9	A9

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	K2
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	K1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	L2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	L1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	M3
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	M1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	N2
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	N1
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	P2
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	P1
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K4
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K3

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L4
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L3
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	U5
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	V5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	R5
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	N6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	P7
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	T6
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	V6
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	U7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	V7
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	U8
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	V8
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	M8
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	N8
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	M10
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	N9
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	N5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	P6

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	R7
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	T7
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	R3
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	T3
<b>BANK4 True LVDS Pair</b>								
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	T9
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	V9
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	R8
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	T8
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	U10
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9/EMCCLK	Comp_of_IOB33A	True	V10
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R10
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T10
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	U3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	V3
IOB39A	I/O	4	bus1	none		True_of_IOB39B	True	U11
IOB39B	I/O	4	bus1	none		Comp_of_IOB39A	True	V11
IOB41A	I/O	4	bus1	none		True_of_IOB41B	True	N10
IOB41B	I/O	4	bus1	none		Comp_of_IOB41A	True	P11
IOB43A	I/O	4	bus1	none		True_of_IOB43B	True	T12



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOB43B	I/O	4	bus1	none		Comp_of_IOB43A	True	V12
IOB45A	I/O	4		none		True_of_IOB45B	True	R11
IOB45B	I/O	4		none		Comp_of_IOB45A	True	T11
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	M11
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	N11
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	U13
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	V13
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N12
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P12
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	T14
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	V14
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	U15
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	V15
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	R13
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	T13
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	U16
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	V16
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R15
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T15

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
<b>BANK3 True LVDS Pair</b>								
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P15
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	P16
IOB67A	I/O	3	bus1	none		True_of_IOB67B	True	L14
IOB67B	I/O	3	bus1	none		Comp_of_IOB67A	True	M13
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	M14
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	N14
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	U17
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	U18
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T17
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T18
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	N15
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	N16
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	P17
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	P18
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	N17
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	N18
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	M16
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	M18
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	L17
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	L18
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	K17

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
I0B85B	I/O	3	bus1	DQS4/DQ4		Comp_of_I0B85A	True	K18
I0B89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_I0B89B	True	H17
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	H18
I0B91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	L15
I0B91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	L16
<b>BANK2 True LVDS Pair</b>								
I0R12A	I/O	2	bus1	DQS2/DQ2		True_of_I0R12B	True	D17
I0R12B	I/O	2	bus1	DQS2/DQ2		Comp_of_I0R12A	True	D18
I0R14A	I/O	2	bus1	DQ2		True_of_I0R14B	True	F15
I0R14B	I/O	2	bus1	DQ2		Comp_of_I0R14A	True	F16
I0R16A	I/O	2	bus1	DQ2		True_of_I0R16B	True	E16
I0R16B	I/O	2	bus1	DQ2		Comp_of_I0R16A	True	E18
I0R18A	I/O	2	bus1	DQ2/DQS_23		True_of_I0R18B	True	H13
I0R18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_I0R18A	True	H14
I0R20A	I/O	2	bus1	DQ3		True_of_I0R20B	True	F17
I0R20B	I/O	2	bus1	DQ3		Comp_of_I0R20A	True	F18
I0R22A	I/O	2	bus1	DQ3		True_of_I0R22B	True	G16
I0R22B	I/O	2	bus1	DQ3		Comp_of_I0R22A	True	G18
I0R26A	I/O	2	bus1	DQS3/DQ3		True_of_I0R26B	True	J13
I0R26B	I/O	2	bus1	DQS3/DQ3		Comp_of_I0R26A	True	K14
I0R29A	I/O	2	bus1	DQ3		True_of_I0R29B	True	K12
I0R29B	I/O	2	bus1	DQ3		Comp_of_I0R29A	True	K13

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	L12
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	L13
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	K15
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K16
IOR5A	I/O	2		none		True_of_IOR5B	True	H12
IOR5B	I/O	2		none		Comp_of_IOR5A	True	G13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	F14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	G14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C17
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C18
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D11
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C11
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	C10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	G9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	F9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	G11

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F10
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	F11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	E11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	D12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	C12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	C13
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A13
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	F12
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	E12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B14
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A14
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	C15
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	A15
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B16
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
<b>BANK0 True LVDS Pair</b>								
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	D4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	C4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B2
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A2
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D6
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C6
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	B4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C5
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A5
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	F7
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	E6
IOT43A	I/O	0		none		True_of_IOT43B	True	B6
IOT43B	I/O	0		none		Comp_of_IOT43A	True	A6
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	C7
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A7
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	D8

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_*x*A: GCLKC\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKT\_*x*B: 可配置成GCLKC\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。  
GCLKC\_*x*A: GCLKT\_*x*的默认专用管脚，*x*是时钟序号。  
GCLKC\_*x*B: 可配置成GCLKT\_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324 <sup>[1]</sup>
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	C8
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G8
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F8
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	D9
IOT56B/GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	C9
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	B9
IOT58B/GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	A9

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>									
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	D4	D4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	D3	D3
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F2	F2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	F1	F1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	G2	G2
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	G1	G1
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	E2	E2
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	E1	E1
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	D2	D2
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	D1	D1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C1	C1
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	B1	B1
<b>BANK6 True LVDS Pair</b>									
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	J4	J4
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	J3	J3
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	K2	K2
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	K1	K1
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	L2	L2
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	L1	L1
IOL31A	I/O	6		none		True_of_IOL31B	True	M2	M2
IOL31B	I/O	6		none		Comp_of_IOL31A	True	M1	M1



注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14A/LPLL0_T_IN2	True_of_IOL3B	True	H2	H2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_FB0	Comp_of_IOL3A	True	H1	H1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1	True_of_IOL5B	True	J2	J2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_FB1	Comp_of_IOL5A	True	J1	J1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	F4	F4
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F3	F3
<b>BANK5 True LVDS Pair</b>									
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	N5	N5
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	P5	P5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	N6	N6
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	P6	P6
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	N4	N4
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	P4	P4
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	N3	N3
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	P3	P3
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L4	L4
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	M4	M4

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
<b>BANK4 True LVDS Pair</b>									
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	N7	N7
IOB31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	P7	P7
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	N8	N8
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	P8	P8
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	N2	N2
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	P2	P2
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	L8	L8
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	M8	M8
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N9	N9
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P9	P9
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N10	N10
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P10	P10
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	N12	N12
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	P12	P12
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	N11	N11
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	P11	P11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	N13	N13
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	P13	P13

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
 GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
 GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
<b>BANK3 True LVDS Pair</b>									
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14	M14
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L13	L13
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L14	L14
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	K13	K13
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	K14	K14
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	J13	J13
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	J14	J14
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	H11	H11
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	H12	H12
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	H13	H13
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	H14	H14
<b>BANK2 True LVDS Pair</b>									
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	F11	F11
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	F12	F12
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	J11	J11
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	J12	J12
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	F13	F13
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	F14	F14
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	G13	G13

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	G14	G14
IOR5A	I/O	2		none		True_of_IOR5B	True	C12	C12
IOR5B	I/O	2		none		Comp_of_IOR5A	True	C13	C13
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	D13	D13
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	D14	D14
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	E13	E13
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	E14	E14
<b>BANK1 True LVDS Pair</b>									
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	D8	D8
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	C8	C8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	B8	B8
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A8	A8
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	B9	B9
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	A9	A9
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B10	B10
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A10	A10
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	B11	B11
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A11	A11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	D11	D11
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	C11	C11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B12	B12

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，[x]是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	MG196S <sup>[1]</sup>	MG196S <sup>[2]</sup>
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A12	A12
<b>BANK0 True LVDS Pair</b>									
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	B2	B2
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2	A2
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B3	B3
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A3	A3
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	B4	B4
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A4	A4
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	B5	B5
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	A5	A5
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	B6	B6
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A6	A6
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B7	B7
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A7	A7

**注!**

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	D3
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	D1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	C2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	C1
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	D4
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E3
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E5
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E4
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	G2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	H3
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H1
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	F5
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	F4
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	F3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	F1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	E2
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	E1

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	M3
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	M1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	N2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	N1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	G5
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	G3
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	H6
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	H5
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	K5
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	J4
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	J5
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	H4
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	M4
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	L3
IOL31A	I/O	6		none		True_of_IOL31B	True	P2
IOL31B	I/O	6		none		Comp_of_IOL31A	True	P1
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	J2
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J1
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	K4

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	J3
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	K3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	K1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	L2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	L1
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	P5
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	R5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	N6
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	R6
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	N4
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	R4
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	L7
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	M6
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M5
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N5
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L6
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	L5



注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
<b>BANK4 True LVDS Pair</b>								
IOB29A/GCLKT_11A	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	P7
IOB29B/GCLKC_11A	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	R7
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	K8
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	L8
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	M8
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	N7
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	N8
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	R8
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	P3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	R3
IOB45A	I/O	4		none		True_of_IOB45B	True	P9
IOB45B	I/O	4		none		Comp_of_IOB45A	True	R9
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	M9
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	N9
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	L9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	M10
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N10
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	R10

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	M11
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	N11
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	P13
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	R13
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	P11
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	R11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	N12
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	R12
<b>BANK3 True LVDS Pair</b>								
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P14
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	P15
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	K12
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L12
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	K10
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	K11
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	N14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	N15
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M13
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	M15
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	L14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	L15

**注!**

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	K13
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	K15
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	J14
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	J15
<b>BANK2 True LVDS Pair</b>								
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D13
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D15
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	E14
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	E15
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	F13
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	F15
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	G11
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	G12
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	H12
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	G13
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	H10
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	H11
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	J11
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	J13
IOR31A/GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/ RPLL1_T_FB1	True_of_IOR31B	True	G14
IOR31B/GCLKC_4/RPLL1_C_IN0/ RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_FB1	Comp_of_IOR31A	True	G15

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
GCLKT_5/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	H13
GCLKC_5/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	H15
IOR5A	I/O	2		none		True_of_IOR5B	True	F11
IOR5B	I/O	2		none		Comp_of_IOR5A	True	F12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B15
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	C14
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	C15
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	C8
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	A8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	B9
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A9
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	F10
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	E9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C10
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A10
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	D10
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	C9
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B11
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A11

**注!**

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	D11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	C11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	C12
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A12
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B13
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A13
<b>BANK0 True LVDS Pair</b>								
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	B2
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	B3
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	A3
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	C4
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	A4
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D5
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C5
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	E6
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	D6
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	B5
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	A5
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	C6
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	A6

**注!**

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG225S <sup>[1]</sup>
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	D7
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	C7
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	F8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	E8
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	E7
IOT56B/GCLKC_0/TPLL_C_IN1/T PLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	D8
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	B7
IOT58B/GCLKC_1/TPLL_C_IN2/T PLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	A7

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>									
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	21	21
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	20	20
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	19	19
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	18	18
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	17	17
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	16	16
IOT1A/GCLKT_15/LPLL0_T_I N0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_I N0	True_of_IOT1B	True	25	25
IOT1B/GCLKC_15/LPLL0_C_I N0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_I N0	Comp_of_IOT1A	True	24	24
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	15	15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	14	14
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	13	13
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	12	12
<b>BANK6 True LVDS Pair</b>									
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	35	35
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	36	36
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	37	37
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	38	38
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	39	39
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	40	40

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	41	41
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	42	42
IOL31A	I/O	6		none		True_of_IOL31B	True	48	48
IOL31B	I/O	6		none		Comp_of_IOL31A	True	49	49
IOL3A/GCLKT_14/LPLL0_T_I N2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_I N2/LPLL0_T_FB0	True_of_IOL3B	True	28	28
IOL3B/GCLKC_14/LPLL0_C_I N2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_I N2/LPLL0_C_FB0	Comp_of_IOL3A	True	27	27
IOL5A/GCLKT_13/LPLL0_T_I N1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_I N1/LPLL0_T_FB1	True_of_IOL5B	True	30	30
IOL5B/GCLKC_13/LPLL0_C_I N1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_I N1/LPLL0_C_FB1	Comp_of_IOL5A	True	29	29
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	34	34
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	32	32
<b>BANK5 True LVDS Pair</b>									
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/S SPI WPN/SSI2/LPLL1 T IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI _WPN/SSI2/LPLL1_T_	True_of_IOB12B	True	52	52
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR _B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B /LPLL1_C_IN1	Comp_of_IOB12A	True	51	51
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	54	54
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	53	53



注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
<b>BANK4 True LVDS Pair</b>									
I0B33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_I0B33B	True	57	57
I0B33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_I0B33A	True	58	58
I0B37A/READY	I/O	4	bus1	none	READY	True_of_I0B37B	True	59	59
I0B37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_I0B37A	True	60	60
I0B52A/MODE1	I/O	4	bus1	none	MODE1	True_of_I0B52B	True	61	61
I0B52B/D10	I/O	4	bus1	none	D10	Comp_of_I0B52A	True	62	62
I0B54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_I0B54B	True	63	63
I0B54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_I0B54A	True	64	64
I0B58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_I0B58B	True	65	65
I0B58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_I0B58A	True	66	66
I0B62A/CCLK	I/O	4	bus1	none	CCLK	True_of_I0B62B	True	67	67
I0B62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_I0B62A	True	68	68
<b>BANK3 True LVDS Pair</b>									
I0B65A	I/O	3	bus1	none		True_of_I0B65B	True	70	70
I0B65B/DOU	I/O	3	bus1	none	DOU	Comp_of_I0B65A	True	71	71
I0B91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	74	74
I0B91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	75	75

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
<b>BANK2 True LVDS Pair</b>									
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	91	91
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	90	90
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	89	89
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	88	88
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	87	87
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	86	86
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	85	85
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	84	84
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	83	83
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	82	82
IOR31A/GCLKT_4/RPLL1_T_I N0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN 0/RPLL1_T_FB1	True_of_IOR31B	True	81	81
IOR31B/GCLKC_4/RPLL1_C_ IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_I N0/RPLL1_C_FB1	Comp_of_IOR31A	True	78	78
IOR33A/GCLKT_5/RPLL1_T_I N1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN 1/RPLL1_T_FB0	True_of_IOR33B	True	77	77
IOR33B/GCLKC_5/RPLL1_C_ IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_I N1/RPLL1_C_FB0	Comp_of_IOR33A	True	76	76
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	95	95
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	94	94

**注!**

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	LQ100 <sup>[1]</sup>	LQ100 <sup>[2]</sup>
<b>BANK1 True LVDS Pair</b>									
IOT63A/GCLKT_3/RPLL0_T_I N0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN 0	True_of_IOT63B	True	10	10
IOT63B/GCLKC_3/RPLL0_C_I N0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_I N0	Comp_of_IOT63A	True	9	9
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	8	8
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	7	7
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	4	4
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	3	3
IOT91A/RPLL0_T_IN1/RPLL0 _T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_ T_FB0	True_of_IOT91B	True	2	2
IOT91B/RPLL0_C_IN1/RPLL0 _C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_ C_FB0	Comp_of_IOT91A	True	1	1

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>									
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F4	F4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F3	F3
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	E2	E2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	E1	E1
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	F6	F6
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	F5	F5
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E4	E4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E3	E3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D3	D3
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	C1	C1
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	B1	B1
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C3	C3
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C2	C2
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	B2	B2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	A2	A2
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	B3	B3
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	A3	A3
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	J6	J6
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H5	H5
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	L4	L4

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	L5	L5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	K5	K5
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	K6	K6
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	G6	G6
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G5	G5
<b>BANK6 True LVDS Pair</b>									
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	J3	J3
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	J1	J1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	K2	K2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	K1	K1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	L3	L3
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	L1	L1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	M2	M2
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	M1	M1
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	N3	N3
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	N1	N1
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	P2	P2
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	P1	P1
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	R2	R2
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	R1	R1
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	M4	M4
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	M3	M3
IOL31A	I/O	6		none		True_of_IOL31B	True	M5	M5
IOL31B	I/O	6		none		Comp_of_IOL31A	True	N4	N4

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	K3	K3
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J4	J4
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	F2	F2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	F1	F1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	G3	G3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G1	G1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H2	H2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H1	H1
<b>BANK5 True LVDS Pair</b>									
IOB10A/D03/SSPI_CN/SSI0	I/O	5	bus1	none	D03/SSPI_CS_N/SSI0	True_of_IOB10B	True	N5	N5
IOB10B/D04/SI	I/O	5	bus1	none	D04/SI	Comp_of_IOB10A	True	P5	P5
IOB12A/GCLKT_10B <sup>[3]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	R5	R5
IOB12B/GCLKC_10B <sup>[3]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	P6	P6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	T6	T6
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	R7	R7
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	T7	T7
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	P4	P4
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	T4	T4
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M6	M6

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N6	N6
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L8	L8
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	L7	L7
<b>BANK4 True LVDS Pair</b>									
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	M9	M9
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	N8	N8
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	P7	P7
IOB31B/GCLKC_10A <sup>[3]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	M7	M7
IOB33A/GCLKT_9A <sup>[3]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	P8	P8
IOB33B/GCLKC_9A <sup>[3]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	T8	T8
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R9	R9
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T9	T9
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	R3	R3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	T3	T3
IOB45A	I/O	4		none		True_of_IOB45B	True	L10	L10
IOB45B	I/O	4		none		Comp_of_IOB45A	True	M10	M10
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	N9	N9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	P9	P9
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N11	N11
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P11	P11

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOB54A/GCLKT_11B <sup>[3]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N12	N12
IOB54B/GCLKC_11B <sup>[3]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P12	P12
IOB58A/D00/MISO/MI1/DIN	I/O	4	bus1	none	D00/MISO/MI1/DIN	True_of_IOB58B	True	P10	P10
IOB58B/MOSI/CSI_B/MI0	I/O	4	bus1	none	MOSI/CSI_B/MI0	Comp_of_IOB58A	True	T10	T10
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	M12	M12
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	M11	M11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R11	R11
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T11	T11
<b>BANK3 True LVDS Pair</b>									
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14	M14
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	L12	L12
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	L13	L13
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	R12	R12
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	T12	T12
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T14	T14
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T13	T13
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	R14	R14
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	T15	T15
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	R15	R15
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	R16	R16
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P15	P15



注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P16	P16
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	L14	L14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	L16	L16
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M15	M15
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	M16	M16
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	N14	N14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	N16	N16
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	K15	K15
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	K16	K16
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	J14	J14
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	J16	J16
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	K12	K12
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	K11	K11
<b>BANK2 True LVDS Pair</b>									
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	D14	D14
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	D16	D16
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	F13	F13
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	F14	F14
IOR16A	I/O	2	bus1	DQ2		True_of_IOR16B	True	C15	C15
IOR16B	I/O	2	bus1	DQ2		Comp_of_IOR16A	True	C16	C16
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	E15	E15
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	E16	E16
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	F15	F15
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	F16	F16

注！  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>x</sub>A: GCLKC\_<sub>x</sub>的默认专用管脚，<sub>x</sub>是时钟序号。  
GCLKT\_<sub>x</sub>B: 可配置成GCLKC\_<sub>x</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>x</sub>是时钟序号。  
GCLKC\_<sub>x</sub>A: GCLKT\_<sub>x</sub>的默认专用管脚，<sub>x</sub>是时钟序号。  
GCLKC\_<sub>x</sub>B: 可配置成GCLKT\_<sub>x</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>x</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	G14	G14
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	G16	G16
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	H15	H15
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	H16	H16
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	G12	G12
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	H11	H11
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	H13	H13
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	H14	H14
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	J11	J11
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	J12	J12
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J13	J13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K14	K14
IOR5A	I/O	2		none		True_of_IOR5B	True	E13	E13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	E12	E12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B15	B15
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B16	B16
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	F12	F12
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	G11	G11

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
<b>BANK1 True LVDS Pair</b>									
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	E7	E7
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	E8	E8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	E10	E10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	C10	C10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C8	C8
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C11	C11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F9	F9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	D9	D9
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B12	B12
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A12	A12
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	C13	C13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	A13	A13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	F10	F10
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	E11	E11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	B14	B14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A14	A14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	D11	D11
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	D12	D12

注!  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
 GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。  
 GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256S <sup>[1]</sup>	PG256S <sup>[2]</sup>
<b>BANK0 True LVDS Pair</b>									
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	C4	C4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A4	A4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B5	B5
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A5	A5
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D5	D5
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C5	C5
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B6	B6
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A6	A6
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	F7	F7
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	E6	E6
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C7	C7
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A7	A7
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6	D6
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6	C6
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8	B8
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	C9	C9
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A9	A9
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B10	B10
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A10	A10

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
<b>BANK7 True LVDS Pair</b>									
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	D15	D15
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	D16	D16
IOT19A/EMCCLK	I/O	7	bus0	none	EMCCLK	True_of_IOT19B	True	F15	F15
IOT19B/CSO_B	I/O	7	bus0	none	CSO_B	Comp_of_IOT19A	True	F16	F16
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F14	F14
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	B16	B16
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	G11	G11
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	F13	F13
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	G15	G15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	G16	G16
IOT25A/MODE0	I/O	7	bus0	none	MODE0	True_of_IOT25B	True	H13	H13
IOT25B/MODE1	I/O	7	bus0	none	MODE1	Comp_of_IOT25A	True	H12	H12
IOT27A/MODE2	I/O	7	bus0	none	MODE2	True_of_IOT27B	True	G12	G12
IOT27B/DONE	I/O	7	bus0	none	DONE	Comp_of_IOT27A	True	H14	H14
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	E15	E15
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	E16	E16
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C15	C15
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	C16	C16
<b>BANK6 True LVDS Pair</b>									
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	E11	E11
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	E10	E10
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	F9	F9
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	F10	F10

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	B13	B13
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	A13	A13
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	B12	B12
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	A12	A12
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	C11	C11
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	E9	E9
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	B11	B11
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	A11	A11
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	B10	B10
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	A10	A10
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	D9	D9
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	C9	C9
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	B9	B9
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	A9	A9
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	D14	D14
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	C14	C14
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	D12	D12
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11	D11
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	A15	A15
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F11	F11
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	B14	B14

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	A14	A14
<b>BANK5 True LVDS Pair</b>									
IOB10A/D06/SSPI_CS_N	I/O	5	bus1	none	D06/SSPI_CS_N	True_of_IOB10B	True	E6	E6
IOB10B/D05/SI/SSI0	I/O	5	bus1	none	D05/SI/SSI0	Comp_of_IOB10A	True	E7	E7
IOB12A/GCLKT_10B <sup>[3]</sup> /D15/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D15/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	C6	C6
IOB12B/GCLKC_10B <sup>[3]</sup> /D07/DOUT/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/D07/DOUT/LPLL1_C_IN1	Comp_of_IOB12A	True	A5	A5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	B6	B6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	A6	A6
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	D6	D6
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	D5	D5
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	B4	B4
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	A4	A4
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	F7	F7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	F6	F6
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	B5	B5
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	A2	A2
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	D3	D3
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	C3	C3
IOB26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_IOB26B	True	B3	B3
IOB26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_IOB26A	True	A3	A3
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	B8	B8
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	A8	A8

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOB4A/D04/LPLL1_T_FB0	I/O	5	bus1	none	D04/LPLL1_T_FB0	True_of_IOB4B	True	B7	B7
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	A7	A7
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	C8	C8
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	D8	D8
IOB8A/D03/SO/SSI1	I/O	5	bus1	none	D03/SO/SSI1	True_of_IOB8B	True	F8	F8
IOB8B/D02	I/O	5	bus1	none	D02	Comp_of_IOB8A	True	E8	E8
<b>BANK4 True LVDS Pair</b>									
IOB29A/GCLKT_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	B1	B1
IOB29B/GCLKC_11A <sup>[3]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	D4	D4
IOB31A/GCLKT_10A <sup>[3]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	C2	C2
IOB31B/GCLKC_10A <sup>[3]</sup> /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_IOB31A	True	C1	C1
IOB33A/GCLKT_9/D13/MCS_N/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9/D13/MCS_N/BPLL_T_IN1	True_of_IOB33B	True	D2	D2
IOB33B/GCLKC_9/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9/BPLL_C_IN1	Comp_of_IOB33A	True	D1	D1
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	E5	E5
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	E1	E1
IOB37A/D08	I/O	4	bus1	none	D08	True_of_IOB37B	True	G5	G5
IOB37B	I/O	4	bus1	none		Comp_of_IOB37A	True	F5	F5
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	F2	F2
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	F1	F1
IOB52A/RECONFIG_N	I/O	4	bus1	none	RECONFIG_N	True_of_IOB52B	True	H5	H5
IOB52B	I/O	4	bus1	none		Comp_of_IOB52A	True		



**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOB54A/GCLKT_11B <sup>[3]</sup> /D10/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D10/MI2/BPLL_T_FB1	True_of_IOB54B	True	G2	G2
IOB54B/GCLKC_11B <sup>[3]</sup> /MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	G1	G1
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	H1	H1
IOB62B/CSI_B	I/O	4	bus1	none	CSI_B	Comp_of_IOB62A	True	J3	J3
<b>BANK3 True LVDS Pair</b>									
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	J6	J6
IOB65B	I/O	3	bus1	none		Comp_of_IOB65A	True	L3	L3
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	J2	J2
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	J1	J1
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	K2	K2
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	K1	K1
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	K5	K5
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	L4	L4
IOB75A/GCLKT_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L2	L2
IOB75B/GCLKC_6B <sup>[3]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L1	L1
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	N2	N2
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	N1	N1
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P2	P2
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P1	P1
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	M2	M2
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	M1	M1
IOB91A/GCLKT_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	K6	K6

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOB91B/GCLKC_6A <sup>[3]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	L6	L6
<b>BANK2 True LVDS Pair</b>									
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	R7	R7
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	T7	T7
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	R6	R6
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	T6	T6
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	R5	R5
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	T5	T5
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	P6	P6
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	M6	M6
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	N5	N5
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	N6	N6
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	R3	R3
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	T3	T3
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	M7	M7
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K8	K8
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	N3	N3
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P3	P3
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	R4	R4
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	T4	T4
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	T2	T2

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	L7	L7
IOR5A	I/O	2		none		True_of_IOR5B	True	R8	R8
IOR5B	I/O	2		none		Comp_of_IOR5A	True	T8	T8
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	N8	N8
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	P8	P8
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	L8	L8
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	M8	M8
<b>BANK1 True LVDS Pair</b>									
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	T14	T14
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	T15	T15
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	P14	P14
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	L11	L11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	M11	M11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	N12	N12
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	R13	R13
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	T13	T13
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	K10	K10
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	L10	L10
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	R12	R12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	T12	T12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	M10	M10
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	N11	N11
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	R10	R10

**注!**  
<sup>[1]</sup> EV版本封装。  
<sup>[2]</sup> LV版本封装。  
<sup>[3]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	T10	T10
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	R11	R11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	T11	T11
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	M9	M9
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	N9	N9
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	K9	K9
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	L9	L9
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	P9	P9
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	P11	P11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	R9	R9
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	T9	T9
<b>BANK0 True LVDS Pair</b>									
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	J12	J12
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	J14	J14
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	J15	J15
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	J16	J16
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	L15	L15
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	L16	L16
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	J13	J13
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	L13	L13
IOT43A	I/O	0		none		True_of_IOT43B	True	J11	J11
IOT43B	I/O	0		none		Comp_of_IOT43A	True	K12	K12

注!

[1] EV版本封装。

[2] LV版本封装。

[3] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG256C <sup>[1]</sup>	UG256C <sup>[2]</sup>
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	N15	N15
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	N16	N16
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	L12	L12
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	K11	K11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	R16	R16
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	P16	P16
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	N14	N14
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	P15	P15
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	N13	N13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	M12	M12
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	K15	K15
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	K16	K16
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	M15	M15
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	M16	M16

注!

[1] EV版本封装。

[2] GCLKT<sub>[x]</sub>A: GCLKC<sub>[x]</sub>的默认专用管脚, [x]是时钟序号。  
GCLKT<sub>[x]</sub>B: 可配置成GCLKC<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC<sub>[x]</sub>A: GCLKT<sub>[x]</sub>的默认专用管脚, [x]是时钟序号。  
GCLKC<sub>[x]</sub>B: 可配置成GCLKT<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	D15
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	D16
IOT19A/EMCCLK	I/O	7	bus0	none	EMCCLK	True_of_IOT19B	True	F15
IOT19B/CSO_B	I/O	7	bus0	none	CSO_B	Comp_of_IOT19A	True	F16
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	F14
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	B16
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	G11
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	F13
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	G15
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	G16
IOT25A/MODE0	I/O	7	bus0	none	MODE0	True_of_IOT25B	True	H13
IOT25B/MODE1	I/O	7	bus0	none	MODE1	Comp_of_IOT25A	True	H12
IOT27A/MODE2	I/O	7	bus0	none	MODE2	True_of_IOT27B	True	G12
IOT27B/DONE	I/O	7	bus0	none	DONE	Comp_of_IOT27A	True	H14
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	E15
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	E16
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	C15
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	C16

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	E11
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	E10
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	F9
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	F10
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	B13
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	A13
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	B12
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	A12
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	C11
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	E9
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	B11
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	A11
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	B10
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	A10
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	D9
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	C9
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	B9
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	A9
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	D14
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	C14
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	D12

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	A15
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	F11
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	B14
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	A14
<b>BANK5 True LVDS Pair</b>								
IOB10A/D06/SSPI_CS_N	I/O	5	bus1	none	D06/SSPI_CS_N	True_of_IOB10B	True	E6
IOB10B/D05/SI/SSI0	I/O	5	bus1	none	D05/SI/SSI0	Comp_of_IOB10A	True	E7
IOB12A/GCLKT_10B <sup>[2]</sup> /D15/SSPI_WPN//SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D15/SSPI_WPN//SSI2/LPLL1_T_IN1	True_of_IOB12B	True	C6
IOB12B/GCLKC_10B <sup>[2]</sup> /D07/DOUT/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/D07/DOUT/LPLL1_C_IN1	Comp_of_IOB12A	True	A5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	B6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	A6
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	D6
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	D5
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	B4
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	A4
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	F7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	F6
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	B5
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	A2
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	D3



注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
I0B24B	I/O	5	bus1	none		Comp_of_I0B24A	True	C3
I0B26A/GCLKT_12	I/O	5	bus1	none	GCLKT_12	True_of_I0B26B	True	B3
I0B26B/GCLKC_12	I/O	5	bus1	none	GCLKC_12	Comp_of_I0B26A	True	A3
I0B2A	I/O	5	bus1	none		True_of_I0B2B	True	B8
I0B2B	I/O	5	bus1	none		Comp_of_I0B2A	True	A8
I0B4A/D04/LPLL1_T_FB0	I/O	5	bus1	none	D04/LPLL1_T_FB0	True_of_I0B4B	True	B7
I0B4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_I0B4A	True	A7
I0B6A	I/O	5	bus1	none		True_of_I0B6B	True	C8
I0B6B	I/O	5	bus1	none		Comp_of_I0B6A	True	D8
I0B8A/D03/SO/SS1	I/O	5	bus1	none	D03/SO/SS1	True_of_I0B8B	True	F8
I0B8B/D02	I/O	5	bus1	none	D02	Comp_of_I0B8A	True	E8
<b>BANK4 True LVDS Pair</b>								
I0B29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_I0B29B	True	B1
I0B29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_I0B29A	True	D4
I0B31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_I0B31B	True	C2
I0B31B/GCLKC_10A <sup>[2]</sup> /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_I0B31A	True	C1
I0B33A/GCLKT_9/D13/MCS_N/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9/D13/MCS_N/BPLL_T_IN1	True_of_I0B33B	True	D2
I0B33B/GCLKC_9/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9/BPLL_C_IN1	Comp_of_I0B33A	True	D1
I0B35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_I0B35B	True	E5
I0B35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_I0B35A	True	E1
I0B37A/D08	I/O	4	bus1	none	D08	True_of_I0B37B	True	G5
I0B37B	I/O	4	bus1	none		Comp_of_I0B37A	True	F5

**注!**

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	F2
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	F1
IOB54A/GCLKT_11B <sup>[2]</sup> /D10/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D10/MI2/BPLL_T_FB1	True_of_IOB54B	True	G2
IOB54B/GCLKC_11B <sup>[2]</sup> /MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	G1
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	H1
IOB62B/CSI_B	I/O	4	bus1	none	CSI_B	Comp_of_IOB62A	True	J3
<b>BANK3 True LVDS Pair</b>								
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	J6
IOB65B	I/O	3	bus1	none		Comp_of_IOB65A	True	L3
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	J2
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	J1
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	K2
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	K1
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	K5
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	L4
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L2
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	L1
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	N2
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	N1
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P2
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P1
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	M2
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	M1

注!

[1] EV版本封装。

[2] GCLKT\_xA: GCLKC\_x的默认专用管脚, [x]是时钟序号。  
GCLKT\_xB: 可配置成GCLKC\_x的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_xA: GCLKT\_x的默认专用管脚, [x]是时钟序号。  
GCLKC\_xB: 可配置成GCLKT\_x的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOB91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	K6
IOB91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	L6
<b>BANK2 True LVDS Pair</b>								
IOR12A	I/O	2	bus1	DQS2/DQ2		True_of_IOR12B	True	R7
IOR12B	I/O	2	bus1	DQS2/DQ2		Comp_of_IOR12A	True	T7
IOR14A	I/O	2	bus1	DQ2		True_of_IOR14B	True	R6
IOR14B	I/O	2	bus1	DQ2		Comp_of_IOR14A	True	T6
IOR18A	I/O	2	bus1	DQ2/DQS_23		True_of_IOR18B	True	R5
IOR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_IOR18A	True	T5
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	P6
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	M6
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	N5
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	N6
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	R3
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	T3
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	M7
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	K8
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	N3
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P3
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	R4
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	T4
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	T2

注!

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	L7
IOR5A	I/O	2		none		True_of_IOR5B	True	R8
IOR5B	I/O	2		none		Comp_of_IOR5A	True	T8
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	N8
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	P8
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	L8
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	M8
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	T14
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	T15
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	P14
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	L11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	M11
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	N12
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	R13
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	T13
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	K10
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	L10
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	R12
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	T12
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	M10
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	N11
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	R10
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	T10

**注!**

[1] EV版本封装。

[2] GCLKT\_x]A: GCLKC\_x]的默认专用管脚, [x]是时钟序号。

GCLKT\_x]B: 可配置成GCLKC\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_x]A: GCLKT\_x]的默认专用管脚, [x]是时钟序号。

GCLKC\_x]B: 可配置成GCLKT\_x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	R11
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	T11
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	M9
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	N9
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	K9
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	L9
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	P9
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	P11
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	R9
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	T9
<b>BANK0 True LVDS Pair</b>								
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	J12
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	J14
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	J15
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	J16
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	L15
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	L16
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	J13
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	L13
IOT43A	I/O	0		none		True_of_IOT43B	True	J11
IOT43B	I/O	0		none		Comp_of_IOT43A	True	K12
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	N15
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	N16

注!

[1] EV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256C <sup>[1]</sup>
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	L12
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	K11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	R16
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	P16
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	N14
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	P15
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	N13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	M12
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	K15
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	K16
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	M15
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	M16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F4
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F3
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	E2
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	E1
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	F6
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	F5
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	E4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	E3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D3
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	C1
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	B1
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C3
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C2
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	B2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	A2
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	B3
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	A3
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	J6
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	H5
IOT5A	I/O	7	bus0	none		True_of_IOT5B	True	L4

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT5B	I/O	7	bus0	none		Comp_of_IOT5A	True	L5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	K5
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	K6
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	G6
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G5
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	J3
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	J1
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	K2
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	K1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	L3
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	L1
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	M2
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	M1
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	K3
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	J4
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	F2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	F1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	G3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G1
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H2



注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H1
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CN	I/O	5	bus1	none	D03/SSPI_CN	True_of_IOB10B	True	N5
IOB10B/D04/SI/SSIO	I/O	5	bus1	none	D04/SI/SSIO	Comp_of_IOB10A	True	P5
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SI2/LPLL1_T_IN1	True_of_IOB12B	True	R5
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	T5
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	P6
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	T6
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	R7
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	T7
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	P4
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	T4
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	M6
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	N6
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	L8
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	L7
<b>BANK4 True LVDS Pair</b>								
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	M9
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	N8
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	P7
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	M7

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	P8
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	T8
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	R9
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	T9
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	R3
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	T3
IOB45A	I/O	4		none		True_of_IOB45B	True	L10
IOB45B	I/O	4		none		Comp_of_IOB45A	True	M10
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	N9
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	P9
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	N11
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	P11
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	N12
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	P12
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	P10
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	T10
IOB60A	I/O	4	bus1	none		True_of_IOB60B	True	M12
IOB60B	I/O	4	bus1	none		Comp_of_IOB60A	True	M11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	R11
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	T11

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
<b>BANK3 True LVDS Pair</b>								
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	M13
IOB65B/DOUT	I/O	3	bus1	none	DOUT	Comp_of_IOB65A	True	M14
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	L12
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	L13
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	R12
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	T12
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	T14
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	T13
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	R14
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	T15
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	R15
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	R16
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	P15
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	P16
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	L14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	L16
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M15
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	M16
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	N14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	N16
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	K15
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	K16
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	J14

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
I0B89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_I0B89A	True	J16
I0B91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I0B91B	True	K12
I0B91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I0B91A	True	K11
<b>BANK2 True LVDS Pair</b>								
I0R12A	I/O	2	bus1	DQS2/DQ2		True_of_I0R12B	True	D14
I0R12B	I/O	2	bus1	DQS2/DQ2		Comp_of_I0R12A	True	D16
I0R14A	I/O	2	bus1	DQ2		True_of_I0R14B	True	F13
I0R14B	I/O	2	bus1	DQ2		Comp_of_I0R14A	True	F14
I0R16A	I/O	2	bus1	DQ2		True_of_I0R16B	True	C15
I0R16B	I/O	2	bus1	DQ2		Comp_of_I0R16A	True	C16
I0R18A	I/O	2	bus1	DQ2/DQS_23		True_of_I0R18B	True	E15
I0R18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_I0R18A	True	E16
I0R20A	I/O	2	bus1	DQ3		True_of_I0R20B	True	F15
I0R20B	I/O	2	bus1	DQ3		Comp_of_I0R20A	True	F16
I0R22A	I/O	2	bus1	DQ3		True_of_I0R22B	True	G14
I0R22B	I/O	2	bus1	DQ3		Comp_of_I0R22A	True	G16
I0R24A	I/O	2	bus1	DQ3		True_of_I0R24B	True	H15
I0R24B	I/O	2	bus1	DQ3		Comp_of_I0R24A	True	H16
I0R26A	I/O	2	bus1	DQS3/DQ3		True_of_I0R26B	True	G12
I0R26B	I/O	2	bus1	DQS3/DQ3		Comp_of_I0R26A	True	H11
I0R29A	I/O	2	bus1	DQ3		True_of_I0R29B	True	H13
I0R29B	I/O	2	bus1	DQ3		Comp_of_I0R29A	True	H14
I0R31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_I0R31B	True	J11

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	J12
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	J13
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	K14
IOR5A	I/O	2		none		True_of_IOR5B	True	E13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	E12
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	B15
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	B16
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	F12
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	G11
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	E7
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	E8
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	E10
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	C10
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C8
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	C11
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A11
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	D9
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	B12
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A12

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	C13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	A13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	F10
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	E11
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	B14
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A14
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	D11
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	D12
<b>BANK0 True LVDS Pair</b>								
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	C4
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A4
IOT31A	I/O	0	bus0	none		True_of_IOT31B	True	B5
IOT31B	I/O	0	bus0	none		Comp_of_IOT31A	True	A5
IOT33A	I/O	0	bus0	none		True_of_IOT33B	True	D5
IOT33B	I/O	0	bus0	none		Comp_of_IOT33A	True	C5
IOT35A	I/O	0	bus0	none		True_of_IOT35B	True	B6
IOT35B	I/O	0	bus0	none		Comp_of_IOT35A	True	A6
IOT37A	I/O	0	bus0	none		True_of_IOT37B	True	F7
IOT37B	I/O	0	bus0	none		Comp_of_IOT37A	True	E6
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	C7
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	A7
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B8

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG256 <sup>[1]</sup>
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	A8
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	C9
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A9
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B10
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A10

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	J4
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	J3
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	M1
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	L1
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	L3
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	L2
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	M3
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	M2
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	P4
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	P3
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	M5
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	M4
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	P2
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	N1
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	P5
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	N4
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	H4
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	H3
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	H2
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	H1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	K4
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	K3



注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	J2
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	J1
<b>BANK4 True LVDS Pair</b>								
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	P8
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	C11
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	M8
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	B12
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	B11
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	A8
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	M7
<b>BANK3 True LVDS Pair</b>								
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	L12
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	L13
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	J11
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	J12
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	J13
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	J14
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	F12
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	E12
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	D12
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	D13
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	G14
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	F14
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	F13
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	E13
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	D14
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	C14

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOB91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_IOB91B	True	G11
IOB91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_IOB91A	True	F11
<b>BANK2 True LVDS Pair</b>								
IOR20A	I/O	2	bus1	DQ3		True_of_IOR20B	True	K11
IOR20B	I/O	2	bus1	DQ3		Comp_of_IOR20A	True	K12
IOR22A	I/O	2	bus1	DQ3		True_of_IOR22B	True	M11
IOR22B	I/O	2	bus1	DQ3		Comp_of_IOR22A	True	M12
IOR24A	I/O	2	bus1	DQ3		True_of_IOR24B	True	N10
IOR24B	I/O	2	bus1	DQ3		Comp_of_IOR24A	True	N11
IOR26A	I/O	2	bus1	DQS3/DQ3		True_of_IOR26B	True	N14
IOR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_IOR26A	True	M14
IOR29A	I/O	2	bus1	DQ3		True_of_IOR29B	True	P12
IOR29B	I/O	2	bus1	DQ3		Comp_of_IOR29A	True	P13
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	P10
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	P11
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	G1
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	F1
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	G4
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	F4
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D1
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C1
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	E2
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	D2
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	F3

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	F2
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	E4
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	D4
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	C5
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	C4
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	B2
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	B1
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	B5
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	A5
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	B3
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	A2
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	A4
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	A3
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	D3
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	C3
<b>BANK0 True LVDS Pair</b>								
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D10
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C10
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	C12
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E11
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	A12
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	A13
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	B13
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	B14
IOT56A/GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TP LL_T_FB1	True_of_IOT56B	True	H11

**注!**

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	PG196S <sup>[1]</sup>
IOT56B/GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TP LL_C_FB1	Comp_of_IOT56A	True	H12
IOT58A/GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TP LL_T_FB0	True_of_IOT58B	True	H13
IOT58B/GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TP LL_C_FB0	Comp_of_IOT58A	True	H14

注！

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
<b>BANK7 True LVDS Pair</b>								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	H7
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	G6
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	F4
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	F3
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E4
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E3
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	D4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	D3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	E1
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H2
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G1
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	F5
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	E6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	C5
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	C4
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	D2
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	C1
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	B2
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	F2
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	F1

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
<b>BANK6 True LVDS Pair</b>								
IOL12A	I/O	6	bus0	DQ7		True_of_IOL12B	True	K6
IOL12B	I/O	6	bus0	DQ7		Comp_of_IOL12A	True	K5
IOL14A/LPLL1_T_IN0	I/O	6	bus0	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	J7
IOL14B/LPLL1_C_IN0	I/O	6	bus0	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	J6
IOL16A	I/O	6	bus0	DQ6/DQS_67		True_of_IOL16B	True	L4
IOL16B	I/O	6	bus0	DQ6/DQS_67		Comp_of_IOL16A	True	L3
IOL18A	I/O	6	bus0	DQ6		True_of_IOL18B	True	P3
IOL18B	I/O	6	bus0	DQ6		Comp_of_IOL18A	True	P4
IOL21A	I/O	6	bus0	DQS6/DQ6		True_of_IOL21B	True	K4
IOL21B	I/O	6	bus0	DQS6/DQ6		Comp_of_IOL21A	True	K3
IOL23A	I/O	6	bus0	DQ6		True_of_IOL23B	True	N4
IOL23B	I/O	6	bus0	DQ6		Comp_of_IOL23A	True	N3
IOL25A	I/O	6		DQ6		True_of_IOL25B	True	M3
IOL25B	I/O	6		DQ6		Comp_of_IOL25A	True	N2
IOL27A	I/O	6	bus0	DQ6		True_of_IOL27B	True	R3
IOL27B	I/O	6	bus0	DQ6		Comp_of_IOL27A	True	T3
IOL29A	I/O	6	bus0	none		True_of_IOL29B	True	L5
IOL29B	I/O	6	bus0	none		Comp_of_IOL29A	True	M5
IOL31A	I/O	6		none		True_of_IOL31B	True	L7
IOL31B	I/O	6		none		Comp_of_IOL31A	True	L6
IOL3A/GCLKT_14/LPLL0_T_IN2/ LPLL0_T_FB0	I/O	6	bus0	DQ7	GCLKT_14/LPLL0_T_IN2/LPL L0_T_FB0	True_of_IOL3B	True	H1
IOL3B/GCLKC_14/LPLL0_C_IN2/ LPLL0_C_FB0	I/O	6	bus0	DQ7	GCLKC_14/LPLL0_C_IN2/LPL L0_C_FB0	Comp_of_IOL3A	True	J1
IOL5A/GCLKT_13/LPLL0_T_IN1/ LPLL0_T_FB1	I/O	6	bus0	DQ7	GCLKT_13/LPLL0_T_IN1/LPL L0_T_FB1	True_of_IOL5B	True	K2

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	bus0	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	K1
IOL7A	I/O	6	bus0	DQ7		True_of_IOL7B	True	H3
IOL7B	I/O	6	bus0	DQ7		Comp_of_IOL7A	True	G3
IOL9A	I/O	6	bus0	DQS7/DQ7		True_of_IOL9B	True	H5
IOL9B	I/O	6	bus0	DQS7/DQ7		Comp_of_IOL9A	True	H4
<b>BANK5 True LVDS Pair</b>								
IOB10A/D03/SSPI_CS_N	I/O	5	bus1	none	D03/SSPI_CS_N	True_of_IOB10B	True	U7
IOB10B/D04/SI/SSI0	I/O	5	bus1	none	D04/SI/SSI0	Comp_of_IOB10A	True	V6
IOB12A/GCLKT_10B <sup>[2]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1	I/O	5	bus1	none	GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1	True_of_IOB12B	True	U8
IOB12B/GCLKC_10B <sup>[2]</sup> /RDWR_B/LPLL1_C_IN1	I/O	5	bus1	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	V7
IOB14A/SSPI_CLK	I/O	5	bus1	none	SSPI_CLK	True_of_IOB14B	True	V8
IOB14B/CLKHOLD_N/SSI3	I/O	5	bus1	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	V9
IOB16A	I/O	5	bus1	none		True_of_IOB16B	True	T5
IOB16B	I/O	5	bus1	none		Comp_of_IOB16A	True	T4
IOB18A	I/O	5	bus1	none		True_of_IOB18B	True	T7
IOB18B	I/O	5	bus1	none		Comp_of_IOB18A	True	T6
IOB20A	I/O	5	bus1	none		True_of_IOB20B	True	P7
IOB20B	I/O	5	bus1	none		Comp_of_IOB20A	True	R7
IOB22A	I/O	5	bus1	none		True_of_IOB22B	True	M8
IOB22B	I/O	5	bus1	none		Comp_of_IOB22A	True	N8
IOB24A	I/O	5	bus1	none		True_of_IOB24B	True	P8
IOB24B	I/O	5	bus1	none		Comp_of_IOB24A	True	R8
IOB26A/GCLKT_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKT_9B	True_of_IOB26B	True	U10
IOB26B/GCLKC_9B <sup>[2]</sup>	I/O	5	bus1	none	GCLKC_9B	Comp_of_IOB26A	True	V10

注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOB2A	I/O	5	bus1	none		True_of_IOB2B	True	N6
IOB2B	I/O	5	bus1	none		Comp_of_IOB2A	True	N5
IOB4A/D08/LPLL1_T_FB0	I/O	5	bus1	none	D08/LPLL1_T_FB0	True_of_IOB4B	True	U3
IOB4B/D09/LPLL1_C_FB0	I/O	5	bus1	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	V3
IOB6A	I/O	5	bus1	none		True_of_IOB6B	True	P6
IOB6B	I/O	5	bus1	none		Comp_of_IOB6A	True	R5
IOB8A/D05/SO/SSI1	I/O	5	bus1	none	D05/SO/SSI1	True_of_IOB8B	True	U5
IOB8B/D06	I/O	5	bus1	none	D06	Comp_of_IOB8A	True	V5
<b>BANK4 True LVDS Pair</b>								
IOB29A/GCLKT_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKT_11A	True_of_IOB29B	True	U11
IOB29B/GCLKC_11A <sup>[2]</sup>	I/O	4	bus1	none	GCLKC_11A	Comp_of_IOB29A	True	V11
IOB31A/GCLKT_10A <sup>[2]</sup> /D14/BPLL_T_FB0	I/O	4	bus1	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	U13
IOB31B/GCLKC_10A <sup>[2]</sup> /D15/BPLL_C_FB0	I/O	4	bus1	none	GCLKC_10A/D15/BPLL_C_FB0	Comp_of_IOB31A	True	V12
IOB33A/GCLKT_9A <sup>[2]</sup> /D13/BPLL_T_IN1	I/O	4	bus1	none	GCLKT_9A/D13/BPLL_T_IN1	True_of_IOB33B	True	V13
IOB33B/GCLKC_9A <sup>[2]</sup> /EMCCLK/BPLL_C_IN1	I/O	4	bus1	none	GCLKC_9A/EMCCLK/BPLL_C_IN1	Comp_of_IOB33A	True	V14
IOB35A/GCLKT_8	I/O	4	bus1	none	GCLKT_8	True_of_IOB35B	True	U15
IOB35B/GCLKC_8	I/O	4	bus1	none	GCLKC_8	Comp_of_IOB35A	True	V15
IOB37A/READY	I/O	4	bus1	none	READY	True_of_IOB37B	True	U16
IOB37B/MCS_N/CSO_B	I/O	4	bus1	none	MCS_N/CSO_B	Comp_of_IOB37A	True	V16
IOB39A	I/O	4	bus1	none		True_of_IOB39B	True	T9
IOB39B	I/O	4	bus1	none		Comp_of_IOB39A	True	T8
IOB41A	I/O	4	bus1	none		True_of_IOB41B	True	M10



注!

<sup>[1]</sup> LV版本封装。

<sup>[2]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚, <sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, <sub>[x]</sub>是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOB41B	I/O	4	bus1	none		Comp_of_IOB41A	True	N9
IOB43A	I/O	4	bus1	none		True_of_IOB43B	True	R10
IOB43B	I/O	4	bus1	none		Comp_of_IOB43A	True	T10
IOB45A	I/O	4		none		True_of_IOB45B	True	R11
IOB45B	I/O	4		none		Comp_of_IOB45A	True	T11
IOB48A	I/O	4	bus1	none		True_of_IOB48B	True	N10
IOB48B	I/O	4	bus1	none		Comp_of_IOB48A	True	P11
IOB50A/D11	I/O	4	bus1	none	D11	True_of_IOB50B	True	R13
IOB50B/D12	I/O	4	bus1	none	D12	Comp_of_IOB50A	True	T12
IOB52A/MODE1	I/O	4	bus1	none	MODE1	True_of_IOB52B	True	T13
IOB52B/D10	I/O	4	bus1	none	D10	Comp_of_IOB52A	True	T14
IOB54A/GCLKT_11B <sup>[2]</sup> /D01/MI2/BPLL_T_FB1	I/O	4	bus1	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	U17
IOB54B/GCLKC_11B <sup>[2]</sup> /D02/MI3/BPLL_C_FB1	I/O	4	bus1	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	V17
IOB56A	I/O	4	bus1	none		True_of_IOB56B	True	M11
IOB56B	I/O	4	bus1	none		Comp_of_IOB56A	True	N11
IOB58A/D00/DIN/MISO/MI1	I/O	4	bus1	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	R15
IOB58B/MOSI/MI0/CSI_B	I/O	4	bus1	none	MOSI/MI0/CSI_B	Comp_of_IOB58A	True	T15
IOB62A/CCLK	I/O	4	bus1	none	CCLK	True_of_IOB62B	True	T17
IOB62B/MODE0	I/O	4	bus1	none	MODE0	Comp_of_IOB62A	True	U18

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
<b>BANK3 True LVDS Pair</b>								
IOB65A	I/O	3	bus1	none		True_of_IOB65B	True	P16
IOB65B/DOOUT	I/O	3	bus1	none	DOOUT	Comp_of_IOB65A	True	R16
IOB67A	I/O	3	bus1	none		True_of_IOB67B	True	P12
IOB67B	I/O	3	bus1	none		Comp_of_IOB67A	True	P13
IOB69A	I/O	3	bus1	DQ5		True_of_IOB69B	True	P17
IOB69B	I/O	3	bus1	DQ5		Comp_of_IOB69A	True	P18
IOB71A	I/O	3	bus1	DQ5		True_of_IOB71B	True	N15
IOB71B	I/O	3	bus1	DQ5		Comp_of_IOB71A	True	P15
IOB73A	I/O	3	bus1	DQ5		True_of_IOB73B	True	N17
IOB73B	I/O	3	bus1	DQ5		Comp_of_IOB73A	True	N18
IOB75A/GCLKT_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	L17
IOB75B/GCLKC_6B <sup>[2]</sup>	I/O	3	bus1	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	M18
IOB77A	I/O	3	bus1	DQ5		True_of_IOB77B	True	M16
IOB77B	I/O	3	bus1	DQ5		Comp_of_IOB77A	True	N16
IOB79A	I/O	3	bus1	DQ5/DQS_45		True_of_IOB79B	True	L18
IOB79B	I/O	3	bus1	DQ5/DQS_45		Comp_of_IOB79A	True	K18
IOB81A	I/O	3	bus1	DQ4		True_of_IOB81B	True	M14
IOB81B	I/O	3	bus1	DQ4		Comp_of_IOB81A	True	N14
IOB83A	I/O	3	bus1	DQ4		True_of_IOB83B	True	M13
IOB83B	I/O	3	bus1	DQ4		Comp_of_IOB83A	True	N12
IOB85A	I/O	3	bus1	DQS4/DQ4		True_of_IOB85B	True	L16
IOB85B	I/O	3	bus1	DQS4/DQ4		Comp_of_IOB85A	True	K17
IOB87A	I/O	3	bus1	DQ4		True_of_IOB87B	True	L14
IOB87B	I/O	3	bus1	DQ4		Comp_of_IOB87A	True	L15
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	bus1	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	K16
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	bus1	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	J16

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
I/OB91A/GCLKT_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKT_6A	True_of_I/OB91B	True	K14
I/OB91B/GCLKC_6A <sup>[2]</sup>	I/O	3	bus1	DQ4	GCLKC_6A	Comp_of_I/OB91A	True	K15
<b>BANK2 True LVDS Pair</b>								
I/OR12A	I/O	2	bus1	DQS2/DQ2		True_of_I/OR12B	True	A15
I/OR12B/ADCINCLK	I/O	2	bus1	DQS2/DQ2	ADCINCLK	Comp_of_I/OR12A	True	A16
I/OR14A	I/O	2	bus1	DQ2		True_of_I/OR14B	True	B16
I/OR14B	I/O	2	bus1	DQ2		Comp_of_I/OR14A	True	A17
I/OR16A	I/O	2	bus1	DQ2		True_of_I/OR16B	True	G14
I/OR16B	I/O	2	bus1	DQ2		Comp_of_I/OR16A	True	F15
I/OR18A	I/O	2	bus1	DQ2/DQS_23		True_of_I/OR18B	True	F16
I/OR18B	I/O	2	bus1	DQ2/DQS_23		Comp_of_I/OR18A	True	E16
I/OR20A	I/O	2	bus1	DQ3		True_of_I/OR20B	True	E18
I/OR20B	I/O	2	bus1	DQ3		Comp_of_I/OR20A	True	D18
I/OR22A	I/O	2	bus1	DQ3		True_of_I/OR22B	True	H14
I/OR22B	I/O	2	bus1	DQ3		Comp_of_I/OR22A	True	H15
I/OR24A	I/O	2	bus1	DQ3		True_of_I/OR24B	True	G16
I/OR24B	I/O	2	bus1	DQ3		Comp_of_I/OR24A	True	F17
I/OR26A	I/O	2	bus1	DQS3/DQ3		True_of_I/OR26B	True	G18
I/OR26B	I/O	2	bus1	DQS3/DQ3		Comp_of_I/OR26A	True	F18
I/OR29A	I/O	2	bus1	DQ3		True_of_I/OR29B	True	H17
I/OR29B	I/O	2	bus1	DQ3		Comp_of_I/OR29A	True	H18
I/OR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2		DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_I/OR31B	True	K12
I/OR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2		DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_I/OR31A	True	K13
I/OR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	bus1	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_I/OR33B	True	L12

注！  
<sup>[1]</sup> LV版本封装。  
<sup>[2]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	bus1	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	L13
IOR5A	I/O	2		none		True_of_IOR5B	True	G13
IOR5B	I/O	2		none		Comp_of_IOR5A	True	F14
IOR7A	I/O	2	bus1	DQ2		True_of_IOR7B	True	D14
IOR7B	I/O	2	bus1	DQ2		Comp_of_IOR7A	True	C15
IOR9A	I/O	2	bus1	DQ2		True_of_IOR9B	True	D15
IOR9B	I/O	2	bus1	DQ2		Comp_of_IOR9A	True	D16
<b>BANK1 True LVDS Pair</b>								
IOT61A/GCLKT_2/TPLL_T_IN0	I/O	1	bus2	DQS0/DQ0	GCLKT_2/TPLL_T_IN0	True_of_IOT61B	True	B6
IOT61B/GCLKC_2/TPLL_C_IN0	I/O	1	bus2	DQS0/DQ0	GCLKC_2/TPLL_C_IN0	Comp_of_IOT61A	True	A6
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	bus2	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	A8
IOT63B/GCLKC_3/RPLL0_C_IN0	I/O	1	bus2	DQ0	GCLKC_3/RPLL0_C_IN0	Comp_of_IOT63A	True	A7
IOT66A	I/O	1	bus2	DQ0		True_of_IOT66B	True	D8
IOT66B	I/O	1	bus2	DQ0		Comp_of_IOT66A	True	C9
IOT68A	I/O	1	bus2	DQ0		True_of_IOT68B	True	B8
IOT68B	I/O	1	bus2	DQ0		Comp_of_IOT68A	True	A9
IOT70A	I/O	1	bus2	DQ0		True_of_IOT70B	True	D9
IOT70B	I/O	1	bus2	DQ0		Comp_of_IOT70A	True	C10
IOT72A	I/O	1	bus2	DQ0		True_of_IOT72B	True	B9
IOT72B	I/O	1	bus2	DQ0		Comp_of_IOT72A	True	A10
IOT74A	I/O	1	bus2	DQ1/DQS_01		True_of_IOT74B	True	D11
IOT74B	I/O	1	bus2	DQ1/DQS_01		Comp_of_IOT74A	True	C11
IOT76A	I/O	1	bus2	DQ1		True_of_IOT76B	True	B11
IOT76B	I/O	1	bus2	DQ1		Comp_of_IOT76A	True	A11
IOT78A	I/O	1	bus2	DQ1		True_of_IOT78B	True	F12
IOT78B	I/O	1	bus2	DQ1		Comp_of_IOT78A	True	E12

注!

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOT80A	I/O	1	bus2	DQS1/DQ1		True_of_IOT80B	True	D12
IOT80B	I/O	1	bus2	DQS1/DQ1		Comp_of_IOT80A	True	C12
IOT83A	I/O	1	bus2	DQ1		True_of_IOT83B	True	C13
IOT83B	I/O	1	bus2	DQ1		Comp_of_IOT83A	True	C14
IOT85A	I/O	1	bus2	DQ1		True_of_IOT85B	True	F13
IOT85B	I/O	1	bus2	DQ1		Comp_of_IOT85A	True	E13
IOT87A	I/O	1	bus2	none		True_of_IOT87B	True	H12
IOT87B	I/O	1	bus2	none		Comp_of_IOT87A	True	H13
IOT89A/RPLL0_T_FB1	I/O	1	bus2	none	RPLL0_T_FB1	True_of_IOT89B	True	A12
IOT89B/RPLL0_C_FB1	I/O	1	bus2	none	RPLL0_C_FB1	Comp_of_IOT89A	True	A13
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	bus2	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	B14
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	bus2	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	A14
<b>BANK0 True LVDS Pair</b>								
IOT29A/PUDC_B	I/O	0	bus0	none	PUDC_B	True_of_IOT29B	True	A3
IOT29B	I/O	0	bus0	none		Comp_of_IOT29A	True	A2
IOT39A	I/O	0	bus0	none		True_of_IOT39B	True	F6
IOT39B	I/O	0	bus0	none		Comp_of_IOT39A	True	E7
IOT41A	I/O	0	bus0	none		True_of_IOT41B	True	D6
IOT41B	I/O	0	bus0	none		Comp_of_IOT41A	True	C6
IOT43A	I/O	0		none		True_of_IOT43B	True	C8
IOT43B	I/O	0		none		Comp_of_IOT43A	True	C7
IOT45A	I/O	0	bus0	none		True_of_IOT45B	True	F7
IOT45B	I/O	0	bus0	none		Comp_of_IOT45A	True	E8
IOT48A	I/O	0	bus0	none		True_of_IOT48B	True	G8
IOT48B	I/O	0	bus0	none		Comp_of_IOT48A	True	F8

**注!**

[1] LV版本封装。

[2] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚, [x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚, [x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	UG324F <sup>[1]</sup>
IOT50A	I/O	0	bus0	none		True_of_IOT50B	True	G9
IOT50B	I/O	0	bus0	none		Comp_of_IOT50A	True	F9
IOT52A	I/O	0	bus0	none		True_of_IOT52B	True	G11
IOT52B	I/O	0	bus0	none		Comp_of_IOT52A	True	F10
IOT54A	I/O	0	bus0	none		True_of_IOT54B	True	F11
IOT54B	I/O	0	bus0	none		Comp_of_IOT54A	True	E11
IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	I/O	0	bus0	none	GCLKT_0/TPLL_T_IN1/TPLL_T_FB1	True_of_IOT56B	True	B3
IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	I/O	0	bus0	none	GCLKC_0/TPLL_C_IN1/TPLL_C_FB1	Comp_of_IOT56A	True	A4
IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	I/O	0	bus0	none	GCLKT_1/TPLL_T_IN2/TPLL_T_FB0	True_of_IOT58B	True	B4
IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	I/O	0	bus0	none	GCLKC_1/TPLL_C_IN2/TPLL_C_FB0	Comp_of_IOT58A	True	A5