



# 缓解 FPGA 中的单粒子翻转 (SEU) —— 对比分析 白皮书

WP1151-1.0, 2023-10-31

# 1 介绍

现场可编程门阵列(FPGA, Field-Programmable Gate Array)是当今电子领域不可或缺的一部分, 具有出色的灵活性和可配置性。不过, FPGA 依赖 SRAM 单元进行配置, 因此容易受到单粒子翻转 (Single-Event Upsets, SEU) 的影响。本文探讨了 FPGA 中的 SEU, 强调了必须防范 SEU 的原因, 以及快速错误纠正的重要性。

## 2 理解单粒子翻转

### SRAM 单元 FPGA 的核心

SRAM 单元是 FPGA 的控制中心, 存储着控制其运行的比特流。SRAM 单元状态发生任何变化都可能导致灾难性的功能故障, 因此, SEU 是一个十分严重的问题。

### 晶体管缩小和 SEU

虽然 SRAM 单元通常采用较老的技术, 但随着为节省芯片面积而缩小晶体管尺寸, SRAM 单元对 SEU 的敏感性也会增加。晶体管尺寸缩小降低了 SRAM 保存数据的能力, 使其对各种外部因素更加敏感, 特别是在航空航天应用中。

### 宇宙射线和地球表面

通常, 宇宙射线会在地球大气层中消散, 对地表居民几乎不构成威胁。然而, 由于 SRAM 单元的晶体管尺寸不断缩小, 人们担心即使宇宙射线减弱也会造成 SEU, 从而可能导致 FPGA 故障。

### 相关粒子

造成 SEU 的两种粒子主要是中子 (模拟宇宙射线) 和  $\alpha$  粒子, 这两种粒子通常由封装中的焊球发射。虽然可以更换材料, 但通常更经济的做法是有效处理 SEU。

## 3 高云 FPGA 解决方案优势

### 增强 SRAM 单元

要防止 SEU, 首先要增强 SRAM 单元。高云的创新之举有: 设计定制的 SRAM 单元; 增强 SRAM 单元抗干扰性。这一举措显著提高了抗 SEU 能力, 甚至在较小的芯片尺寸, 如 22nm 的 Arora V 器件中也是如此。

22nm 的 BSRAM 仍使用 TSMC 的晶圆厂技术, 软错误率 (Soft Error Rate, SER) 报告中存在显著的差异。高云为用户提供了硬件校验和纠错 (Error Checking and Correction, ECC) 电路, 用于在读取 BSRAM 内容时纠正 BSRAM 的 SEU 错误。

### 性能比较

将高云的 22nm FPGA 与 X 公司的 28nm 6 系列和 7 系列等竞争产品进行比较, 可以发现, 高云的抗 SEU 能力更强。全面的测试数据彰显了这一性能优势。

### 受控测试

为了量化抗 SEU 能力, 进行中子和  $\alpha$  粒子轰击的受控测试至关重要。高云的故障率数

据显示，高云 FPGA 的抗 SEU 能力非常强，超过了竞争产品和先前几代的 FPGA。以下是与高云 GW2A 55nm 配置 SRAM 单元的比较，该单元来自 TSMC 55nm GP 工艺。

表 1 55nm TSMC 配置 SRAM 单元 VS 22nm 高云配置 SRAM 单元

	55nm FIT/Mb	22nm FIT/Mb
CSNS 中子	165	59
热中子	58	12
$\alpha$ 粒子	55	7

## 4 快速错误纠正

### 错误纠正的重要性

对于关键任务的应用，错误纠正至关重要。高云采用基于汉明码的错误纠正系统，能够检测和纠正数据错误。

### 比较错误纠正

与 X 公司相比，高云的错误纠正算法表现出色。X 公司只能纠正一位错误，而高云的 GW5A 器件可以纠正两位错误并报告三位错误，提高了系统的可靠性。（138K 器件是 GW5A 器件中唯一纠正一位错误的器件）与 X 公司相比，高云的错误纠正算法表现出色。X 公司只能每个 frame 中纠正一位错误或者相邻两位错误（高级模式下），而高云的 GW5A 器件可以每个 frame 中纠正更多类型的两位错误或者分布在 frame 中不同位置的更多位的错误，并报告不可修复的多位错误，提高了系统的可靠性。

### 高效的帧大小

高云 FPGA 的帧设计注重效率，与 X 公司的帧相比，每帧的位数要少得多。帧大小较小可降低出现多位错误的风险。

关于帧大小的更多信息：

138K: 帧长 1513 比特

25k: 帧长 469 比特

60k: 帧长 918 比特

作为对比，X 公司 7 系列器件的帧长为 3232 比特。

### 专用 Parabit

高云在 SRAM 帧内集成了专用 Parabit，简化了错误纠正过程，无需使用 fabric 功能来进行检测和纠正操作。高云提供了一个简单的封装 IP——“SEU Handler”，使用户能轻松访问 SEU 报告和纠正功能。这样既提高了效率，也提高了可靠性。

### 可定制的扫描频率

高云的 FPGA 解决方案提供了可定制的扫描频率，能实现更快的错误检测和纠正，这对于在关键的服务器环境中保持不间断运行至关重要。在高级模式下，扫描频率可高达 200MHz。

## 5 效率与整合

高云的 FPGA 解决方案将缓解 SEU 功能集成到硬件中，简化了客户的部署过程。这确保了运行的高效可靠。

## 6 高云 22nm FPGA 软错误率测试报告

### 测试背景

高云的 FPGA 设备是基于 SRAM 的，这意味着用户逻辑是通过内部的配置 SRAM 单元进行编程和控制的。

业界对由  $\alpha$  粒子或中子粒子引起的 SRAM 单元的 SEU 有充分的了解，并且在对于在计算关键任务、功能安全和高可靠性应用的系统故障率时需要考虑这一点。

### 已测试的 SRAM

SRAM 单元的数量可从比特流文件中得出。

比特流文件包含需要编程到 FPGA SRAM 单元阵列的所有数据。

因此，根据阵列大小，可以得到 SRAM 单元的数量。

这种阵列包括两类 SRAM 单元：一类是配置 SRAM；另一类是块 SRAM，用户在设计中将其用于存储器存储，不涉及逻辑控制。

表 1 和表 2 显示了 SEU 所导致的软错误率，该 SEU 会影响用作配置 SRAM 和块 SRAM 的存储单元。

### 测试方法

中子截面根据 JESD89/6 加速高能中子测试程序的 CSNS 射束测试确定，热中子截面根据 JESD89/7 加速热中子测试程序确定。

纽约市的中子软错误率以 FIT/Mb 为单位进行了校正。

$\alpha$  粒子截面是根据 JESD89/5 加速  $\alpha$  粒子测试程序，以镅-241 源作为  $\alpha$  辐射源测定的， $\alpha$  SER (FIT/MB) 是根据  $\alpha$  发射率每小时每平方厘米 0.001 计数校正的。

### 配置 SRAM 的 SER

表 2 显示了 SEU 所导致的 SER，该 SEU 会影响用作配置 SRAM 的存储单元。

表 2 配置 SRAM 的 SER

Tech Node	Product Family	CSNS Neutron <sup>[3]</sup>			Thermal Neutrons			Alpha Particle (Actual) <sup>[4]</sup>		
		Cross-section(cm <sup>2</sup> /bit)	FIT/Mb <sup>[5]</sup>	std dev	Cross-section (cm <sup>2</sup> /bit)	FIT/Mb <sup>[5]</sup>	std dev	Cross-section (cm <sup>2</sup> /bit)	FIT/Mb	std dev
22nm	Arora V	4.30*10 <sup>-15</sup>	58.6	2	1.80*10 <sup>-15</sup>	12.3	7	6.21*10 <sup>-12</sup>	6.7	1

#### Note !

- [1]实验在带有 650Kbytes SRAM 的 GW5A-25 产片上进行。
- [2]实验在常温下进行，使用典型的电源电压。

- [3]数据来源于中国散裂中子源。
- [4]典型的阿尔法数据基于 0.001 个每平方厘米每小时的阿尔法发射率
- [5]中子软错误率 (以 FIT/Mb 为单位) 根据 JESD89A 在纽约市进行了修正。
- [6]在启用 ECC 功能的测试中, 所有在测试期间检测到的 SEU 都进行了纠正, SER 为 0。

## 块 SRAM 的 SER

表 3 显示了 SEU 所导致的 SER, 该 SEU 会影响用作块 SRAM 的存储单元。

表 3 块 SRAM 的 SER

Tech Node	Product Family	CSNS Neutron <sup>[3]</sup>			Thermal Neutrons			Alpha Particle (Typical) <sup>[4]</sup>		
		Cross-section(cm <sup>2</sup> /bit)	FIT/Mb <sup>[5]</sup>	std dev	Cross-section (cm <sup>2</sup> /bit)	FIT/Mb <sup>[5]</sup>	std dev	Cross-section (cm <sup>2</sup> /bit)	FIT/Mb	std dev
22nm	Arora V	1.34*10 <sup>-14</sup>	165.0	22	1.16*10 <sup>-14</sup>	79.3	30	3.54*10 <sup>-11</sup>	37	2

### Note!

- [1]实验在带有 126Kbytes SRAM 的 GW5A-25 产片上进行。
- [2]实验在常温下进行, 使用典型的电源电压。
- [3]数据来源于中国散裂中子源。
- [4]典型的阿尔法数据基于 0.001 个每平方厘米每小时的阿尔法发射率
- [5]中子软错误率 (以 FIT/Mb 为单位) 根据 JESD89A 在纽约市进行了修正。

## 配置 SRAM 的 ECC

为验证高云 22nm FPGA 的 ECC 功能, 高云成立了一个实验小组。

在相同的 FLUX 实验条件下, SRAM 的回读频率为 15MHz, 回读和比较周期为 44610us, 在回读过程中可以观察 SEU, 其中观察到了 SBU, 但没有观察到 MBU。所有观察到的 SBU 都被 ECC 电路纠正, 整个比特流保持完好, 从而器件可以正常工作。

## 7 结论

高云的 GW5A 和 GW5AT 系列 FPGA 在防止和纠正 SEU 方面表现出色, 优于 X 公司等的竞争产品。凭借增强 SRAM 单元、高效纠错和专用 Parabits, 高云为关键任务应用提供了更可靠、更高效的解决方案。

高云的 FPGA 解决方案使客户即使在最具挑战的环境中, 也能满怀信心地部署稳健的系统。

## 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

## 版本信息

日期	版本	说明
2023/10/31	1.0	初始版本。

版权所有 © 2023 广东高云半导体科技股份有限公司

**GOWIN**高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

