


Gowin FPGA 製品プログラミング・コンフ ィギュレーション ユーザーガイド

UG290-2.7.2J, 2023-11-16

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN**高云**、Gowin、LittleBee、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/04/17	1.00J	初版。
2017/05/31	1.01J	<ul style="list-style-type: none"> ● 各デバイスがサポートするコンフィギュレーションモード及び mode 値を更新。 ● オンチップ Flash プログラミング時の RECONFIG_N 注意事項を更新。
2017/10/13	1.02J	多重化ピンの説明を更新。
2018/03/16	1.03J	GW1NS シリーズ製品のプログラミング・コンフィギュレーション説明を追加。
2018/08/08	1.04J	<ul style="list-style-type: none"> ● Flash が空の場合のコンフィギュレーションの説明を更新。 ● マルチコンフィギュレーションの操作手順の説明を更新。 ● MODE[0]=1 の場合の JTAG ピン多重化の説明を更新。 ● B バージョンのデバイスのプログラミング特性を更新。 ● プログラミング・コンフィギュレーションの注意事項及び各コンフィギュレーションモードのタイミング図を追加。
2019/01/08	1.05J	<ul style="list-style-type: none"> ● SERIAL コンフィギュレーションモードのタイミング図およびタイミングパラメータを追加。 ● 電源供給の要件に関連する内容を削除
2019/08/16	1.06J	<ul style="list-style-type: none"> ● パワーアップおよびコンフィギュレーションの手順を追加。 ● コンフィギュレーションファイルのサイズのセクションを変更。
2020/05/15	2.0J	<ul style="list-style-type: none"> ● JTAGSEL_N をユーザーIO として使用する場合の説明を追加。 ● デバイス GW1N(R)-2/GW1N(R)-2B/GW1N(R)-6 の情報を削除。 ● コンフィギュレーションモードの説明を更新。
2020/08/20	2.1J	<ul style="list-style-type: none"> ● JTAG コンフィギュレーションの説明を追加。 ● SSPI コンフィギュレーションの説明を追加。 ● AES 暗号化キーのプログラミングの説明を追加。
2020/10/30	2.2J	コンフィギュレーションファイルのロード時間の説明を追加。
2021/02/05	2.3J	I ² C コンフィギュレーションの情報を追加。
2021/09/24	2.4J	<ul style="list-style-type: none"> ● チャプター「4 コンフィギュレーション手順」を追加。 ● GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャートを追加。 ● オンチップ Flash プログラミングの説明を追加。
2022/01/20	2.4.1J	I ² C コンフィギュレーションモードの説明を追加。
2022/5/7	2.5J	<ul style="list-style-type: none"> ● GW2AN-9X/18X に関する情報を削除。 ● セクション「7.5 MSPI コンフィギュレーションモード」を更新。

日付	バージョン	説明
2022/05/10	2.5.1J	CPU モードのコンフィギュレーションタイミング図を更新。
2022/07/14	2.5.2J	<ul style="list-style-type: none"> ● コンフィギュレーションファイルのサイズの情報を追加。 ● GW1N-2 の SRAM アドレス数とアドレス長さを更新。 ● GW1N-2 の読み込み周波数の説明を追加。
2022/08/10	2.5.3J	<ul style="list-style-type: none"> ● 表 7-6 Gowin FPGA ID CODE を更新。 ● 表 7-9 JTAG の TCK 周波数要件を更新。
2022/09/07	2.5.4J	<ul style="list-style-type: none"> ● I²C コンフィギュレーションモードに関する注記を更新。 ● 表 4-3 ピンの機能の READY ピンと DONE ピンの説明を更新。 ● 表 7-6Gowin FPGA ID CODE を更新。
2022/10/28	2.6J	<ul style="list-style-type: none"> ● GW1NS-2/2C、GW1NSR-2/2C、および GW1NSE-2C の情報を削除。 ● GW1N-1P5 デバイスの情報を更新。 ● CLKHOLD_N ピンの説明を更新。
2022/11/11	2.6.1J	<ul style="list-style-type: none"> ● セクション「7.4.5 SSPI コンフィギュレーションモードの接続図」を更新。 ● セクション「オフチップ Flash または組み込み SPI Flash のプログラミング」を更新。 ● セクション「Status Register の読み出し(0x41)」を更新。 ● JTAG ピンと JTAGSEL_N ピンの多重化に関する説明を追加。 ● 図 3-7 AES Key のプログラミングのフローチャートを更新。 ● T プロセスの場合の FPGA 消去手順を更新。
2022/11/24	2.6.2J	<ul style="list-style-type: none"> ● 表 7-20 CPU コンフィギュレーションモードのピンを更新。 ● 表 7-21 CPU コンフィギュレーションモードのタイミングパラメータを追加。 ● 図 7-60 CPU コンフィギュレーションモードの説明図を更新。 ● 図 7-61 CPU コンフィギュレーションモードのタイミング図を追加。 ● I²C コンフィギュレーションモードに関する注記を変更。
2022/12/02	2.6.3J	バックグラウンドアップグレードの注記を追加。
2023/01/12	2.6.4J	<ul style="list-style-type: none"> ● 表 7-24 I²C コンフィギュレーションモードのピンの定義に注記を追加。 ● 表 3-3 MSPI モードでのデータストリーム・ファイルのロード時間を更新。 ● 表 3-4 AUTO BOOT モードでのデータストリーム・ファイルのロード時間を更新。 ● 表 10-1 SPI Flash の操作命令を更新。
2023/01/20	2.6.5J	<ul style="list-style-type: none"> ● 表 10-1 SPI Flash の操作命令に注記を追加。 ● 図 7-60 CPU コンフィギュレーションモードの説明

日付	バージョン	説明
		図を更新。 ● 図 7-61 CPU コンフィギュレーションモードのタイミング図を更新。
2023/02/02	2.6.6J	● 表 7-21 CPU コンフィギュレーションモードのタイミングパラメータを更新。 ● 表 10-1 SPI Flash の操作命令の注記を変更。
2023/03/13	2.6.7J	I ² C でのオンチップ Flash のプログラミングに関する注記を追加。
2023/06/30	2.7J	● ドキュメントの構造を調整。 ● RECONFIG_N ピンに関する注意事項を更新。 ● 表 7-1 LittleBee®ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータを更新。 ● 表 7-2 Arora ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータを更新。 ● IDE のスクリーンショット (Gowin_V1.9.9Beta に基づく) を更新。 ● 図 6-1 Gowin FPGA のコンフィギュレーションのフローチャートを更新。 ● 図 7-15 通常のプログラミングのフローチャートを更新。 ● MCLK 信号のプルダウン抵抗に関する情報を追加。
2023/07/24	2.7.1J	● 表 10-1 SPI Flash の操作命令の注記を変更。 ● JTAGSEL_N ピンの説明を変更。 ● MSPI クロックの周波数の誤差に関する注記を追加。
2023/11/16	2.7.2J	● コンフィギュレーションファイルのロード時間の計算式を修正。 ● Status Register の情報を更新。 ● T プロセスの場合の FPGA 消去手順を更新。 ● 表 3-1GOWIN セミコンダクターFPGA 製品のコンフィギュレーションファイルのサイズ(最大値)の注記を変更。 ● 表 3-2 コンフィギュレーションファイルの最大ロード周波数を変更。 ● 表 7-18 MSPI コンフィギュレーションモードのピンの注記を改善。

目次

目次	i
図一覧	iii
表一覧	vi
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	3
2 用語の説明	4
3 ビットストリームファイルの構成	7
3.1 オプションの設定	7
3.2 コンフィギュレーションデータの暗号化(Arora ファミリーでのみサポート)	8
3.2.1 定義	9
3.2.2 暗号化キーの入力	9
3.2.3 復号化キーの入力	10
3.2.4 AES キーのプログラミング操作	10
3.2.5 AES キーのプログラミング手順	12
3.3 コンフィギュレーションファイルのサイズ	15
3.4 コンフィギュレーションファイルのロード時間	17
4 コンフィギュレーションピンの詳細	21
4.1 コンフィギュレーションピン一覧および多重化オプション	21
4.1.1 コンフィギュレーションピン一覧	21
4.1.2 コンフィギュレーションピンの多重化	22
4.2 コンフィギュレーションピンの機能とアプリケーション	25
5 コンフィギュレーションモードの概要	30
5.1 LittleBee®ファミリールFPGA 製品	30
5.2 Arora ファミリールFPGA 製品	32
6 コンフィギュレーション手順	34

6.1 パワーアップのタイミング	36
6.2 初期化.....	37
6.3 コンフィギュレーション	37
6.4 ウェイクアップ	37
6.5 ユーザーモード	38
7 コンフィギュレーションモードの詳細.....	39
7.1 コンフィギュレーションの注意事項.....	39
7.2 JTAG コンフィギュレーション.....	44
7.2.1 JTAG コンフィギュレーションモードのピン	44
7.2.2 JTAG コンフィギュレーションモードの接続図	46
7.2.3 JTAG コンフィギュレーションモードのタイミング図.....	47
7.2.4 JTAG コンフィギュレーションの手順.....	48
7.3 AUTO BOOT コンフィギュレーション(LittleBee®ファミリーでのみサポート).....	85
7.4 SSPI コンフィギュレーションモード.....	86
7.4.1 SSPI コンフィギュレーションモードのピン	86
7.4.2 SSPI コンフィギュレーションモードのタイミング図	88
7.4.3 SSPI の一般的なコンフィギュレーション命令	89
7.4.4 SSPI コンフィギュレーションモードでの SRAM コンフィギュレーションのフローチャート	92
7.4.5 SSPI コンフィギュレーションモードの接続図	93
7.4.6 SSPI モードでの複数 FPGA の接続図.....	100
7.5 MSPI コンフィギュレーションモード	100
7.5.1 MSPI コンフィギュレーションモードのピン	101
7.5.2 MSPI コンフィギュレーションモードの接続図.....	102
7.5.3 MSPI モードのコンフィギュレーション試行	103
7.5.4 MULTI BOOT コンフィギュレーション	104
7.5.5 MSPI コンフィギュレーションモードのタイミング図.....	108
7.6 DUAL BOOT コンフィギュレーション(LittleBee®ファミリーでのみサポート)	110
7.7 CPU コンフィギュレーションモード	112
7.7.1 コンフィギュレーションのタイミング	113
7.8 SERIAL コンフィギュレーションモード	115
7.9 I ² C コンフィギュレーションモード	117
7.9.1 GW1N-2 SRAM のコンフィギュレーションのフローチャート	120
8 安全上の考慮事項.....	122
9 バウンダリスキャン	124
10 SPI Flash の選択.....	126

図一覧

図 3-1 オプションの設定.....	8
図 3-2 暗号化キーの設定方法.....	9
図 3-3 復号化キーの設定方法.....	10
図 3-4 AES プログラミングのダイアログ.....	11
図 3-5 準備.....	12
図 3-6 AES Key の読み出しのフローチャート.....	13
図 3-7 AES Key のプログラミングのフローチャート.....	14
図 3-8 AES Key のロックのフローチャート.....	15
図 3-9 ビットストリーム形式の生成.....	16
図 4-1 コンフィギュレーションピンの多重化.....	24
図 4-2 MCLK 周波数の設定.....	28
図 6-1 Gowin FPGA のコンフィギュレーションのフローチャート.....	35
図 6-2 パワーアップのタイミング図.....	36
図 7-1 推奨されるピン接続.....	42
図 7-2 再パワーアップのタイミング図.....	42
図 7-3Low レベルパルスで RECONFIG_N をトリガするタイミング図.....	43
図 7-4 JTAG コンフィギュレーションモードの接続図.....	46
図 7-5 JTAG デイジーチェーン・コンフィギュレーションの接続図.....	47
図 7-6 JTAG コンフィギュレーションモードのタイミング図.....	47
図 7-7 TAP 状態機械.....	48
図 7-8 命令レジスタのアクセスタイミング.....	50
図 7-9 データレジスタのアクセスタイミング.....	50
図 7-10ID Code 読み出しの状態機械フローチャート.....	52
図 7-11 ID Code 読み出し命令-0x11 のアクセスタイミング.....	52
図 7-12 ID Code 読み出し際のデータレジスタのアクセスタイミング.....	52
図 7-13SRAM コンフィギュレーションのフローチャート.....	54
図 7-14 SRAM 読み出しのフローチャート.....	56
図 7-15 通常のプログラミングのフローチャート.....	58
図 7-16 バックグラウンドプログラミングのフローチャート.....	59

図 7-17T プロセスの場合のオンチップ Flash 消去のフローチャート	61
図 7-18 H プロセスの場合のオンチップ Flash 消去のフローチャート	63
図 7-19 オンチップ Flash のプログラミングのフローチャート	65
図 7-20 X-page プログラミングのフローチャート	66
図 7-21 Y-page プログラミングのフローチャート	67
図 7-22 オンチップ Flash 読み出しのフローチャート	68
図 7-23 1 Y-page 読み出しのフローチャート	69
図 7-24 GW1N-4 バックグラウンドプログラミングのフローチャート	70
図 7-25 Transfer JTAG Instruction Sample & Extest のフローチャート	71
図 7-26 JTAG インターフェースを介したオフチップ Flash プログラミングの接続図 (GW2A(R)-18/GW2A-55/LittleBee®ファミリー)	72
図 7-27 JTAG インターフェースを介した組み込み Flash プログラミングの接続図 (GW2AN-55)	72
図 7-28 SPI Flash プログラミングのフローチャート	73
図 7-29 SPI Flash 消去のフローチャート	74
図 7-30 SPI Flash の 1 ページをプログラムするフローチャート	75
図 7-31 SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャート	77
図 7-32 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図(GW2A シリーズ) ...	79
図 7-33 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図(GW1N シリーズ) ...	79
図 7-34 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート	80
図 7-35 デイジーチェーンの接続図	85
図 7-36 SSPI コンフィギュレーションモードのタイミング図	88
図 37 ID Code の読み出しのタイミング図	90
図 7-38 Write Enable(0x15)のタイミング図	90
図 7-39 Write Disable (0x3A00)のタイミング図	90
図 7-40 Write Data(0x3B)のタイミング図	91
図 7-41 SSPI コンフィギュレーションモードの接続図	93
図 7-42 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図(GW2A-18/55,GW1N(R)-9).....	93
図 7-43 SSPI インターフェースを介した組み込み Flash プログラミングの接続図(GW2AN-55)....	93
図 7-44 SSPI モードでの Flash プログラミングのフローチャート	95
図 7-45 SPI Flash 消去のフローチャート	96
図 7-46 SPI Flash の 1 ページをプログラムするフローチャート	97
図 7-47 SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャート	98
図 7-48 複数 FPGA の接続図 1	100
図 7-49 複数 FPGA の接続図 2	100
図 7-50 MSPI コンフィギュレーションモードの接続図	102
図 7-51 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図	103

図 7-52 Flash メモリ内のビットストリーム・イメージ配置の例	105
図 7-53 次のビットストリームの起動アドレスの設定	106
図 7-54 オフチップ Flash のプログラミングアドレスの設定	107
図 7-55 1 つの Flash で複数の FPGA をコンフィギュレーションする場合の接続図	108
図 7-56 MSPI コンフィギュレーションモードのタイミング図	109
図 7-57 MSPI モードでの複数 FPGA の接続図	110
図 7-58 DUAL BOOT モードのフローチャート	111
図 7-59 CPU コンフィギュレーションモードの接続図	113
図 7-60 CPU コンフィギュレーションモードの説明図	114
図 7-61 CPU コンフィギュレーションモードのタイミング図	114
図 7-62 SERIAL コンフィギュレーションモードの接続図	116
図 7-63 SERIAL コンフィギュレーションモードのタイミング図	116
図 7-64 I ² C コンフィギュレーションモードの接続図	118
図 7-65 I ² C コンフィギュレーションモードのタイミング図	118
図 7-66 GW1N-2 SRAM のコンフィギュレーションのフローチャート	121
図 9-1 バウンダリスキャン操作の説明図	125

表一覧

表 1-1 用語、略語	2
表 2-1 用語の説明	4
表 3-1 GOWIN セミコンダクターFPGA 製品のコンフィギュレーションファイルのサイズ(最大値)	17
表 3-2 コンフィギュレーションファイルの最大ロード周波数.....	18
表 3-3 MSPI モードでのデータストリーム・ファイルのロード時間.....	20
表 3-4 AUTO BOOT モードでのデータストリーム・ファイルのロード時間.....	20
表 4-1 コンフィギュレーションピン一覧	21
表 4-2 コンフィギュレーションピンの多重化オプション	23
表 4-3 ピンの機能	25
表 5-1 コンフィギュレーションモード	31
表 5-2 コンフィギュレーションモード	33
表 6-1 各デバイスの POR モジュールが監視する電源レール	36
表 7-1 LittleBee®ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ	43
表 7-2 Arora ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ	43
表 7-3 JTAG コンフィギュレーションモードのピンの定義	44
表 7-4 reprogram 命令が必要なデバイス/不要なデバイス一覧	45
表 7-5 JTAG コンフィギュレーションモードのタイミングパラメータ	47
表 7-6 Gowin FPGA ID CODE	50
表 7-7 命令送信中の TDI と TMS 値の変化.....	51
表 7-8 各デバイスの SRAM アドレス数とアドレス長さ	55
表 7-9 JTAG の TCK 周波数要件.....	59
表 7-10 Readback-pattern / Autoboot-pattern	64
表 7-11 ピンの状態.....	79
表 7-12 Status Register の各ビットの意味(一).....	81
表 7-13 Status Register の各ビットの意味(二).....	82
表 7-14 Status Register の各ビットの意味(三).....	83
表 7-15 SSPI コンフィギュレーションモードのピン	87

表 7-16 SSPI コンフィギュレーションモードのタイミングパラメータ	88
表 7-17 コンフィギュレーション命令	89
表 7-18 MSPI コンフィギュレーションモードのピン	101
表 7-19 MSPI コンフィギュレーションモードのタイミングパラメータ	109
表 7-20 CPU コンフィギュレーションモードのピン	112
表 7-21 CPU コンフィギュレーションモードのタイミングパラメータ	114
表 7-22 SERIAL コンフィギュレーションモードのピンの定義	115
表 7-23 SERIAL コンフィギュレーションモードのタイミングパラメータ	116
表 7-24 I ² C コンフィギュレーションモードのピンの定義	117
表 7-25 I ² C コンフィギュレーションモードのタイミングパラメータ	119
表 7-26 I ² C コンフィギュレーションモードの周波数およびアドレス	120
表 10-1 SPI Flash の操作命令	126

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、主に GOWIN セミコンダクターの LittleBee®ファミリーおよび Arora ファミリーFPGA 製品のプログラミング・コンフィギュレーションについて説明し、ユーザーが Gowin FPGA 製品を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ FPGA 製品データシート([DS891](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	説明
Bitstream	Bitstream Data	FPGA SRAM をコンフィギュレーションするデータ
Bscan	Boundary Scan	バウンダリスキャン
Configuration	Configuration	FPGA SRAM エリアをコンフィギュレーションするプロセス
Configuration Data	Configuration Data	FPGA SRAM をコンフィギュレーションするデータ
Configuration Mode	Configuration Mode	Configuration Data ソースを決定するコンフィギュレーションモード
CPU	Central Processing Unit	中央処理装置
CRC	Cyclic Redundancy Check	巡回冗長検査
Edit Mode	Edit Mode	FPGA がコンフィギュレーションモードまたはプログラミングモードであることを示します
EFash/EmbFlash	Embedded Flash	FPGA のオンチップ Flash
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
FS file	Fuses file	コンフィギュレーションデータを含む ASCII ファイル
GPIO	General Purpose Input Output	Gowin プログラマブル汎用 IO
I2C (I ² C、IIC)	Inter-Integrated Circuits	I2C バス
ID	Identification	ID 標識番号
IEEE	Institute of Electrical and Electronics Engineers	米国電気電子学会
Internal Flash	Internal Flash	Embedded Flash と同じ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LSB	Least Significant Bit	最下位ビット(優先)
LUT	Look-up Table	ルックアップテーブル
MSB	Most Significant Bit	最上位ビット(優先)
MSPI	Master Serial Peripheral Interface	マスター・シリアル・ペリフェラル・インターフェース
Programming	Programming	Configuration Data をオンチップ Flash またはオフチップ Flash にロードするプロセス
SCL	Serial Clock	I ² C クロック
SDA	Serial Data	I ² C データ
Security Bit	Security Bit	セキュリティビット(SRAM のリードバックを常に High にする)

用語、略語	正式名称	説明
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
SRAM	Static Random Access Memory	スタティック RAM
SSPI	Slave Serial Peripheral Interface	スレーブ・シリアル・ペリフェラル・インターフェース
TAP	Test Access Port	テストアクセスポート
User Mode	User Mode	FPGA がコンフィギュレーションの後にロジック機能を実行するモード

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 用語の説明

本章は、主に **GOWIN** セミコンダクター **FPGA** 製品のプログラミング・コンフィギュレーションでよく使用される一般的な用語について説明します。

表 2-1 用語の説明

用語	意味
プログラミング(Program)	Gowin ソフトウェアが生成したビットストリームデータを、 FPGA のオンチップ Flash または FPGA と接続するオフチップ SPI Flash に書き込むプロセスです。
コンフィギュレーション(Configure)	Gowin ソフトウェアが生成するビットストリームデータを、オフチップ Flash またはオンチップ Flash から、 FPGA の SRAM にロードするプロセスです。
GowinCONFIG	汎用の JTAG コンフィギュレーションモードに加えて、 GOWIN セミコンダクター FPGA 製品は、 AUTO BOOT コンフィギュレーション、 DUAL BOOT コンフィギュレーション、 MSPI コンフィギュレーション、 SSPI コンフィギュレーション、 SERIAL コンフィギュレーション、および CPU コンフィギュレーションなどのコンフィギュレーションモードをサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージタイプによって異なります。
MODE[2:0]	GowinCONFIG に関する 3 つの MODE ピンの値を表します。
AUTO BOOT コンフィギュレーション	FPGA はオンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います。このモードをサポートするのは不揮発性デバイスのみです。
DUAL BOOT コンフィギュレーション	2 つのビットストリームファイルは、それぞれオンチップ Flash とオフチップ Flash に保存され、オフチップ Flash によるコンフィギュレーションに失敗した場合、オンチップ Flash に切り替えてコンフィギュレーションを行います。

用語	意味
	このモードをサポートするのは不揮発性デバイスのみです。
MSPI コンフィギュレーション	FPGA がマスター (master) として、SPI インターフェースを介してオフチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行うプロセスです。
SSPI コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターは SPI インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
SERIAL コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターはシリアルインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
CPU コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターはパラレルインターフェース(データ幅は 8 ビット)を介してビットストリームデータを書き込んでコンフィギュレーションします。
I2C コンフィギュレーション	FPGA はスレーブ(slave)として、外部マスターは I ² C インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
MULTI BOOT コンフィギュレーション	MSPI コンフィギュレーションモードの派生概念で、FPGA がオフチップ Flash の異なるアドレスからビットストリームデータを読み出してコンフィギュレーションすることを指します。ユーザーが前のビットストリームデータに次のコンフィギュレーション用ビットストリームデータのロードアドレスを書き込み、パワーダウンしないまま RECONFIG_N をトリガしてデータストリーム・ファイルを切り換えてコンフィギュレーションします。MSPI モードをサポートする FPGA 製品はすべてこのモードをサポートします。
リモートアップグレード	ユーザーのアプリケーションシナリオの 1 つです。つまり FPGA が動作を開始した後、アップグレードしたい場合、まずリモート操作でビットストリームデータをオフチップ Flash に書き込み、そして RECONFIG_N をトリガするかまたは再パワーアップすることで FPGA がオフチップ Flash からデータを読み出してコンフィギュレーションするようにします。
デイジーチェーン	FPGA デバイスを直列に接続する方法。接続順にチェーンの先頭からデバイスをコンフィギュレーションでき、データは隣接デバイス間でのみ転送できます。
ユーザーモード(User Mode)	FPGA のコンフィギュレーションが完了した後、制御がユーザーに渡されることを指します。コンフィギュレーションピンを通常の I/O に多重化する設定は、ユーザーモードでのみ有効です。

用語	意味
編集モード(Edit Mode)	デバイスをプログラミング・コンフィギュレーションできるモードです。 編集モードでは、コンフィギュレーションピンは通常の I/O として使用できず、通常のピンの出力はハイインピーダンスとなります（バックグラウンドアップグレードの場合を除く）。
ID CODE	GOWIN セミコンダクター FPGA デバイスの ID 標識です。各シリーズのデバイスには個別の番号があります。
USER CODE	ユーザーが使用している FPGA デバイスのユーザー ID であり、 Gowin プログラミングソフトウェアを介してデバイスに書き込むことができます。最大 32 ビットの USER CODE がサポートされます。
セキュリティビット (Security Bit)	GOWIN セミコンダクターが FPGA 製品のコンフィギュレーションデータを保護するために設計したものです。ユーザーがデバイスの SRAM にセキュリティビット設定済みのビットストリームデータを書き込んだ後は、だれもデータをリードバックできません。デフォルトでは、 Gowin ソフトウェアはすべての FPGA 製品のビットストリームデータにセキュリティビットを設定しています。
暗号化(Encryption)	Arora ファミリーの FPGA 製品でサポートされる機能です。暗号化されたビットストリームが FPGA に書き込まれると、デバイスはそれを事前に保存されているキーと照合し、照合が成功すると復号化してデバイスを起動します。

3 ビットストリームファイルの構成

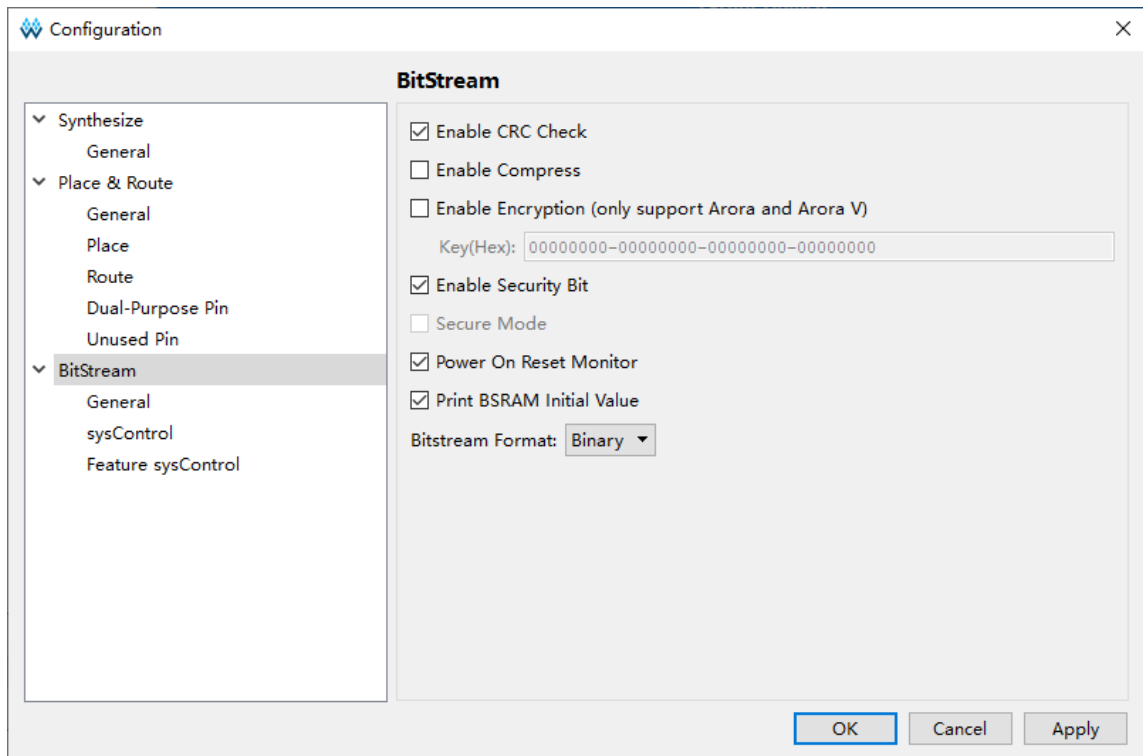
GOWIN セミコンダクターFPGA 製品のプログラミング・コンフィギュレーションの特性を実現するには、Gowin ソフトウェアで構成する必要があります。構成には主にコンフィギュレーションピンの多重化とビットストリームファイルの構成が含まれます。このセクションでは、主にビットストリームファイルの構成について説明します。コンフィギュレーションピンの多重化の詳細については、4.1.2 コンフィギュレーションピンの多重化を参照してください。

コンフィギュレーションデータを安全かつ正確に転送するために、GOWIN は FPGA 製品のビットストリームファイルにデフォルトで CRC アルゴリズムを追加し、セキュリティビットを設定しています。コンフィギュレーション中、入力データはリアルタイムでチェックされます。データが不正確な場合、デバイスはウェイクアップできず、DONE 信号は Low にプルダウンされます。セキュリティビットが設定されたビットストリームデータのコンフィギュレーション後、ユーザーはデータをリードバックできません。

3.1 オプションの設定

CRC の設定、ビットストリームデータの圧縮、暗号化キーの設定、セキュリティビットの設定、MSPI コンフィギュレーション周波数の選択、MULTI BOOT コンフィギュレーションモードでの SPI Flash 起動アドレスの設定、USER CODE の設定などのビットストリームデータ関連設定 GUI を図 3-1 に示します。SPI Flash の起動アドレスの下位 12 ビットが無効で、設定できるのは ADDR [23:12]のアドレス空間です。

図 3-1 オプションの設定



注記：

Gowin ソフトウェアでは、暗号化キー設定オプションにチェックを入れると、セキュアビット設定オプションも強制的にチェックを入れられるようになります。ユーザーは、このようなビットストリームデータでコンフィギュレーションすることで、データ転送の安全性を確保できるとともに、リードバック操作を防止できます。これにより、ユーザーのデータのセキュリティは最大限に保証されます。

3.2 コンフィギュレーションデータの暗号化(Arora ファミリーでのみサポート)

Arora ファミリーFPGA 製品は、ビットストリームデータの暗号化をサポートします(128-bit の AES 暗号化アルゴリズムを使用)。暗号化されたビットストリームデータのコンフィギュレーション手順は次のとおりです。

1. Gowin ソフトウェアで暗号化キーを入力してビットストリームファイルを生成します。
2. Gowin プログラミングソフトウェアで復号化キーを入力して FPGA に保存します。
3. 暗号化されたビットストリームデータがデバイスにロードされた後、デバイスはデータ解析のために復号化キーを読み出します。データの解析に成功した後、デバイスは正常にコンフィギュレーションされて動作します。データ解析が失敗した後、デバイスは動作できず、READY および DONE 信号はプルダウンされます。

3.2.1 定義

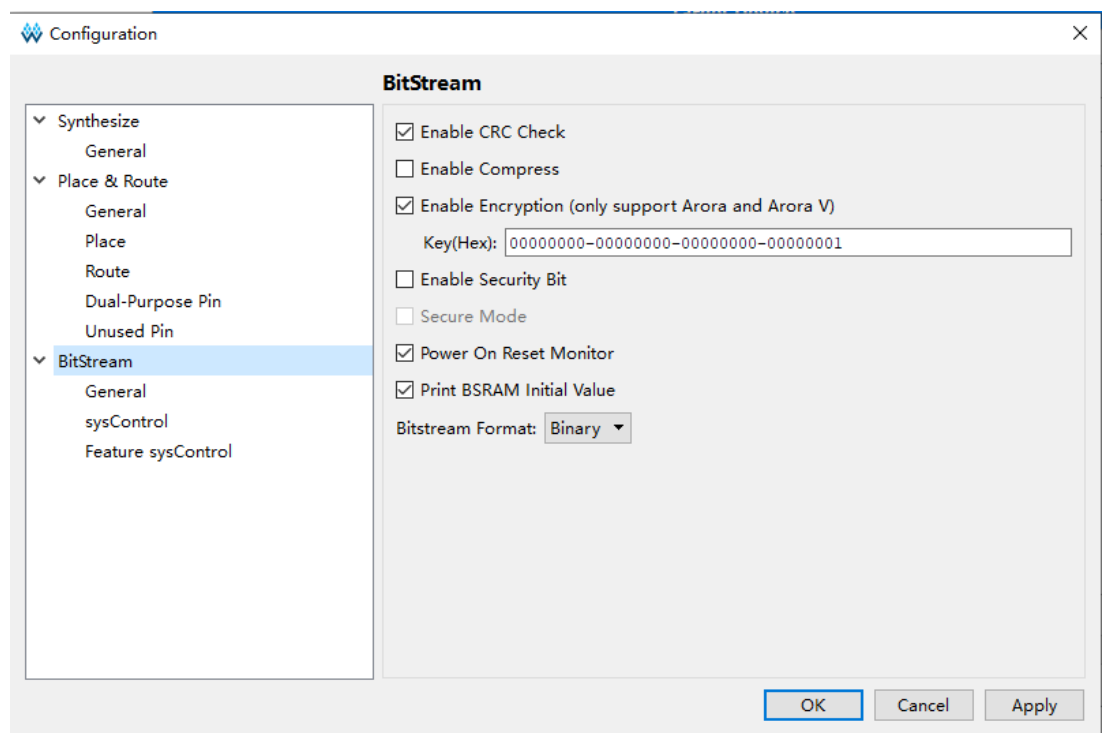
- **AES キー** : AES 暗号化アルゴリズムで使用する、ユーザーが指定する AES プライベートキーです。本文では **key(キー)**と呼びます。
- **AES キーの長さ** : 128 ビット
- **Key** : AES キーの略称。GW2A(R)シリーズ FPGA 製品では **Key** を格納するために 128 ビットの領域が提供されています。
- **Lock** : この命令はキーの読み出し権限の制限に使用されます。本文では、このプロセスを **lock(ロック)**と呼びます。ロック状態になると、リードバックされるデータはすべて 1 となります。

3.2.2 暗号化キーの入力

Gowin ソフトウェアに暗号化キーを入力する方法は次のとおりです。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. メニューバーで “Project>Configuration” を選択します。
3. “BitStream” タブをクリックし、“Enable Encryption(only support Arora)” をチェックしてキーの値を入力します(図 3-2)。

図 3-2 暗号化キーの設定方法



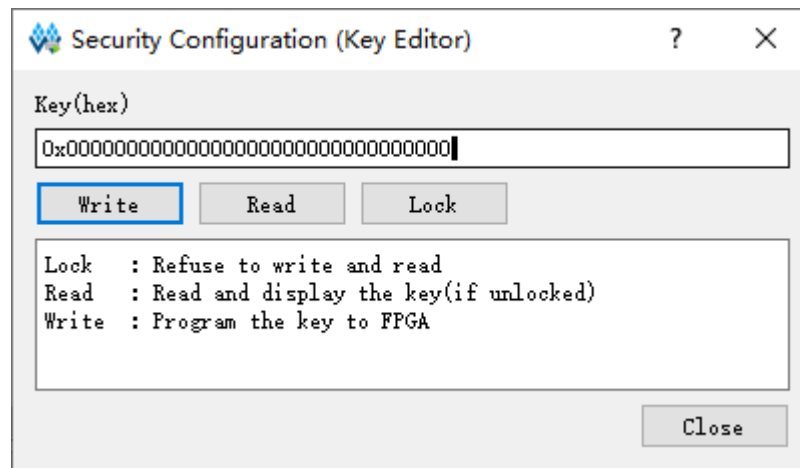
暗号化キーが正しく設定された後、復号化キーを **FPGA** のキー格納領域に書き込む必要があります。これにより、デバイスは暗号化されたビットストリームデータを解析してコンフィギュレーションを実行できます。

3.2.3 復号化キーの入力

復号化キーは次のように書き込まれます。

1. Gowin プログラミングソフトウェアを開きます。
2. FPGA デバイスをスキャンします。
3. デバイスを右クリックして **Security Key Setting** を選択します。
4. ポップアップしたウィンドウにこの前の暗号化キーの値を入力し、“write” をクリックして FPGA に書き込みます(図 3-3)。

図 3-3 復号化キーの設定方法



復号化キーが書き込まれた後、検証のためにインターフェース上の読み出し(read)命令を選択して書き込まれたキーをリードバックすることができます。

キーが書き込まれた後、ユーザーは **lock** 命令を使用してキーを FPGA 内にロックすることもできます。これにより、キーの読み出しと書き込みはすべて無効になります。キーの値は変更できず、読み出されたビットは全部“1”となります。

復号化キーが設定された後、暗号化されたビットストリームデータは、復号化キーとの照合に成功した後にのみ利用可能です。暗号化されていないビットストリームデータのコンフィギュレーションは、キーの影響を受けません。

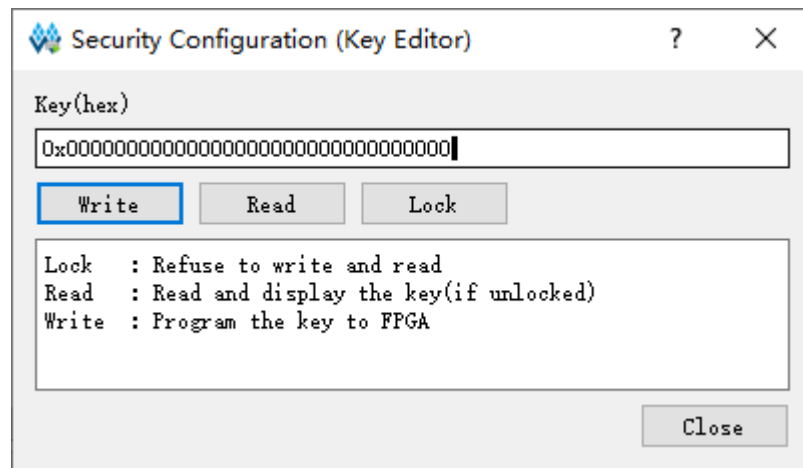
注記：

GOWIN セミコンダクターFPGA のキーの初期値のすべてのビットは 0 です。キー値のビットを 1 に変更した場合、0 に戻すことはできません。たとえば、書き込まれたキー値が 00000000-00000000-00000000-00000001 の場合、このデバイスのキーの最下位ビットは常に 1 でなければなりません。

3.2.4 AES キーのプログラミング操作

Gowin Programmer は、AES キーのプログラミングツールを提供しています。Gowin Programmer で “Edit” > “Security Key Setting” をクリックすると、このツールが開きます(図 3-4)。

図 3-4 AES プログラミングのダイアログ



このプログラムには以下の 3 つの機能があります。

- Write : Key のプログラミング
- Read : Key の読み出し
- Lock : Key の読み出し書き込み権限のロック

Key のプログラミング(Write)

1. ユーザー定義の Key(AES キー)を “Key (hex)” に入力します。
2. “Write” ボタンをクリックします。
3. この操作が終了します。

Key の読み出し(Read)

“read” ボタンをクリックすると、書き込まれた AES キーを検証することができます。読み出された AES キーは “単行文本对话框(一行テキストダイアログ)” に表示されます。

Key のロック(Lock)

“lock” ボタンをクリックすると、Key の読み出し書き込みがロックされ、AES キーの読み出し書き込みができなくなります。

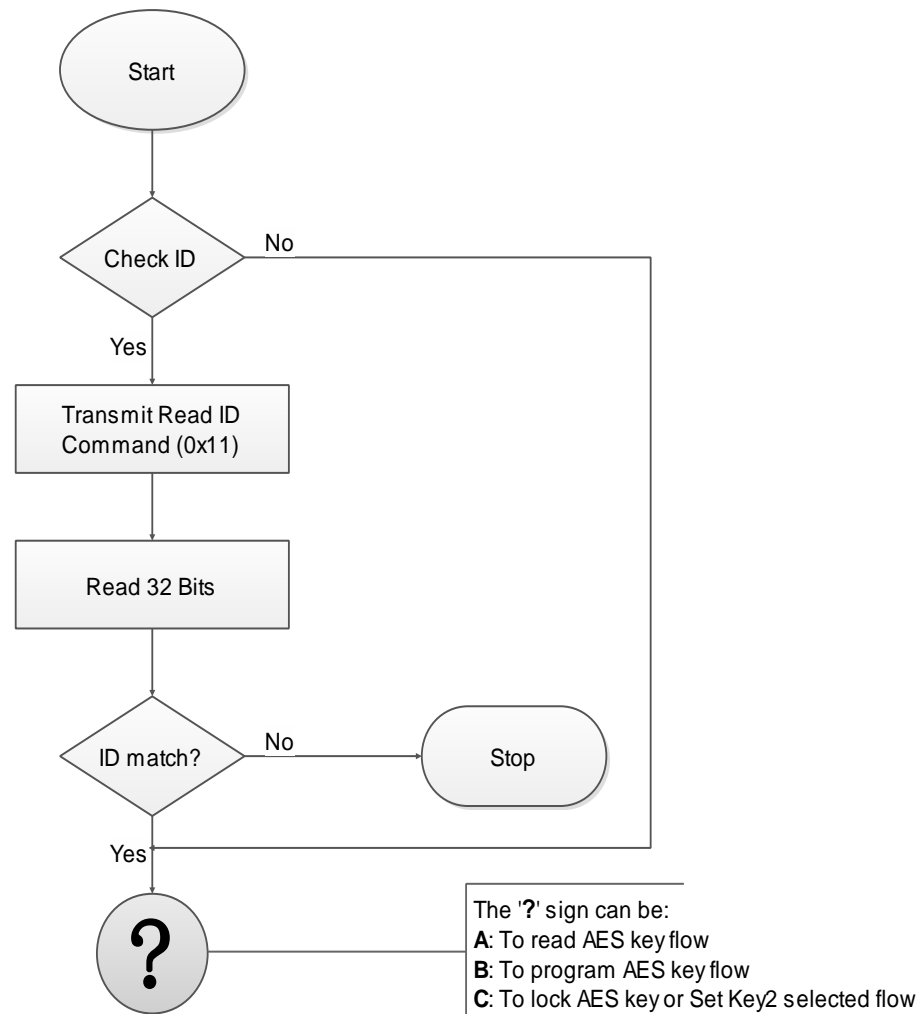
3.2.5 AES キーのプログラミング手順

図 3-5 ~ 図 3-8 は、AES キーのプログラミングまたはロックの手順です。これらの手順は JTAG プロトコルに基づいています。

ID CODE のチェック

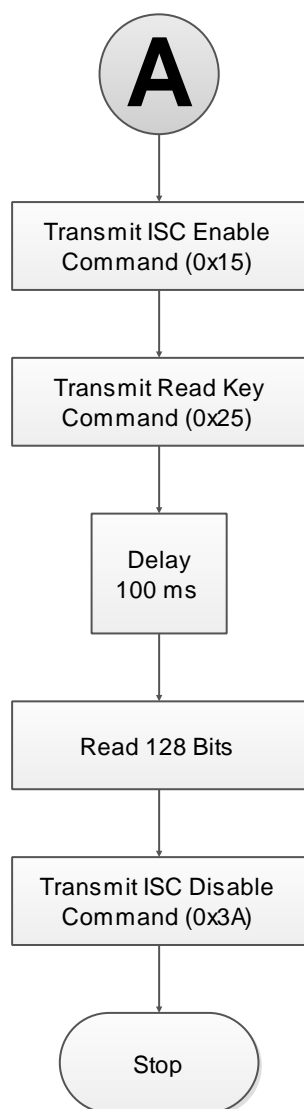
デバイスの ID をチェックすることにより、JTAG プロトコルが正しく動作しているかどうかを判断できるとともに、プログラミング対象が正しいかどうかを確認できます。

図 3-5 準備



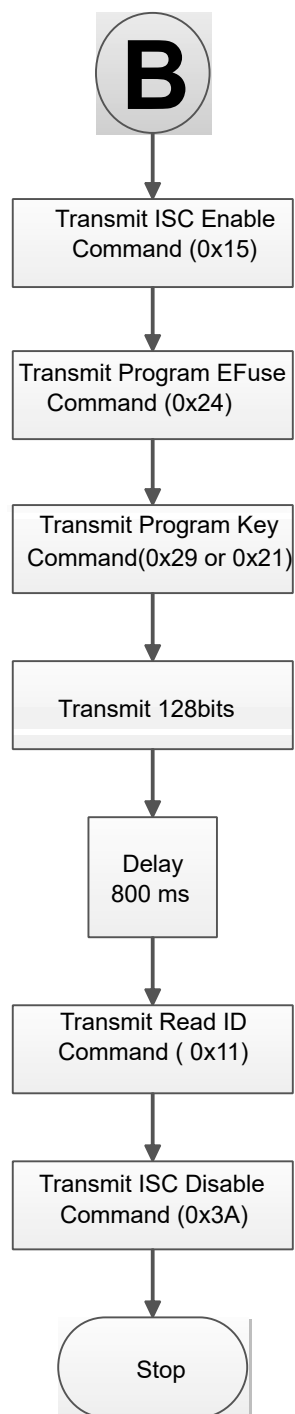
AES Key の読み出し

図 3-6 AES Key の読み出しのフローチャート



AES Key のプログラミング

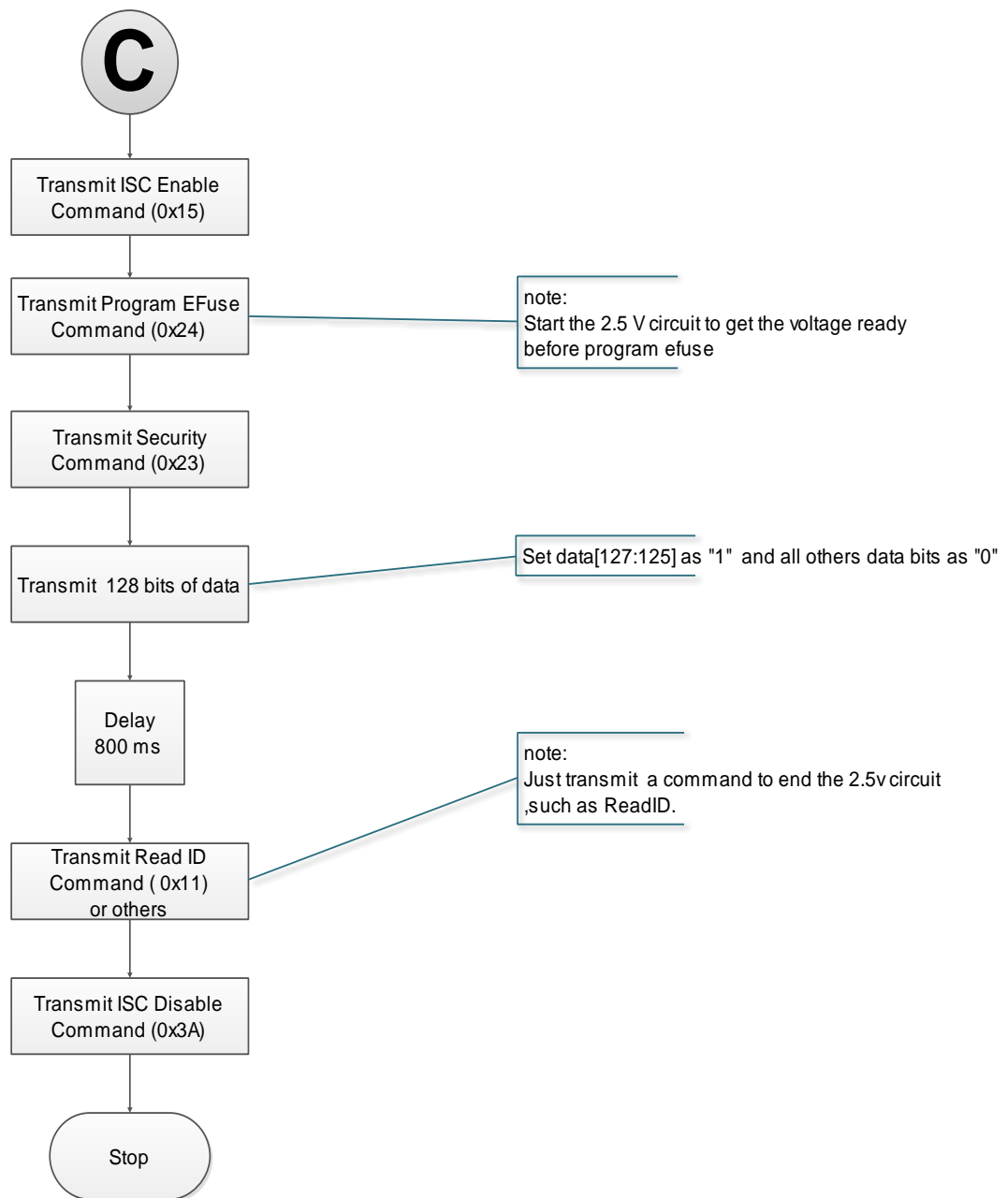
図 3-7 AES Key のプログラミングのフローチャート



AES Key のロック

AES Key をロックすることにより、キーの漏洩を防ぐことができます。AES Key がロックされた後、キーを読み出し/書き込みすることはできません。

図 3-8 AES Key のロックのフローチャート



3.3 コンフィギュレーションファイルのサイズ

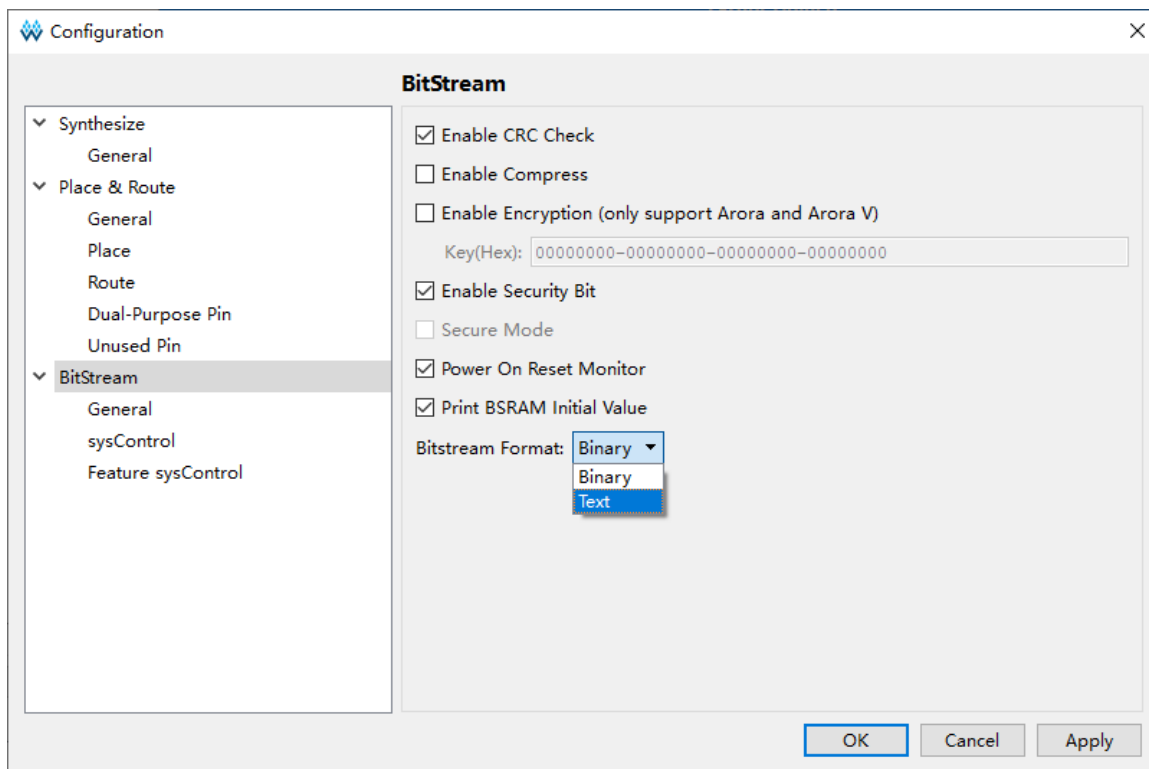
GOWIN セミコンダクターFPGA 製品のコンフィギュレーション用ビットストリームファイルの保存形式には、コメント情報を含むテキスト形式(ASCII)のファイルと、コメント情報のないバイナリ形式のファイルが含まれます。テキスト形式のファイル(拡張子は.fs)には、「//」で始まる行はコメントであり、その他の部分はビットストリームデータです。バイナリ形式のファイル(拡張子は.bin)には、コメントは含まれていません。このファイル形式は、通常、組み込みプログラミングに使用されます。ユーザーは Gowin ソフトウェアで保存形式を設定できます。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. Process タブの Place&Route を右クリックして、Configuration >

BitStream を選択します。

3. 図 3-9 に示すように、**Bitstream Format** オプションでテキスト形式またはバイナリ形式を選択します。

図 3-9 ビットストリーム形式の生成



GOWIN セミコンダクターは、ビットストリームデータの圧縮をサポートしています。圧縮率はユーザーの設計によって異なります。このドキュメントでは、圧縮されていないコンフィギュレーションファイルのサイズのみを示します(表 3-1)。

表 3-1GOWIN セミコンダクターFPGA 製品のコンフィギュレーションファイルのサイズ(最大値)

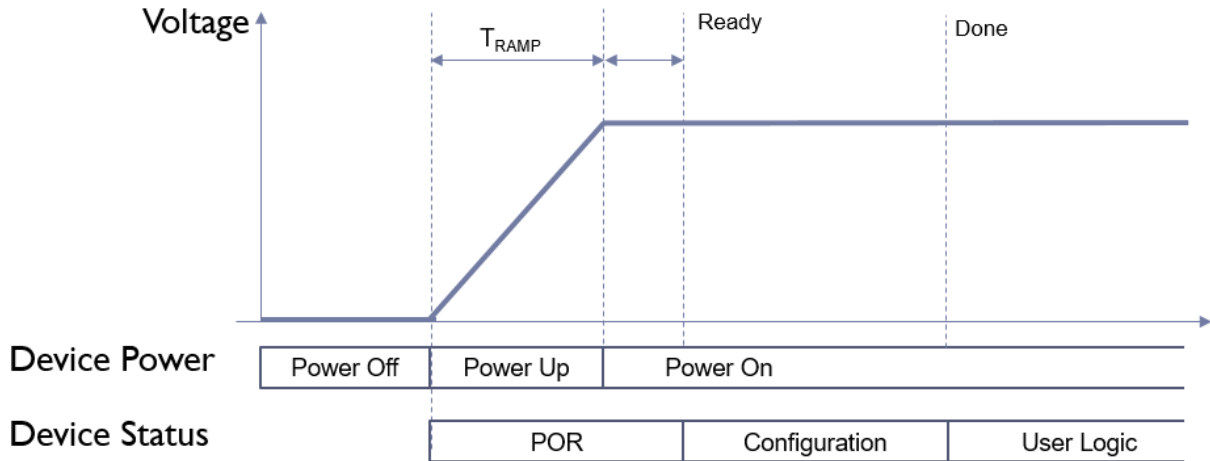
デバイス名	LUT 数	コンフィギュレーションファイルのサイズ(最大値)
GW1N-1(S)、 GW1NR-1、 GW1NZ-1	1,152	84 KBytes
GW1N-1P5	1,584	113 KBytes
GW1N-2、 GW1NR-2	2,304	113 KBytes
GW1N-4、 GW1NR-4、 GW1NS-4(C)、 GW1NSR-4(C)、 GW1NSER-4C、 GW1NRF-4B	4,608	217 KBytes
GW1N-9、 GW1NR-9	8,640	435 KBytes
GW2A-18、 GW2AR-18、 GW2ANR-18	20,736	887 KBytes
GW2A-55、 GW2AN-55	54,720	2269 KBytes

注記：

表に記載のデータは、圧縮されていないバイナリ形式のファイルのサイズです。

3.4 コンフィギュレーションファイルのロード時間

FPGA はマスターとして Flash からデータストリーム・ファイルを読み出して SRAM に書き込むことができます。この場合、AUTO BOOT(オンチップ Flash の場合)と MSPI(オフチップ Flash の場合)の 2 つのコンフィギュレーションモードがあります。下図に示すように、パワーアップ後、FPGA は Ready 後にデータストリーム・ファイルを読み出してコンフィギュレーションを実行します。コンフィギュレーション後、FPGA は User Logic 状態になります。



Gowin の LittleBee®ファミリーおよび Arora ファミリーは MSPI モードをサポートしています。このモードでは、デバイスはオフチップ SPI Flash からデータを読み出してコンフィギュレーションを実行します。コンフィギュレーションファイルの読み出しのデフォルトの周波数は 2.5MHz です。SPI クロックごとに 1 ビットが読み出されるため、ロードに必要な時間はファイルのサイズに応じて計算できます。MSPI モードでの SPI Flash 読み出しクロックの周波数は 66.6MHz 以下です。また、Fast Read SPI(0x0B)を使用する場合、FastRead_N ピンを接地する必要があります。

Gowin LittleBee®ファミリー製品は、MSPI モードだけでなく、AUTO BOOT モードもサポートしています。ロード(読み込み)の周波数はデフォルトで 2.5MHz です。AUTO BOOT モードでは、クロックごとに 1 バイト(8 ビット)がロードされます。

注記：

GW1N-2 デバイスの場合、MODE[2]の値が 1 に固定されている場合、そのロード周波数は 2.5MHz のみになります。

ロード時間は、コンフィギュレーションファイルのサイズ、ロードの周波数、およびクロックごとのロード数により異なります。

AUTO BOOT モードでの最大ロード周波数もデバイスにより異なります(表 3-2 参照)。

表 3-2 コンフィギュレーションファイルの最大ロード周波数

デバイス	最大ロード周波数(AUTO BOOT モード)
GW2A-55/55C	AUTO BOOT モードなし
GW2A-18/18C	
GW2AR-18/18C	
GW2ANR-18C	
GW1N-1	26MHz
GW1N-1S	

デバイス	最大ロード周波数(AUTO BOOT モード)
GW1NZ-1 GW1N-2/1P5 GW1N-2B/1P5B GW1NSER-4C GW1NS-4 GW1NSR-4 GW1NS-4C GW1NSR-4C GW1N-4B GW1NR-4B GW1NRF-4B GW1N-4 GW1NR-4 GW1N-9 GW1N-9C GW1NR-9 GW1NR-9C	40MHz

MSPI モードでのデータストリーム・ファイルのロード時間は表 3-3 のとおりです。

表 3-3 MSPI モードでのデータストリーム・ファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=2.5MHz の場合のロード時間(ms)	ロード周波数=25MHz の場合のロード時間(ms)	ロード周波数=41.6MHz の場合のロード時間(ms)	ロード周波数=62.5MHz の場合のロード時間(ms)
1,152	84 KBytes	275	28	17	11
1584	116 KBytes	381	40	25	17
2304	116 KBytes	381	40	25	17
4,608	217 KBytes	711	71	42	28
8,640	435 KBytes	1425	142	85	57
20,736	887 KBytes	2906	290	174	116
54,720	2269 KBytes	7435	743	446	297

AUTO BOOT モードでのデータストリーム・ファイルのロード時間は表 3-4 のとおりです。

表 3-4 AUTO BOOT モードでのデータストリーム・ファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=2.5MHz の場合のロード時間(ms) (デフォルトの周波数)	ロード周波数=25MHz の場合のロード時間(ms)	ロード周波数=31.25MHz の場合のロード時間(ms)
1,152	84 KBytes	34	4	3
1584	116 KBytes	48	7	6
2304	116 KBytes	48	7	6
4,608	217 KBytes	88	9	7
8,640	435 KBytes	178	17	14

上記のロード時間は参照用です。コンフィギュレーション時間に加えて、パワーアップ時間 **Tramp** とデバイスの初期化時間もあります。パワーアップ時間は、デバイスにより異なるので、自分で測定する必要があります。したがって、パワーアップから **FPGA** のロードが完了するまでのおおよその時間は次のように計算できます。

AUTO BOOT モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/8/\text{ロード周波数}$

MSPI モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/\text{ロード周波数}$

4 コンフィギュレーションピンの詳細

Gowin FPGA 製品は、汎用 JTAG コンフィギュレーション、マスターコンフィギュレーション、スレーブコンフィギュレーション、シリアルコンフィギュレーション、パラレルコンフィギュレーションなど、ユーザーの多様なニーズを満たすさまざまなコンフィギュレーションモードをサポートします。プログラミング・コンフィギュレーションに関連するピンは、必要に応じてコンフィギュレーション用または通常の I/O に設定することができます。さらに、ユーザーは必要に応じてコンフィギュレーションピンを利用して特別な機能を実現することもできます。

4.1 コンフィギュレーションピン一覧および多重化オプション

4.1.1 コンフィギュレーションピン一覧

表 4-1 には、GOWIN セミコンダクターFPGA 製品のすべてのコンフィギュレーション関連のピンが示されています。

表 4-1 コンフィギュレーションピン一覧

ピン名	I/O タイプ	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
RECONFIG_N	I	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
JTAGSEL_N	I	Yes							
TDO	O	Yes							
TMS	I	Yes							
TCK	I	Yes							
TDI	I	Yes							
READY	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
DONE	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

ピン名	I/O タイプ	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
MODE[2:0]	I		Yes	Yes	Yes	Yes	Yes	Yes	Yes
SCLK	I				Yes			Yes	Yes
CLKHOLD_N/DIN	I				Yes			Yes	Yes
WE_N/DOUT	O							Yes	Yes
MI/D7	I/O					Yes			Yes
MO/D6	I/O					Yes			Yes
MCS_N/D5	I/O					Yes			Yes
MCLK/D4	I/O					Yes			Yes
FASTRD_N/D3	I/O					Yes			Yes
SI/D2	I/O				Yes				Yes
SO/D1	I/O				Yes				Yes
SSPI_CS_N/D0	I/O				Yes				Yes
SCL	I			Yes					
SDA	I/O			Yes					

注記：

- サポートされるコンフィギュレーションモードはデバイスとパッケージによって異なります。詳細については、5 コンフィギュレーションモードを参照してください。
- 各コンフィギュレーションモードでの各ピンの定義については、7 コンフィギュレーションモードの詳細を参照してください。

4.1.2 コンフィギュレーションピンの多重化

I/O を最大限に利用するために、GOWIN セミコンダクターFPGA 製品はコンフィギュレーションピンを通常の I/O に設定することをサポートします。すべてのシリーズの FPGA では、パワーアップ後、コンフィギュレーション関連ピンはコンフィギュレーションされるまでデフォルトでコンフィギュレーションピンとして使用されます。コンフィギュレーションが成功すると、デバイスはユーザーモードに入り、ユーザーが選択した多重化オプションに従ってピンの機能が再割り当てられます。

注記：

ユーザーがピン多重化オプションを設定するとき、ピンの外部初期接続状態がデバイスのコンフィギュレーションに影響を及ぼさないようにすることが必要です。コンフィギュレーションに影響を与える接続の場合は、まず分離処理を実行し、ユーザーモードになってから変更する、必要があります。

コンフィギュレーションピンの多重化オプションは表 4-2 に示すとおりです。

表 4-2 コンフィギュレーションピンの多重化オプション

名称	オプション	説明
JTAG PORT	デフォルトの状態	TMS、TCK、TDI、および TDO は専用のコンフィギュレーションピンとして使用されます。JTAGSEL_N は GPIO として使用されます。
	通常の I/O として設定	JTAGSEL_N は専用のコンフィギュレーションピンとして使用されます： <ul style="list-style-type: none"> ● JTAGSEL_N=0 の場合、TMS,TCK,TDI,TDO はコンフィギュレーションピンとして使用されます。 ● JTAGSEL_N=1 の場合、TMS,TCK,TDI,TDO はコンフィギュレーション終了後 GPIO として使用されます。
I ² C PORT	デフォルトの状態	SCL と SDA は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	SCL と SDA は、コンフィギュレーション終了後 GPIO として使用されます。
SSPI PORT	デフォルトの状態	SCLK、CLKHOLD_N、SSPI_CS_N、SI、および SO は専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	SCLK、CLKHOLD_N、SSPI_CS_N、SI、および SO はコンフィギュレーション終了後 GPIO として使用されます。
MSPI PORT	デフォルトの状態	FASTRD_N、MCLK、MCS_N、MO、および MI は専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	FASTRD_N、MCLK、MCS_N、MO、および MI はコンフィギュレーション終了後 GPIO として使用されます。
RECONFIG_N	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。
READY	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。
DONE	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。

注記：

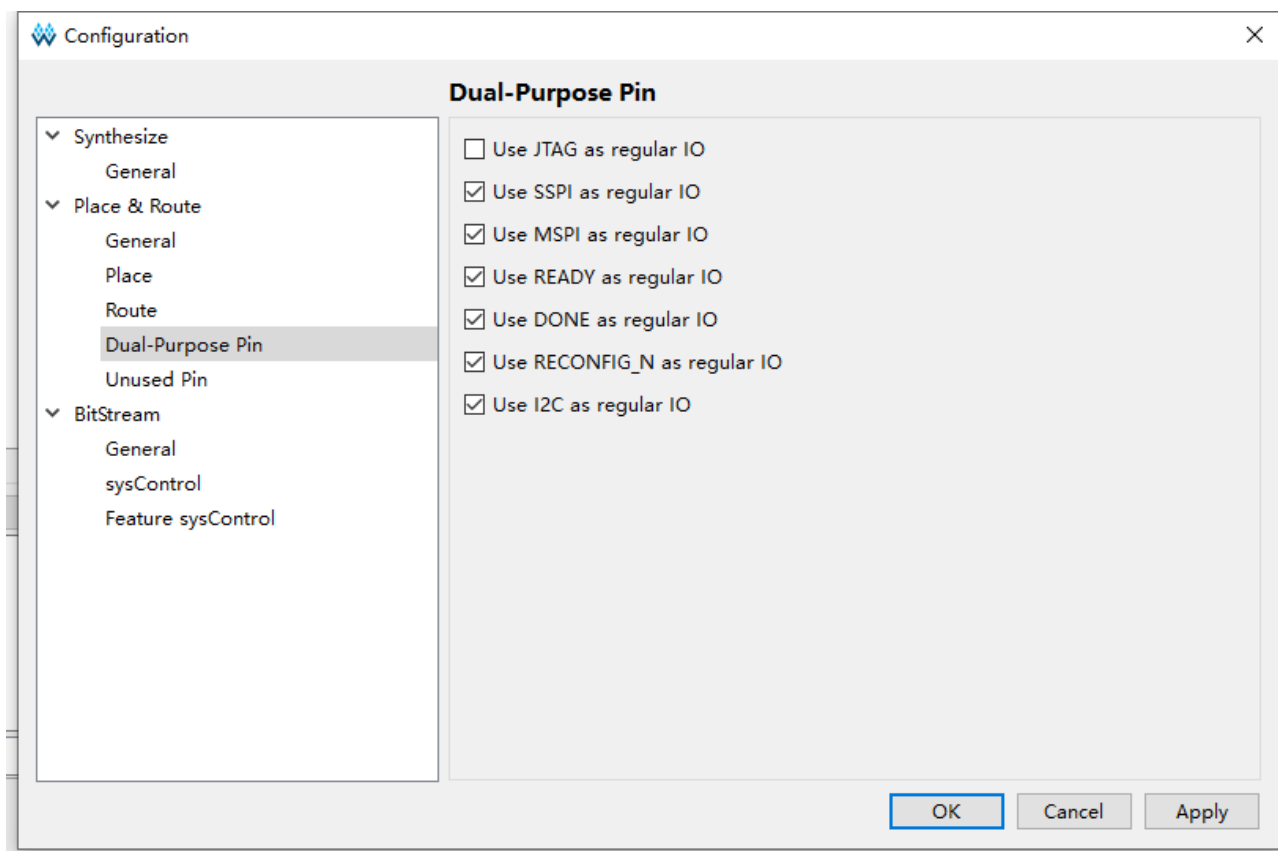
- [1] JTAGSEL_N がボンディングされていないデバイスの場合、JTAG ピンが多重化されたケースをデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前に現在の MODE 値により FPGA がコンフィギュレーションされないことを確認することを推奨します。パワーアップ後の手動 JTAG コンフィギュレーション後、デバイスはユーザーモードに入り、JTAG ピンは GPIO になります。LittleBee®ファミリーFPGA では、MODE[2:0]=001 の場合、JTAGSEL_N が常に GPIO であり、JTAGSEL_N ピンと JTAG の 4 ピン (TCK、TMS、TDI、TDO) を同時に GPIO として使用できますが、この場合、JTAGSEL_N は JTAG ピンをコンフィギュレーションピンに復元することができず、復元するためにはデバイスを再度編集モードに入らせる必要があります。
- [2] SERIAL および CPU コンフィギュレーションモードのピンは、他のコンフィギュレーションモードと共有されるため、個別に GPIO に設定することはできませんが、これらのピンが非共有コンフィギュレーションモードで動作している場合は、GPIO に設定することが可能です。

コンフィギュレーションピンの多重化

Gowin ソフトウェアでピンの多重化を設定できます。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. メニューバーで、“Project > Configuration > Dual-Purpose Pin” を選択します(図 4-1)。
3. 対応するオプションにチェックを入れてピンの多重化を設定します。

図 4-1 コンフィギュレーションピンの多重化



4.2 コンフィギュレーションピンの機能とアプリケーション

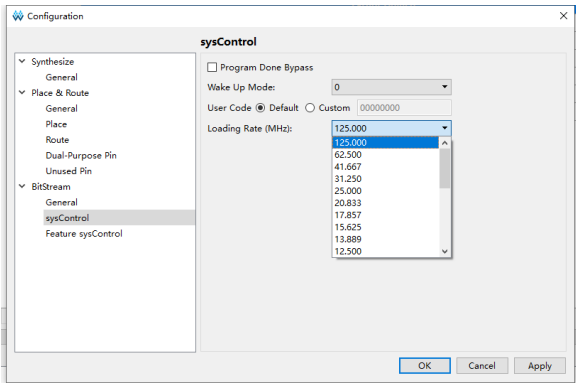
RECONFIG_N、READY、および DONE ピンは、各モードで使用されるピンです。他のコンフィギュレーションピンは、アプリケーションに応じて、専用のコンフィギュレーションピンまたは通常のピンに設定できます。

表 4-3 ピンの機能

ピン名	機能の説明
RECONFIG_N	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。RECONFIG_N は、アクティブ Low であり、FPGA プログラミング・コンフィギュレーションのリセットのような機能を実現します。RECONFIG_N が Low にプルダウンされると、FPGA はコンフィギュレーションできなくなります。FPGA のパワーアップ、初期化、およびコンフィギュレーション中はこのピンを High に維持する必要があるため、コンフィギュレーション後に解放できます。</p> <p>コンフィギュレーションピンとして使用される場合、1 つのパルス幅が 25ns 以上の Low レベルで GowinCONFIG コンフィギュレーションモードを起動し、デバイスが MODE 設定値に従ってビットストリームデータをリロードするようする必要があります。また、ユーザーは、ロジックの設計により、このピンのトリガ条件をカスタマイズできます。GPIO として使用される場合は、出力にのみ使用できます。コンフィギュレーションを成功させるには、多重化する場合は RECONFIG_N の初期値を High にする必要があります。</p>
READY	<p>入出力ピン。デフォルト状態は、内部の弱いプルアップを持つオープンドレイン出力です。READY はアクティブ High であり、High にプルアップされた場合にのみ FPGA はコンフィギュレーションできます。READY が Low にプルダウンされた後、状態を回復するには、デバイスのパワーアップまたは RECONFIG_N のトリガが必要です。</p> <p>コンフィギュレーションピンとして使用される際、方向が出力である場合、現在 FPGA をコンフィギュレーションできるかどうかを示すことができます。コンフィギュレーション条件が満たされると、READY 信号が High になります。コンフィギュレーションが失敗した場合、READY 信号が Low になります。方向が入力である場合、ユーザーは READY 信号を意図的に Low にプルダウンして、コンフィギュレーションを遅延させることができます。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。GPIO 入力として使用される場合、コンフィギュレーションする前に READY の初期値が 1 である必要があります。そうでないと FPGA をコンフィギュレーションできなくなります。</p>
DONE	<p>入出力ピン。デフォルト状態は、内部の弱いプルアップを持つオープンドレイン出力です。コンフィギュレーション中、DONE は</p>

ピン名	機能の説明
	<p>0 を出力します。DONE は、FPGA コンフィギュレーションの成功を示す信号で、コンフィギュレーションが成功したら、DONE 信号は High にプルアップされます。</p> <p>コンフィギュレーションピンとして使用される場合、出力ピンの場合、FPGA のコンフィギュレーションが成功したかどうかを示すことができます。コンフィギュレーションが成功した場合、DONE 信号は High になり、デバイスは動作状態になります。コンフィギュレーションが未完成またはコンフィギュレーションが失敗した場合、DONE 信号は Low のままになります。方向が入力である場合、ユーザーは DONE 信号を意図的に Low にプルダウンして、ユーザーモードへのエントリを遅らせることができます。RECONFIG_N または READY が Low のままである場合、DONE 信号も Low のままになります。JTAG 回路を使用して SRAM をコンフィギュレーションする場合、DONE 信号を無視してください。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。GPIO 入力として使用される場合、コンフィギュレーションする前に DONE の初期値が 1 である必要があります。そうでないと FPGA はコンフィギュレーションの終了後にユーザーモードに入ることができなくなります。</p>
MODE	<p>GowinCONFIG モード選択信号コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。最大幅は 3 ビットです。FPGA に電源が投入されるか、または Low レベルパルスで RECONFIG_N がトリガされると、デバイスは MODE 値に従って対応するコンフィギュレーションモードに入ります。GOWIN セミコンダクターの各 FPGA 製品シリーズの MODE 値に対応するコンフィギュレーションモードは多少異なります。パッケージによっては、MODE ピンが完全にボンディングされていないことがあります。ボンディングされていない MODE ピンについては、対応するデバイスの Pinout マニュアルを参照してください。</p> <p>GPIO として使用される場合、入力または出力に使用できます。MODE 値が変更された場合は、それを有効にするために再パワーアップするか、または Low レベルで RECONFIG_N をトリガする必要があります。</p>
JTAGSEL_N	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。Gowin ソフトウェアで JTAG ピンを GPIO として多重化するように設定した場合、パワーアップして正常にコンフィギュレーションした後、JTAG ピンは GPIO になり、JTAG コンフィギュレーション機能が無効になります。ユーザーは JTAGSEL_N 信号を Low にプルダウンすることによって JTAG コンフィギュレーション機能を復元できます。ユーザーが JTAG ピンの多重化を設定していない場合、JTAG コンフィ</p>

ピン名	機能の説明
	<p>ギュレーション機能は常に使用できます。GPIO として使用される場合は、入力または出力に使用できます。</p> <p>注記： JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)は相互に排他的なピンです。つまり、JTAGSEL_N が GPIO として設定された場合、JTAG ピンはコンフィギュレーションピンとしてのみ使用でき、JTAG ピンが GPIO として設定された場合、JTAGSEL_N ピンはコンフィギュレーションピンとしてのみ使用できます。</p> <p>LittleBee®ファミリーFPGA では、MODE[2:0]=001 の場合、JTAGSEL_N が常に GPIO であり、JTAGSEL_N ピンと JTAG の 4 ピン (TCK、TMS、TDI、TDO) を同時に GPIO として使用できますが、この場合、JTAGSEL_N は JTAG ピンをコンフィギュレーションピンに復元することができず、復元するためにはデバイスを再度編集モードに入らせる必要があります。</p>
TCK	<p>コンフィギュレーションピンとして使用される場合、入力ピンです。</p> <p>JTAG モードにおけるシリアルクロック入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
TMS	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p>JTAG モードにおけるシリアルモード入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
TDI	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p>JTAG モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
TDO	<p>コンフィギュレーションピンとして使用される場合、出力ピンです。</p> <p>JTAG モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
SCLK	<p>コンフィギュレーションピンとして使用される場合、入力ピンです。</p> <p>SSPI、SERIAL、および CPU モードにおけるクロック入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
CLKHOLD_N	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p>SSPI と CPU モードにおけるクロック・ホールド・ピン：SSPI モードではアクティブ High、CPU モードではアクティブ Low です。GPIO として使用される場合は、入力または出力に使用できます。</p>
SSPI_CS_N	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。SSPI モードにおけるチップセレクト信号で、アクティブ Low。GPIO として使用される場合</p>

ピン名	機能の説明
	は、入力または出力に使用できます。
SI	コンフィギュレーションピンとして使用される場合、入力ピンです。 SSPI モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
SO	コンフィギュレーションピンとして使用される場合、出力ピンです。 SSPI モードにおけるシリアルデータ出力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
MCLK	<p>コンフィギュレーションピンとして使用される場合、出力ピンです。</p> <p>MSPI コンフィギュレーションモードの出力クロックピンであり、出力クロックは、FPGA のオンチップオシレータにより生成されます。オシレータの出力周波数の範囲は 2.5 MHz～125 MHz で、出力周波数はデフォルトで 2.5 MHz です。MSPI コンフィギュレーションモードは 125 MHz のクロックをサポートしません。オンチップオシレータの詳細については、対応するデバイスのデータシートを参照してください。</p> <p>MCLK の周波数の値は^[1]、図 4-2 に示すように、Gowin ソフトウェアで変更することができます。メニューバーから “Project>Configuration” を選択し、“BitStream” タブをクリックして、“sysControl” ドロップダウン・リストから MCLK の周波数の値を選択します。GPIO として使用される場合は、入力または出力に使用できます。</p> <p>注記： MSPI コンフィギュレーションモードのクロック周波数には、±10%(Arora ファミリー)または±5%(LittleBee ファミリー)の誤差があります。</p> <p>図 4-2 MCLK 周波数の設定</p> 
MCS_N	<p>コンフィギュレーションピンとして使用される場合、出力ピンです。</p> <p>MSPI モードにおけるチップセレクト信号で、アクティブ Low。GPIO として使用される場合は、入力または出力に使用できます。</p>
MI	コンフィギュレーションピンとして使用される場合、入力ピンで

ピン名	機能の説明
	す。 MSPI モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
MO	コンフィギュレーションピンとして使用される場合、出力ピンです。 MSPI モードにおけるシリアルデータ出力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
FASTRD_N	コンフィギュレーションピンとして使用される場合、入力ピンです。 MSPI コンフィギュレーションモードにおける SPI Flash 読み出し速度選択信号 : FASTRD_N が High の場合は通常の読み出しモード(命令 0x03)、 FASTRD_N が Low の場合は高速読み出しモードです。詳細については対応する Flash のデータシートを参照してください。 GPIO として使用される場合は、入力または出力に使用できます。
WE_N	コンフィギュレーションピンとして使用される場合、入力ピンです。 CPU コンフィギュレーションモードの読み出し/書き込みイネーブル選択ピン : WE_N が High の場合は読み出し、 WE_N が Low の場合は書き込みです。 GPIO として使用される場合は、入力または出力に使用できます。
D0~D7	入出力ピン。 CPU コンフィギュレーションモードにおけるデータ入出力ピン (8-bit)です。 D0~D7 の入出力方向は、 WE_N の値によって決まります。 GPIO として使用される場合は、入力または出力に使用できます。
DIN	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 SERIAL モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
DOUT	コンフィギュレーションピンとして使用される場合、出力ピンです。 SERIAL コンフィギュレーションモードのシリアルデータ出力ピンで、 FPGA がカスケード接続されている場合にのみ次のデバイスへの入力として使用されます。 GPIO として使用される場合は、入力または出力に使用できます。
SCL	コンフィギュレーションピンとして使用される場合、入力ピンです。 GPIO として使用される場合は、入力タイプとしてのみ使用できます。
SDA	コンフィギュレーションピンとして使用される場合、入力/出力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。

5 コンフィギュレーションモードの概要

5.1 LittleBee®ファミリーFPGA 製品

JTAG モードのほか、LittleBee®ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードをサポートしています。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ・タイプによって異なります。すべての不揮発性デバイスは JTAG および AUTO BOOT モードをサポートします。デバイスは最大 6 つのコンフィギュレーションモードをサポートします(表 5-1)。

表 5-1 コンフィギュレーションモード

コンフィギュレーションモード		MODE[2:0] ^[1]	説明
JTAG		XXX ^[2]	外部 Host が JTAG インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
GowinCONFIG	AUTO BOOT	000	FPGA がオンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います
	I ² C ^[6]	100	外部 Host が I ² C インターフェースを介して、FPGA 製品をコンフィギュレーションします
	SSPI	001	外部 Host が SPI インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
	MSPI	010	FPGA が Master として、SPI インターフェース ^[3] を介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います
	DUAL BOOT ^[4]	110	FPGA が優先的にオフチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います。それが失敗した場合は、オンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います
	SERIAL ^[5]	101	外部 Host が DIN インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
	CPU ^[5]	111	外部 Host が DBUS インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします

注記：

- [1] MODE ピンが完全にボンディングされていない場合、ボンディングされていない MODE はデフォルトで接地されています(GW1N(R)-2 および GW1N-1P5 デバイスを除く。対応するパッケージの pinout マニュアルを参照してください)。
- [2] JTAG コンフィギュレーションモードは MODE の入力値とは関係ありません。
- [3] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- [4] GW1N(R)-4 /GW1N(R)-4B は現在 DUAL BOOT をサポートしていません。

- [5] CPU コンフィギュレーションモードは、**SERIAL** コンフィギュレーションモードと、**SCLK**、**WE_N**、および **CLKHOLD_N** ピンを共有します。CPU コンフィギュレーションモードは、**MSPI** および **SSPI** コンフィギュレーションモードと、データバス・ピンを共有します。
- [6] LittleBee®ファミリーFPGA 製品が **I²C** コンフィギュレーションモードの場合、**AUTO BOOT** モードもサポートされます。パワーアップすると、FPGA はまずオンチップ **Flash** からビットストリームデータを読み込んでコンフィギュレーションを行います。**AUTO BOOT** コンフィギュレーション中、**I²C** バスの **SDA** ラインは外部で **High** にプルアップされる状態である必要があります。そうでないと、デバイスが正しくコンフィギュレーションされない場合があります。また、**SCL** ラインも同時に外部でプルアップすることを推奨します。この注記は、**SDA** と **SCL** が内部の弱いプルアップを持つ **C** バージョンのデバイスにも適用されます。

注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化、およびコンフィギュレーションピンの機能・アプリケーションについては、4 コンフィギュレーションピンの詳細を参照してください。

5.2 Arora ファミリーFPGA 製品

JTAG モードのほか、Arora ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードもサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ・タイプによって異なります。デバイスはビットストリームデータ暗号化とセキュリティビット設定をサポートするので、安全性が高いです。Arora ファミリーFPGA 製品はビットストリームデータの圧縮・解凍をサポートしており、ユーザーはビットストリームデータを圧縮することでメモリ領域を節約することができます。

Arora ファミリーFPGA 製品でサポートされているコンフィギュレーションモードを表 5-2 に示します。

表 5-2 コンフィギュレーションモード

コンフィギュレーションモード		MODE[2:0] ^[1]	説明
JTAG		XXX ^[2]	外部 Host が JTAG インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします
GowinCONFIG	MSPI ^[3]	000	FPGA が Master として、SPI インターフェース ^[3] を介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います
	SSPI ^[3]	001	外部 Host が SPI インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします
	SERIAL ^[4]	101	外部 Host が DIN インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします
	CPU ^[4]	111	外部 Host が DBUS インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします

注記：

- [1] MODE ピンが完全にボンディングされていない場合、デフォルトで接地されています。
- [2] JTAG コンフィギュレーションモードは MODE の入力値とは関係ありません。
- [3] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- [4] CPU コンフィギュレーションモードは、SERIAL コンフィギュレーションモードと、SCLK、WE_N、および CLKHOLD_N ピンを共有します。CPU コンフィギュレーションモードは、MSPI および SSPI コンフィギュレーションモードと、データバス・ピンを共有します。

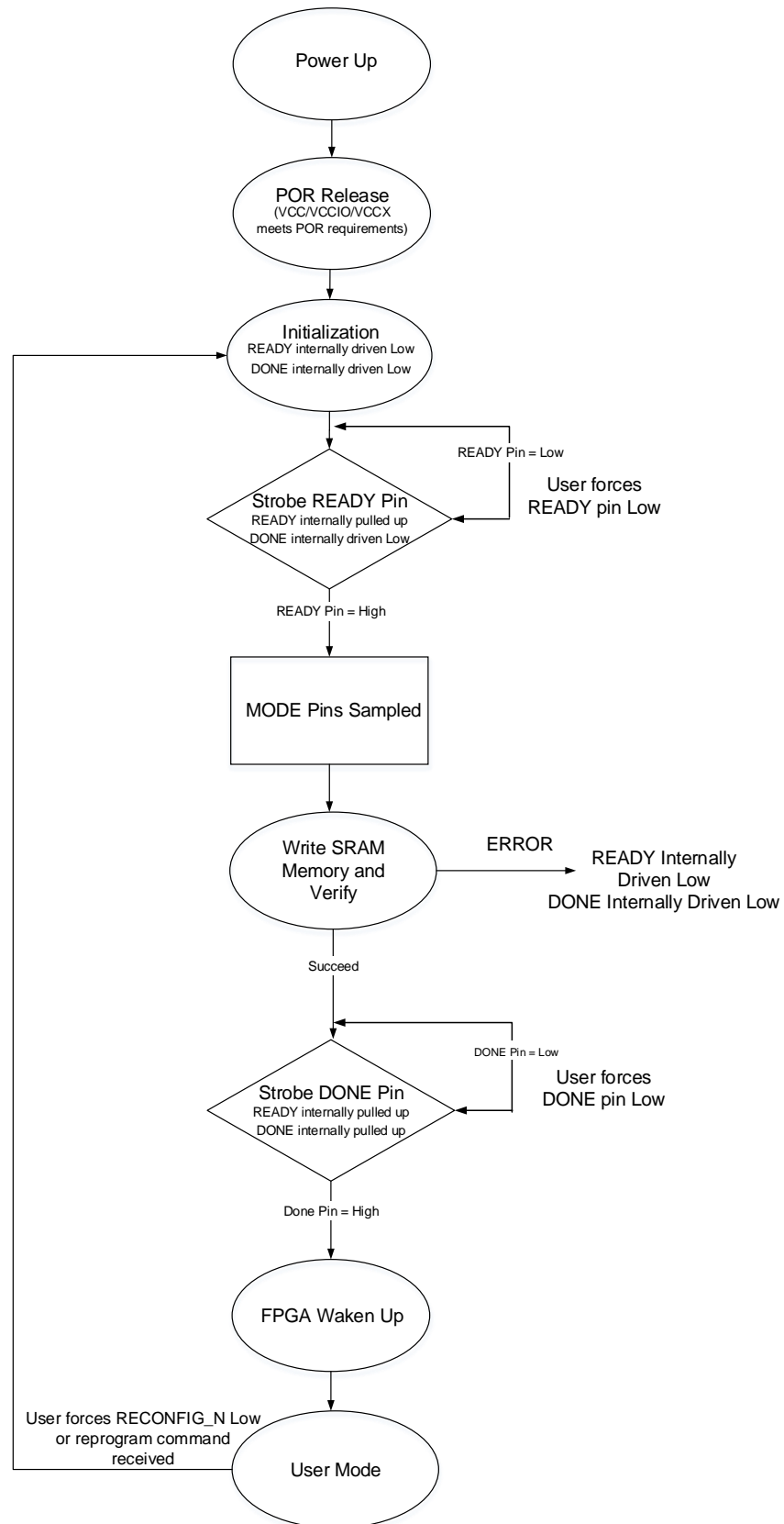
注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化、およびコンフィギュレーションピンの機能・アプリケーションについては、[4 コンフィギュレーションピンの詳細](#)を参照してください。

6 コンフィギュレーション手順

パワーアップ後、Gowin FPGA は、初期化、SRAM コンフィギュレーション、ウェイクアップなど、いくつかの状態を経ます。そのコンフィギュレーション手順を図 6-1 に示します。

図 6-1 Gowin FPGA のコンフィギュレーションのフローチャート



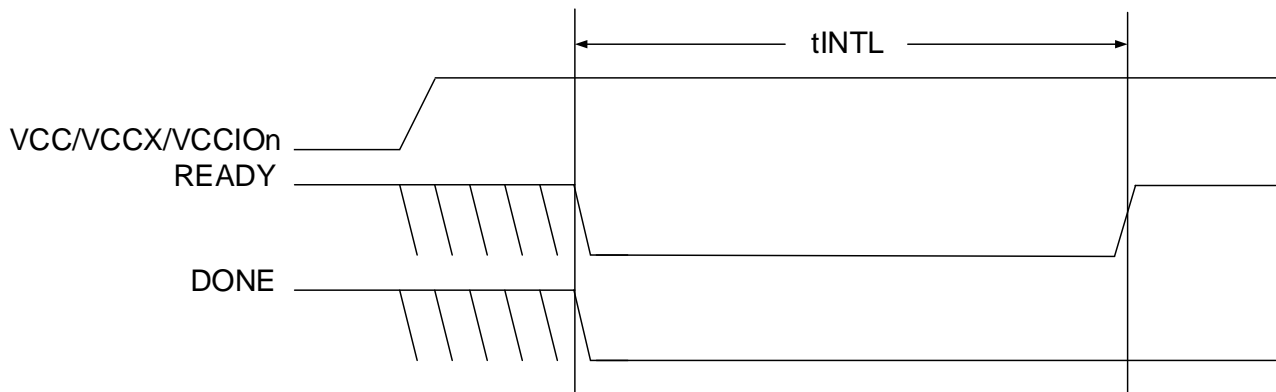
注記：

- READY, DONE, RECONFIG_N は、内部の弱いプルアップ（プルアップ電流は約 100uA）を持つオープンドレイン出力の双方向の IO です。
- READY ピンを強制的に Low にすることで(force the READY pin low)、デバイスがロードを開始するタイミングを制御することができます。
- DONE ピンを強制的に Low にすることで(force the DONE pin low)、デバイスがウェイクアップするタイミングを制御することができます。
- RECONFIG_N ピンは、電源投入からデバイスのロードが完了するまで、High に保持する必要があります。

6.1 パワーアップのタイミング

パワーアップ中に、FPGA 内のパワーオンリセット（POR）回路が動作を開始します。POR 回路は、外部 I/O ピンがハイインピーダンス状態にあることを確認し、VCC/VCCX/VCCIO_n 電源レールを監視します。VCC/VCCX/VCCIO_n が最低のリセットレベルの要件を満たすと（リセットレベルや監視される電源レールは、デバイスによって異なります）、POR 回路が内部リセット信号を解放し、FPGA が初期化プロセスを開始します。READY 信号と DONE 信号が Low にプルダウンされると、デバイスは初期化状態になります(図 6-2)。

図 6-2 パワーアップのタイミング図



に、各デバイスの POR モジュールが監視する電源レールを示します。

表 6-1 各デバイスの POR モジュールが監視する電源レール

シリーズ	デバイス	POR モジュールが監視する電源レール
GW1N	GW1N-1	VCC/VCCX/VCCIO1/VCCIO3
	GW1N-4	
	GW1N-9	VCC/VCCX/VCCIO0
	GW1N-1P5	
	GW1N-2	VCC/VCCX/VCCIO0/VCCIO2
	GW1N-1S	
GW1NZ	GW1NZ-1	VCC/VCCX/VCCIO1/VCCIO3
GW1NR	GW1NR-1	VCC/VCCX/VCCIO1/VCCIO3
	GW1NR-2	
	GW1NR-4	
	GW1NR-9	
GW1NS	GW1NS-4	VCC/VCCX/VCCIO0/VCCIO1

シリーズ	デバイス	POR モジュールが監視する電源レール
	GW1NS-4C	
GW1NSR	GW1NSR-4 GW1NSR-4C	VCC/VCCX/VCCIO0/VCCIO1
GW1NSE	GW1NSE-4C	VCC/VCCX/VCCIO0/VCCIO1
GW1NSER	GW1NSER-4C	VCC/VCCX/VCCIO0/VCCIO1
GW1NRF	GW1NRF-4B	VCC/VCCX/VCCIO1/VCCIO3
GW2A	GW2A-18 GW2A-55	VCC/VCCX/VCCIO3
GW2AR	GW2AR-18	VCC/VCCX/VCCIO3
GW2AN	GW2AN-55	VCC/VCCX/VCCIO3
GW2ANR	GW2ANR-18	VCC/VCCX/VCCIO3

6.2 初期化

パワーオンリセット回路が **READY** ピンと **DONE** ピンを **Low** にプルダウンすると、**Gowin FPGA** はすぐにメモリ初期化状態になります。初期化状態の目的は、**FPGA** 内のコンフィギュレーション **SRAM** をクリアすることです。

FPGA は、次のすべての条件を満たすと、初期化状態からジャンプします。

- 初期化状態の時間が **tINITL** を超えています
- **RECONFIG_N** ピンが **High** です
- **READY** ピンは、外部で強制的に **Low** にプルダウンされていません。
READY ピンは、初期化段階で次の 2 つの機能を提供します。
- **FPGA** が内部のコンフィギュレーション **SRAM** をクリアしていることを示します。
- 入力として、外部で **Low** にプルダウンされたときに **FPGA** が初期化状態からジャンプアウトするのを防ぐことができます。

6.3 コンフィギュレーション

READY ピンの立ち上がりエッジが認識された後、**FPGA** はコンフィギュレーション状態になります。**MODE** ピンの状態に応じて、**FPGA** 内のコンフィギュレーション **SRAM** はさまざまなモードでコンフィギュレーションできます。**FPGA** がコンフィギュレーションデータを受信している間、内部状態は **READY** ピンから判断できます。**High** レベルの **READY** 信号は、コンフィギュレーションが正常であることを示し、**Low** レベルの **READY** 信号は、**FPGA** コンフィギュレーションにエラーがあり、正常に動作できないことを示します。

6.4 ウェイクアップ

すべてのコンフィギュレーションデータを正しく受信した後、**FPGA** はウェイクアップ状態に入り、内部の **DONE** 状態ビットを 1 にセットします。ウェイクアップ状態では、**FPGA** は次の操作を順番に実行します。

1. グローバル出力信号 (**GOE**) を有効にすることで、**FPGA** の **I/O** がハ

イインピーダンス状態を終了し、そのプリセット機能を実現します。グローバルセット/リセット信号（GSR）を 1 にセットすることにより、入力信号が FPGA 内のフリップフロップの状態に影響を与えるのを防ぐことができます。

2. グローバルセット/リセット信号（GSR）とグローバル書き込み無効信号（GWDISn）を解放します。グローバル書き込み無効信号を有効にすることにより、FPGA が内部 RAM の初期化データを誤って上書きするのを防ぐことができます。
3. 外部 DONE ピンを有効にします。有効にされると、DONE ピンは双方向のオープンドレイン I/O になります。DONE ピンを外部から強制的に Low にプルダウンすることにより、FPGA をウェイクアップ状態に保つことができます。DONE ピンが High になると、FPGA はウェイクアップ状態を終了し、ユーザーモードに入ります。

6.5 ユーザーモード

ユーザーモードに入ると、FPGA は設計したロジック機能をすぐに実行します。FPGA は、次の 3 つのイベントのいずれがトリガされるまでユーザーモードのままになります。

- RECONFIG_N ピンが外部で Low にプルダウンされます
- コンフィギュレーションポート経由で reprogram 命令が受信されます
- パワーダウン後のパワーアップ

上記の 3 つのイベントのいずれが発生すると、FPGA はコンフィギュレーション手順を再開します。

7 コンフィギュレーションモードの詳細

GOWIN セミコンダクターFPGA 製品には、SRAM ベースの Arora ファミリーの高性能デバイスと、オンチップ Flash を含む LittleBee®ファミリーの小容量不揮発性デバイスがあります。SRAM ベースのデバイスの内部コンフィギュレーションデータは、パワーダウンすると失われるので、パワーアップ後に再コンフィギュレーションする必要があります。オンチップ Flash を備えた不揮発性デバイスは、パワーダウン後もデータはチップに保存されるので、デバイスは、再パワーアップ時に **AUTO BOOT** コンフィギュレーションまたは **DUAL BOOT** コンフィギュレーションによって自動的に再コンフィギュレーションできます。

各パッケージでサポートされているコンフィギュレーションモードは、ボンディングされているコンフィギュレーションピンの数に関連しています。汎用の **JTAG** コンフィギュレーションモードはすべてのデバイスでサポートされます。**AUTO BOOT** コンフィギュレーションまたは **DUAL BOOT** コンフィギュレーションは不揮発性デバイスでのみサポートされます。各コンフィギュレーションモードの **MODE** 値は異なります。

7.1 コンフィギュレーションの注意事項

GOWIN セミコンダクターFPGA 製品には、Arora ファミリーと LittleBee®ファミリーがあります。デバイス名に **R** が含まれているかどうかは、コンフィギュレーション特性の相違を示すわけではありません。デバイス名に **R** が付いているデバイスは、**SDRAM/PSRAM** を統合しているだけです。デバイス名に **S** が付いている **FPGA** は、**DUAL BOOT** コンフィギュレーションの特性を除いて、**GW1N** シリーズと同じ特性を持っています。

パワーアップおよびコンフィギュレーションの手順

FPGA の **VCC**、**VCCIO**、および **VCCX** 電源電圧が最小電源振幅を満たすと、FPGA は起動プロセスに入ります：電圧が安定しており、**RECONFIG_N** が外部回路によってプルダウンされていません > **FPGA**

内部回路が **READY** および **DONE** ピンを **Low** にプルダウンします > **FPGA** 初期化 > **READY** が **High** にプルアップされて、**MODE** 値がサンプリングされます > コンフィギュレーションモードに従ってコンフィギュレーションデータを読み出し、検証します > **FPGA** ウェイクアップ > **DONE** が **High** にプルアップされます > ユーザーモードに入ります。

FPGA の起動中、電源を安定させる必要があります。**FPGA** のパワーアップ、初期化、コンフィギュレーション中、**Low** レベルの **RECONFIG_N** は許容されず、ユーザーは **RECONFIG_N** ピンをフローティングのままにするか、外部で **High** にプルアップすることができます。パワーオン・リセットの解除からデバイスのウェイクアップ前の間、すべての **GPIO** は内部の弱いプルアップでハイインピーダンスの状態です。

コンフィギュレーションデータの格納場所と命令の対象位置によって、**GOWIN** セミコンダクター **FPGA** 製品の操作には、**SRAM** に対する操作、オンチップ **Flash** に対する操作、オフチップ **Flash** に対する操作があります。そのうちオンチップ **Flash** に対する操作は **LittleBee®** ファミリー製品のみでサポートされ、**SRAM** およびオフチップ **Flash** に対する操作は、すべての製品でサポートされています。

SRAM に対する操作

SRAM に対する操作には、デバイスの **ID CODE** と **USER CODE** の読み出し、デバイスのステータスレジスタの情報の読み出し、および **SRAM** のコンフィギュレーションが含まれます。デバイス **ID** はコンフィギュレーション前に確認する必要があります。**USER CODE** は **ID CODE** を共有するデバイスを区別するために使用されます。デバイスのステータスレジスタには **FPGA** のコンフィギュレーション前後のステータス情報が記録され、ユーザーはこの情報を使用してデバイスのステータスを分析することができます。ステータスレジスタの意味については表 7-12 **Status Register** の各ビットの意味参照してください。また、**SRAM** コンフィギュレーションの際、セキュリティビットが設定されていないビットストリームデータのみが検証をサポートすることに注意する必要があります。つまり、セキュリティビットが設定されたデータは、リードバックできません。

オンチップ/オフチップ Flash に対する操作

オンチップ **Flash** に対する操作には、消去、プログラミング、および検証などがあります。オンチップ **Flash** は **JTAG** インターフェース経由でのみ操作でき、そのクロック周波数は **1MHz** 以上です。クロック周波数の詳細については、表 7-9 **JTAG** の **TCK** 周波数要件を参照してください。

注記：

オンチップ **Flash** を使用した **SRAM** のコンフィギュレーション(**AUTO BOOT** コンフィギュレーション及び **DUAL BOOT** コンフィギュレーション)およびオンチップ **Flash** のプログラミング中に、**FPGA** のパワーアップ状態を維持する必要があります、かつ **RECONFIG_N** を **Low** レベルでトリガしてはなりません。

LittleBee®ファミリーのFPGA製品(GW1N-4Aを除く)には、JTAG^[1]バックグラウンドアップグレードという機能があります。つまり、デバイスは、現在の動作状態に影響を与えることなく、JTAGインターフェースを介してオンチップFlashまたはオフチップFlashをプログラムすることをサポートします。プログラミング中、デバイスは元のコンフィギュレーションに従って動作可能です。プログラミング後、RECONFIG_NをLowレベルでトリガして、オンラインアップグレードを完了します。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。

注記：

[1] GW1N-1P5 および GW1N-2 は goConfig I2C IP を使用することで I²C バックグラウンドアップグレードをサポートできますが、JTAG 方式によるバックグラウンドアップグレードが推奨されます。

コンフィギュレーションピンの多重化

各コンフィギュレーションモードを使用する場合、ユーザーは、コンフィギュレーションピンの役割に応じて、FPGA が選択されたコンフィギュレーションモードで動作するようにする必要があります。ユーザー側のピン数が足りない場合、これらのピンは他の接続方法で柔軟に処理し、データ伝送に関連するピンのみを保持することが可能です。MODE[2 : 0]はGowinCONFIGのプログラミング・コンフィギュレーションモードを選択するために使用され、モードを変更する必要がある場合は、プルアップまたはプルダウンによって特定のモードに固定することができます。プルアップの場合、4.7KΩのプルアップ抵抗を推奨し、プルダウンの場合、1KΩのプルダウン抵抗を推奨します。

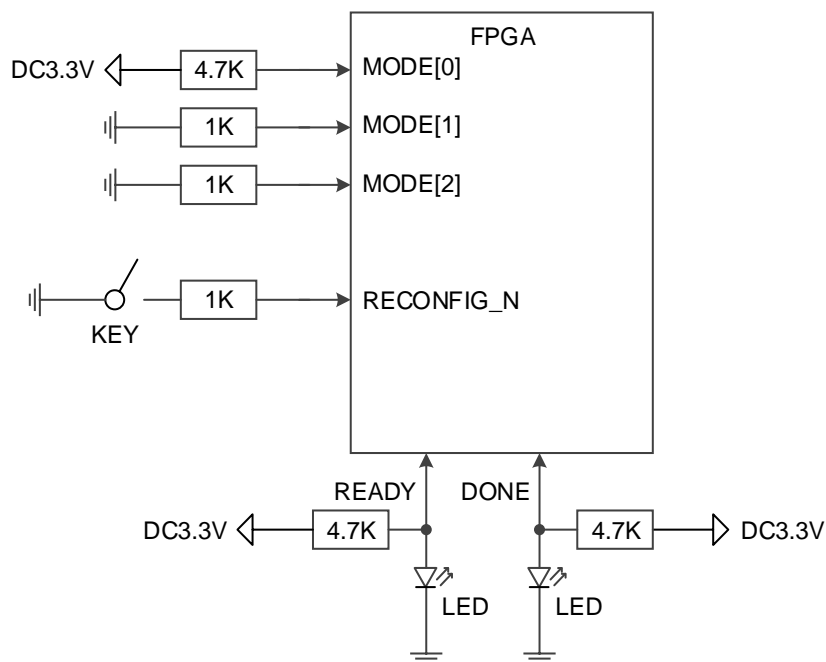
注記：

RECONFIG_N、READY、およびDONEピンは各コンフィギュレーションモードに関連付けられており、ユーザーがそれらをGPIOに設定したかどうかにかかわらず、コンフィギュレーション操作が完了する前に、その初期値またはピン接続状態はプログラミング・コンフィギュレーション条件を満たす必要があります。

推奨されるピン接続

推奨されるピン接続は図 7-1 に示すとおりです。

図 7-1 推奨されるピン接続



注記：

- MODE 値を変更したい場合は、DIP スイッチの使用が推奨されます。いくつかのデバイスでは MODE ピンが完全にボンディングされておらず、ボンディングされていない MODE ピンは、内部で接地されています(GW1N(R)-2 および GW1N-1P5 デバイスを除く。対応するパッケージの pinout マニュアルを参照してください)。
- JTAG コンフィギュレーションの場合、READY 信号と DONE 信号を無視してください。
- ボンディングされていない RECONFIG_N、READY、または DONE ピンは内部で処理され、コンフィギュレーションに影響を与えません。

再パワーアップのタイミング図および Low レベルパルスで RECONFIG_N をトリガするタイミング図

再パワーアップのタイミング図および Low レベルパルスで RECONFIG_N をトリガするタイミング図は、図 7-2 と図 7-3 に示すとおりです。

図 7-2 再パワーアップのタイミング図

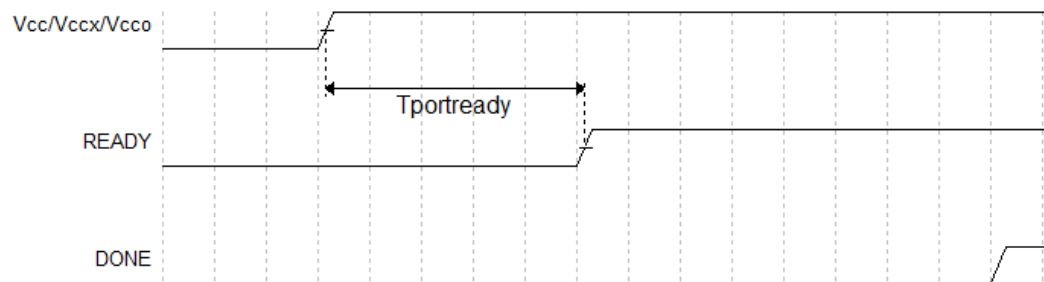
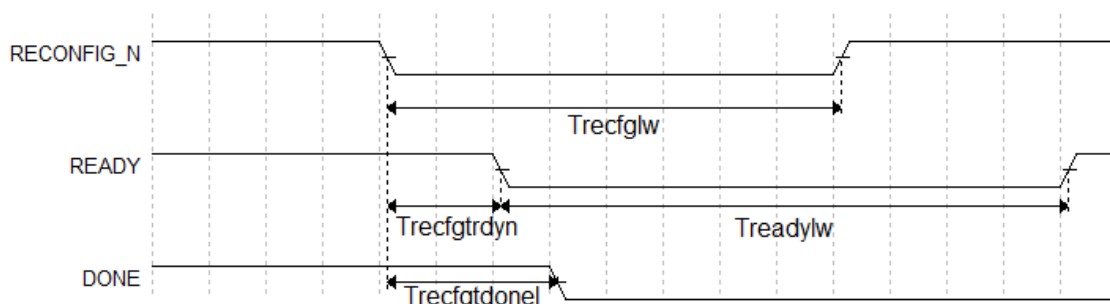


図 7-3 Low レベルパルスで RECONFIG_N をトリガするタイミング図



LittleBee®ファミリーFPGA 製品の関連タイミングパラメータは、表 7-1 に示すとおりです。

表 7-1 LittleBee®ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{portready}^1$	POR から READY の立ち上がりエッジまでの時間(Time from POR to the rising edge of READY)	50 μ s	200 μ s
$T_{recfglw}$	RECONFIG_N の Low レベルパルス幅 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N の立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY の Low レベルパルス幅(READY low pulse width)	TBD	-
$T_{recfgtdonel}$	RECONFIG_N の立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

注記：

MODE0 = 0 の場合、デバイスのパワーアップ待ち時間は 200 μ s です。MODE0 = 1 の場合、デバイスのパワーアップ待ち時間は 50 μ s です。

Arora ファミリーFPGA 製品の関連タイミングパラメータは、表 7-2 に示すとおりです。

表 7-2 Arora ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{portready}$	POR から READY の立ち上がりエッジまでの時間(Time from POR to the rising edge of READY)	-	35ms
$T_{recfglw}$	RECONFIG_N の Low レベルパルス幅 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N の立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns

パラメータ名	パラメータの意味	最小値	最大値
T _{readylw}	READY の Low レベルパルス幅(READY low pulse width)	TBD	-
T _{recfgtdonel}	RECONFIG_N の立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

7.2 JTAG コンフィギュレーション

GOWIN セミコンダクターFPGA 製品の JTAG コンフィギュレーションモードは、IEEE1532 および IEEE1149.1 バウンダリ・スキャン・スタンダードに準拠しています。

JTAG コンフィギュレーションモードでは、コンフィギュレーションデータは GOWIN セミコンダクターFPGA 製品の SRAM に書き込まれ、パワーオフするとデータは失われます。GOWIN セミコンダクターFPGA 製品はすべて JTAG コンフィギュレーションモードをサポートしています。

7.2.1 JTAG コンフィギュレーションモードのピン

JTAG コンフィギュレーションモードに関連するピンは表 7-3 に示すとおりです。

表 7-3 JTAG コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
JTAGSEL_N ^[1]	I、内部の弱いプルアップ	JTAG ピンを GPIO からコンフィギュレーションピンに復元。アクティブ Low
TCK ^[2]	I	クロック入力
TMS	I、内部の弱いプルアップ	モード選択
TDI	I、内部の弱いプルアップ	データ入力
TDO	O	データ出力

注記：

- [1] JTAGSEL_N 信号は、JTAG ピンが GPIO に設定されて、デバイスが動作しているときのみ機能します。LittleBee®ファミリーFPGA では、MODE[2:0]=001 の場合、JTAGSEL_N が常に GPIO であり、JTAGSEL_N ピンと JTAG の 4 ピン (TCK、TMS、TDI、TDO) を同時に GPIO として使用できますが、この場合、JTAGSEL_N は JTAG ピンをコンフィギュレーションピンに復元することができず、復元するためにはデバイスを再度編集モードに入らせる必要があります。
- [2] TCK は PCB で 4.7K のプルダウン抵抗に接続する必要があります。

デバイスによっては、4 つの JTAG ピンまたは JTAGSEL_N が GPIO として多重化されている場合、デバイスを再コンフィギュレーションするには、まず reprogram 命令を送信する必要があります。詳細は表 7-5 に

示すとおりです。

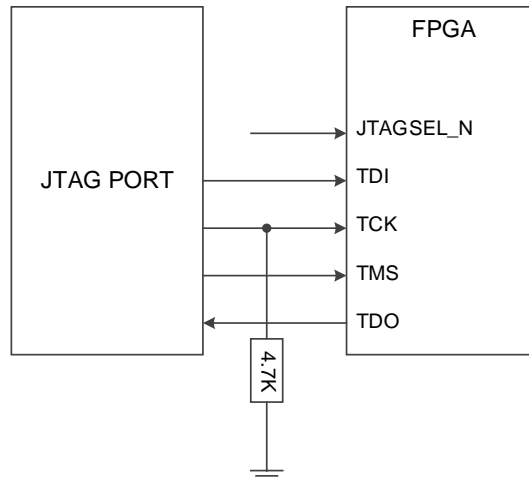
表 7-4 reprogram 命令が必要なデバイス/不要なデバイス一覧

シリーズ	デバイス	reprogram 命令の送信は必要ですか？
GW1N	GW1N-1、GW1N-1S、GW1N-4、GW1N-4B、GW1N-4D、GW1N-9、GW1N-9C、	reprogram 命令の送信は必要
GW1NZ	GW1NZ-1、GW1NZ-1C、	
GW1NR	GW1NR-1、GW1NR-4、GW1NR-4B、GW1NR-4D、GW1NR-9、GW1NR-9C	
GW1NRF	GW1NRF-4B	
GW2A	GW2A-18、GW2A-18C、GW2A-55C、GW2A-55	
GW2AR	GW2AR-18、GW2AR-18C	
GW2AN	GW2AN-55C	
GW2ANR	GW2ANR-18C	reprogram 命令の送信は不要
GW1N	GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1N-2C	
GW1NS	GW1NS-4、GW1NS-4C	
GW1NR	GW1NR-2、GW1NR-2B、GW1NR-2C	
GW1NSR	GW1NSR-4C、GW1NSR-4	
GW1NSER	GW1NSER-4C	

7.2.2 JTAG コンフィギュレーションモードの接続図

JTAG コンフィギュレーションモードの接続は図 7-4 に示すとおりです。

図 7-4 JTAG コンフィギュレーションモードの接続図



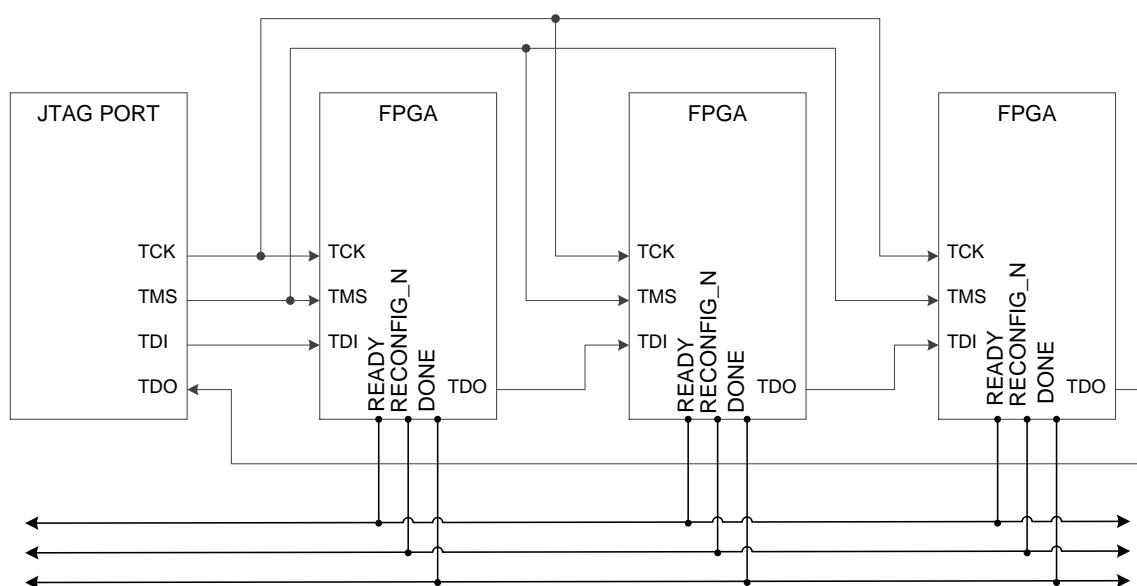
注記：

- JTAGSEL_N がボンディングされていないデバイスの場合、JTAG ピンの多重化のケースをデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前に **MODE** 値を非自動コンフィギュレーションモード(即ち、**AUTO BOOT**、**DUAL BOOT**、**MSPI** 以外のモード)に設定することを推奨します。パワーアップ後の手動 JTAG コンフィギュレーション後、デバイスはユーザー**MODE** に入り、JTAG ピンは **GPIO** になります。
- JTAG コンフィギュレーションモードのクロック周波数は **40MHz** を超えてはなりません。

通常の JTAG を介した **SRAM** コンフィギュレーションに加えて、**GOWIN** セミコンダクターの不揮発性 **FPGA** デバイス(**LittleBee®**ファミリー)のオンチップ **Flash** および他のすべてのシリーズの **FPGA** 製品のオフチップ **SPI Flash** プログラミング操作も JTAG ピンを介して実行することができます。不揮発性デバイスに内蔵されるオンチップ **Flash** のプログラミング操作の接続モードは JTAG コンフィギュレーションモードと同じです。オフチップ **SPI Flash** のプログラミング操作についてはおおよび 9 バウンダリスキャンを参照してください。

さらに、**GOWIN** セミコンダクター **FPGA** 製品は JTAG デイジーチェーン操作をサポートします。つまり、ある **FPGA** の **TDO** ピンを次の **FPGA** の **TDI** ピンに接続すると、**Gowin** プログラミングソフトウェアは接続された **FPGA** デバイスを自動的に識別して順番にコンフィギュレーションします。デイジーチェーン・コンフィギュレーションの接続図は図 7-5 に示すとおりです。

図 7-5 JTAG デイジーチェーン・コンフィギュレーションの接続図



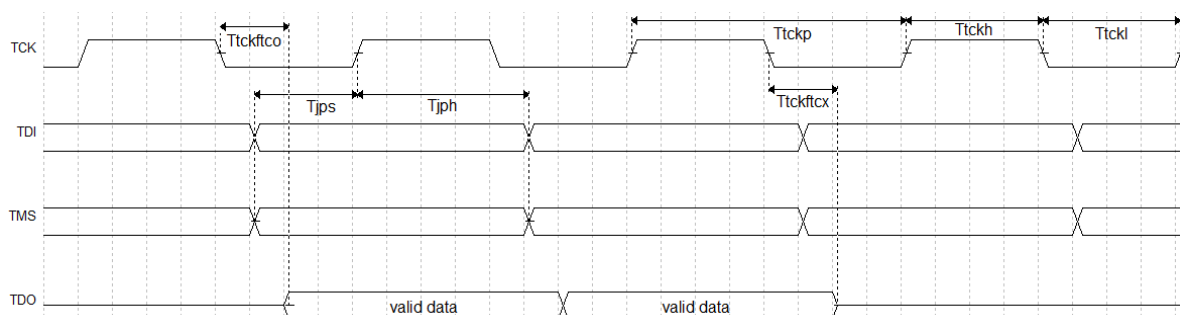
注記：

DONE、RECONFIG_N、および READY 信号の接続は状況に応じて決定されます。

7.2.3 JTAG コンフィギュレーションモードのタイミング図

JTAG コンフィギュレーションモードのタイミング図は、図 7-6 に示す通りです。

図 7-6 JTAG コンフィギュレーションモードのタイミング図



各パラメータの意味は、表 7-5 に示す通りです。

表 7-5 JTAG コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{tckftco}$	TCK 立ち下がりエッジからデータ出力に至るまでの時間(Time from TCK falling edge to output)	-	10ns
$T_{tckftcx}$	TCK 立ち下がりエッジからハイインピーダンスに至るまでの時間(Time from TCK falling edge to high impedance)	-	10ns
T_{tckp}	TCK クロックのサイクル(TCK clock period)	40ns	-

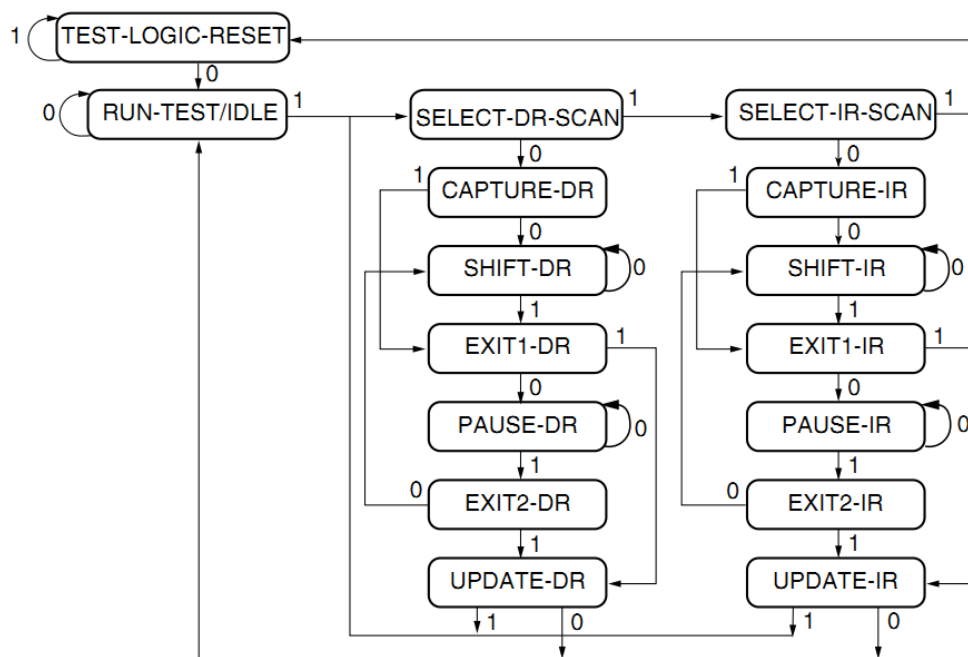
パラメータ名	パラメータの意味	最小値	最大値
T_{tckh}	TCK クロックの High レベル時間(TCK clock high time)	20ns	-
T_{tckl}	TCK クロックの Low レベル時間(TCK clock low time)	20ns	-
T_{jps}	JTAG PORT のセットアップ時間(JTAG PORT setup time)	10ns	-
T_{jph}	JTAG PORT のホールド時間(JTAG PORT hold time)	8ns	-

7.2.4 JTAG コンフィギュレーションの手順

TAP 状態機械

テストアクセスポートの状態機械は、命令レジスタまたはデータレジスタを選択し、TDI と TDO の間に接続するために使用されます。通常、命令レジスタはスキャンされるデータレジスタを選択するために使用されます。状態機械のブロック図において、矢印の側に位置する数字は、TCK が High になったときの TMS のロジック状態を示しています。

図 7-7 TAP 状態機械



TAP リセット

TMS を High レベル(ロジック “1”)に保持し、TCK ピンで 5 つ以上のストロブパルス(High になった後 Low になる)を入力した後、TAP ロジックがリセットされます。これによって、他の状態の TAP 状態機械がテストロジックのリセット状態に変換され、JTAG インターフェースとテストロジックがリセットされます。

注記：

この状態では、CPU と周辺機器がリセットされません。

注記：

- Shift_DR または Shift_IR 状態に入った場合、TDO のデータは TCK の立ち下がリエッジから有効になります。
- Shift_DR または Shift_IR 状態に入った場合、データはシフトされません。
- Shift_DR または Shift_IR から出た場合、データはシフトされます。
- 最初にシフトされるのは、データの最下位ビット(LSB)です。
- リセットすると、すべての命令はリセットされるか、無効になります。

命令レジスタとデータレジスタ

テストロジックをリセットするほか、状態機械は以下の 2 つの基本操作を制御可能です。

- 命令レジスタ(IR)のスキャン
- データレジスタ(DR)のスキャン

命令レジスタのスキャン操作では、Shift-IR 状態の場合、データまたは命令が **LSB** ファースト順で命令レジスタに送信されます。Run-Test-Idle に戻った後、命令の送信が完了します(図 7-8)。

データレジスタのスキャン操作では、Shift-DR 状態の場合、データまたは命令がデータレジスタに送信されます(図 7-9)。データ転送に **LSB** と **MSB** のどちらが使用されるかは、操作に依存します。

図 7-8 命令レジスタのアクセスタイミング

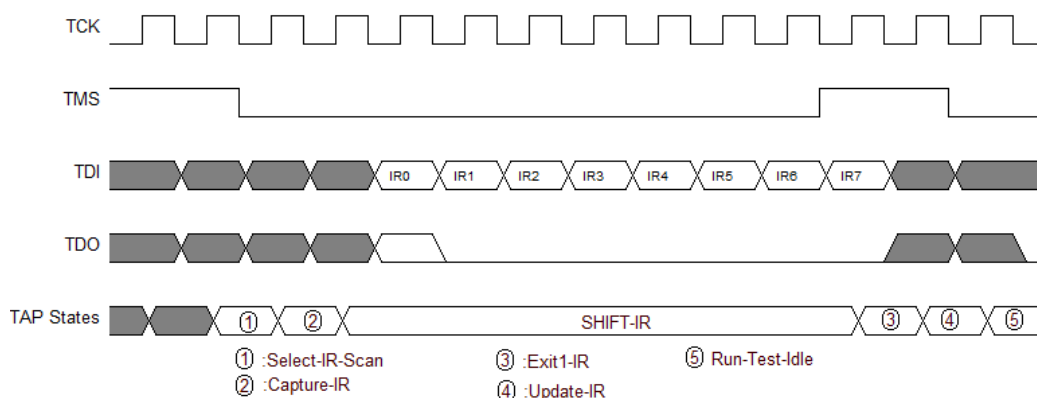
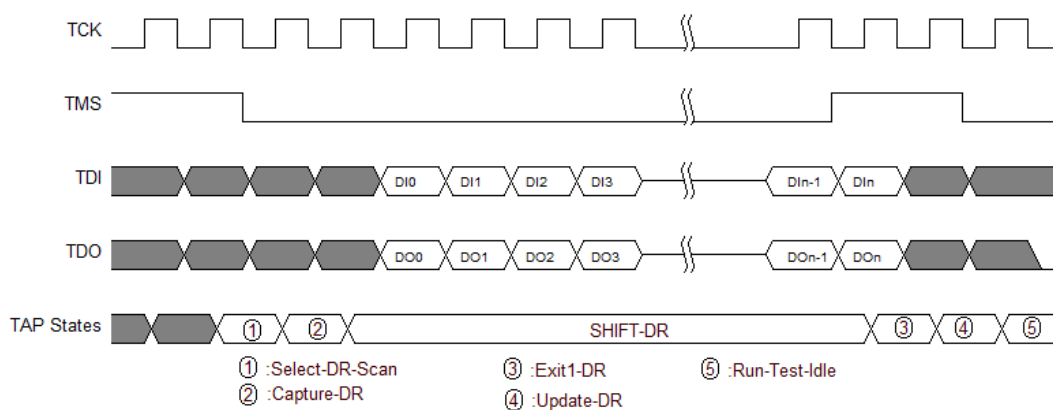


図 7-9 データレジスタのアクセスタイミング



注記：

- GOWIN セミコンダクターGW1N(R)および GW2A(R)シリーズ FPGA では、命令レジスタの長さは合計 8 ビットです。
- データレジスタの長さは、選択したレジスタによって異なります。

ID CODE 読み出しの例

ID Code(即ち JEDEC ID Code)は、FPGA デバイスの基本的な識別情報です。

GOWIN FPGA ID Code の長さは 32 ビットで、下表は GOWIN FPGA の ID Code の一部です。

表 7-6 Gowin FPGA ID CODE

Gowin FPGA Device Family ID CODE			
Device Family	Device Part	Manufacturer ID	ID CODE
	Bits 31-12	Bits 11-0 h81B	
GW1N-1	h09002	h81B	h0900281B
GW1N-1S	h09003		h0900381B
GW1NZ-1	h01006		h0100681B
GW1N-2/2B	h01206		h0120681B

Gowin FPGA Device Family ID CODE			
Device Family	Device Part	Manufacturer ID	ID CODE
	Bits 31-12	Bits 11-0	
		h81B	
GW1N-1P5/1P5B	h01206		h0120681B
GW1N(R)-4	h01003		h0100381B
GW1N(R)-4B	h11003		h1100381B
GW1N(R)-4D	h11003		h1100381B
GW1NS(ER)-4C	h01009		h0100981B
GW1N(R)-9	h11005		h1100581B
GW1N(R)-9C	h11004		h1100481B
GW2A(R)-18/18C	h00000		h0000081B
GW2A-55/55C	h00002		h0000281B

GOWIN FPGA の読み出し命令は 0x11 です。以下は、GW1N-4 の ID Code を読み出すことを例に、JTAG の動作を説明します。

1. TAP リセット：TMS を High にし、5 クロックサイクル以上連続して送信します。
2. 状態機械を Test-Logic-Reset から Run-Test-Idle に遷移させます。
3. 状態機械を Shift-IR に遷移させ、最下位ビットから Read ID 命令 0x11 を送信し、最上位ビット(最後のビット)が送信されると同時に、状態機械を Exit1-IR に遷移させます。すなわち、最上位ビットの送信前に TMS は High である必要があります。表 7-7 は、8 クロックサイクル期間に 0x11 を送信する過程における TDI と TMS の値の変化を示しています。タイミングは図 7-11 に示すとおりです。

表 7-7 命令送信中の TDI と TMS 値の変化

	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

4. 状態機械を遷移させ、Exit1-IR から Update-IR を経由して Run-Test-Idle に戻し、Run-Test-Idle で 3 クロックサイクル以上動作します。
5. 状態機械を Shift-DR に遷移させ、32 クロックサイクルを送信し、32 クロックサイクル目の送信前に、TMS を High にします。32 クロックサイクルの完了と同時に Shift-DR から Exit1-DR にジャンプします。32 クロックサイクルが送信されるうちに 32 ビットのデータ (0x0100381B) が読み出されます(図 7-12)。
6. 状態機械を Run-Test-Idle に戻します。

図 7-10 ID Code 読み出しの状態機械フローチャート

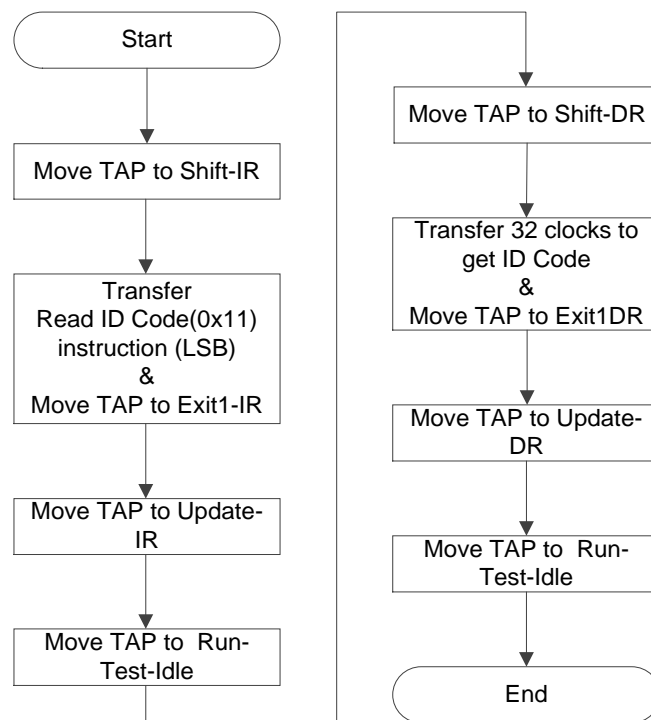


図 7-11 ID Code 読み出し命令-0x11 のアクセスタイミング

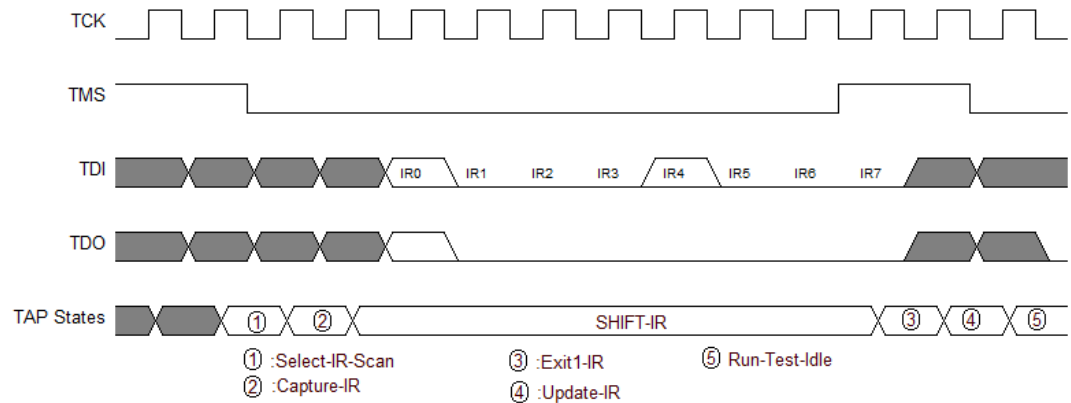
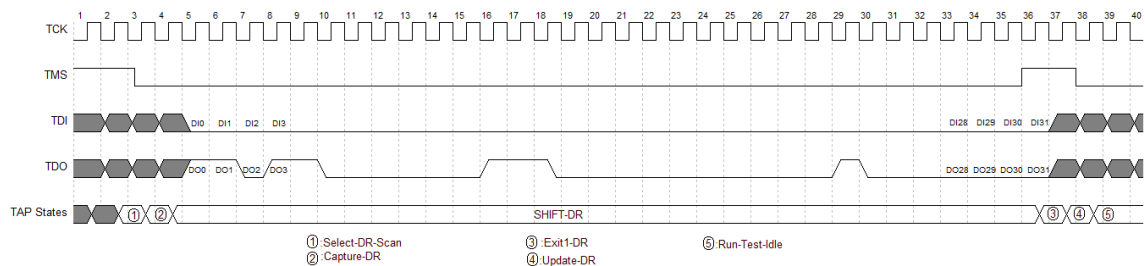


図 7-12 ID Code 読み出し際のデータレジスタのアクセスタイミング



SRAM をコンフィギュレーションする手順

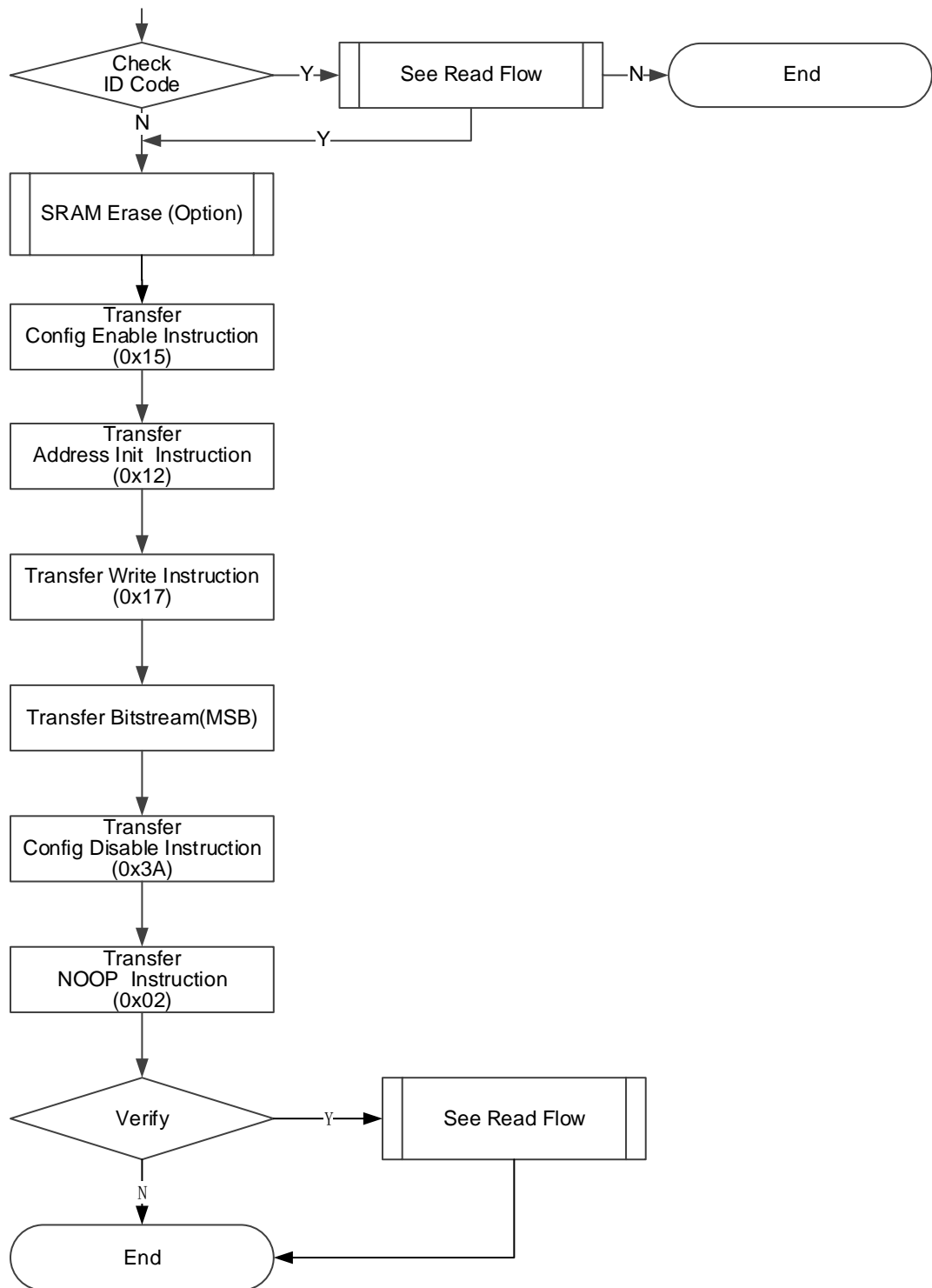
外部 Host で FPGA SRAM をコンフィギュレーションします。JTAG

を介した **SRAM** コンフィギュレーションは **Mode** ピンの影響を受けません。

Gowin ソフトウェアでデータストリーム・ファイルを生成し、**JTAG** を介して **SRAM** のコンフィギュレーションを実行します。以下に外部 **Host** による **SRAM** コンフィギュレーションの手順を紹介します(図 7-13)。

1. **JTAG** リンクを作成し、**TAP** リセットを実行します。
2. デバイスの **ID CODE** を読み出し、マッチするかチェックします。
3. **SRAM** がコンフィギュレーションされた場合、**SRAM** を消去する必要があります。[SRAM を消去する手順](#)を参照してください。
4. **ConfigEnable** 命令 **0x15** を送信します。
5. **Address Initialize** 命令 **0x12** を送信します。
6. **Transfer Configuration Data** 命令 **0x17** を送信します。
7. 状態機械を **Shift-DR**(データレジスタ)に遷移させ、すべての **Bitstream Data** を最上位ビット(**MSB**)から順に送信してから **Run-Test-Idle** 状態に戻します。
8. **Config Disable** 命令 **0x3A** を送信します。
9. **Noop** 命令 **0x02** を送信し、コンフィギュレーション手順を終了します。
10. **Configuration Data** をリードバックしたい場合、**SRAM** を読み出す手順を参照してください。

図 7-13SRAM コンフィギュレーションのフローチャート



SRAM を読み出す手順

ご注意：SRAM データはデフォルトでリードバックできません。

FPGA の SRAM からデータを読み出す場合、まず、SRAM の書き込み時にセキュリティビット(Security Bit)が設定されていないことを確認する必要があります。セキュリティビットはデータセキュリティを確保するために使用されます。セキュリティビットが設定されている場合、SRAM

から取得するデータはすべて 1(High レベル)となります。

ロード中に、FPGA は書き込まれたデータに対して CRC チェックを実行します

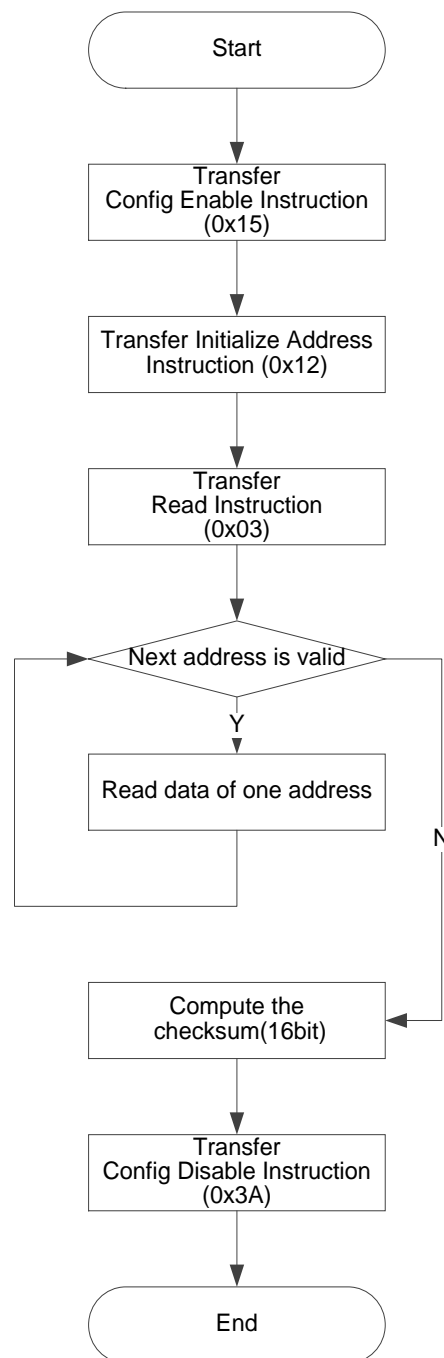
表 7-8 各デバイスの SRAM アドレス数とアドレス長さ

Device	Length of one address (bits/address)	Count of address
GW1N-1/GW1N-1S/ GW1NZ-1/GW1NR-1	1216	274
GW1N-1P5/GW1N- 2/GW1NR-2	1216	466
GW1N(R)-4/GW1NS(R)- 4/GW1NS(R)- 4C/GW1NSE(R)- 4C/GW1NRF-4B	2296	494
GW1N(R)-9	2836	712
GW2A(R)-18/GW2ANR- 18	3376	1342
GW2A(R)- 55(ES)/GW2AN-55	5536	2038

図 7-14 は読み出し手順の詳細です。

1. ConfigEnable 命令 0x15 を送信します。
2. Address Initialize 命令 0x12 を送信します。
3. SRAM Read 命令 0x03 を送信します。
4. 状態機械を Shift-DR(データレジスタ)に遷移させ、アドレス長さに相当するクロック信号を送信します(表 7-8 参照)。最後のクロックを送信すると同時に、TMS を High にし、Exit1-DR にジャンプします。この場合、TDO 経由で対応する長さのデータが読み出されます。最後に、Run-Test-Idle に戻します。
5. 手順 4 を繰り返します。1 つのアドレスのデータを読み出すたびに、そのアドレスが自動的に累積されます。
6. Config Disable 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、読み出し手順を終了します。

図 7-14 SRAM 読み出しのフローチャート



SRAM を消去する手順

SRAM を再コンフィギュレーションする場合、既存の SRAM を消去する必要があります。その手順は次のとおりです：

1. ConfigEnable 命令 0x15 を送信します。
2. SRAM Erase 命令 0x05 を送信します。
3. Noop 命令 0x02 を送信します。
4. 遅延するか、または Run Test 2~10ms。
5. SRAM Erase Done 命令 0x09 を送信します。

6. Config Disable 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、この手順を終了します。

注記：

EraseSram(0x05)命令、Noop(0x02)の送信後、消去完了まで十分な時間が必要です。

- GW1N(*)-1 の場合は 1ms が必要です。
- GW1N(*)-4 の場合は 2ms が必要です。
- GW1N(*)-9 の場合は 4ms が必要です。
- GW2A(*)-18 の場合は 6ms が必要です。
- GW2A(*)-55 の場合は 10ms が必要です。

オンチップ Flash をプログラムする手順

オンチップ Flash のプログラミングには、通常のプログラミングとバックグラウンドプログラミングがあります。2つのプログラミングのフローチャートを図 7-15 および図 7-16 に示します。

図 7-15 通常のプログラミングのフローチャート

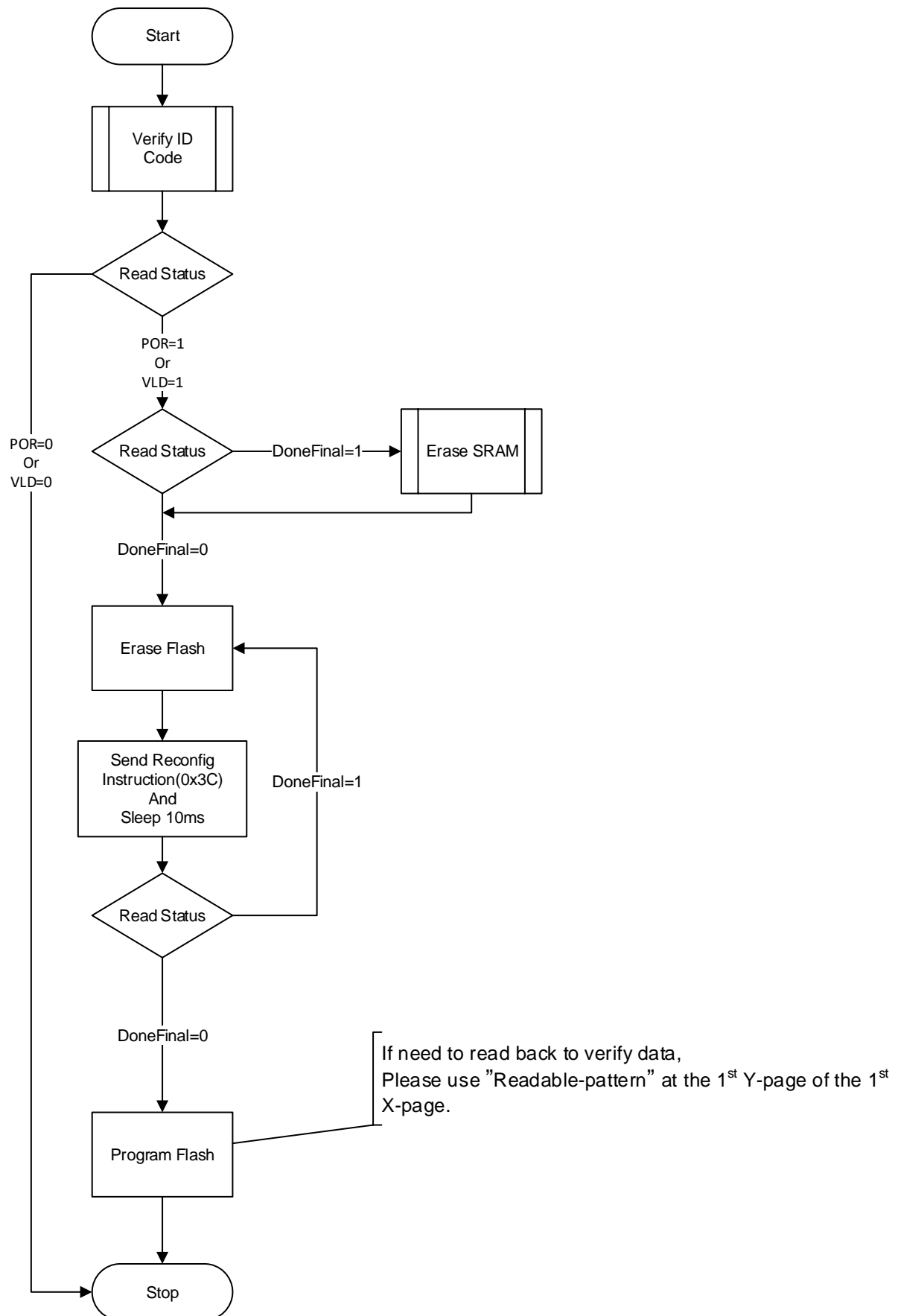
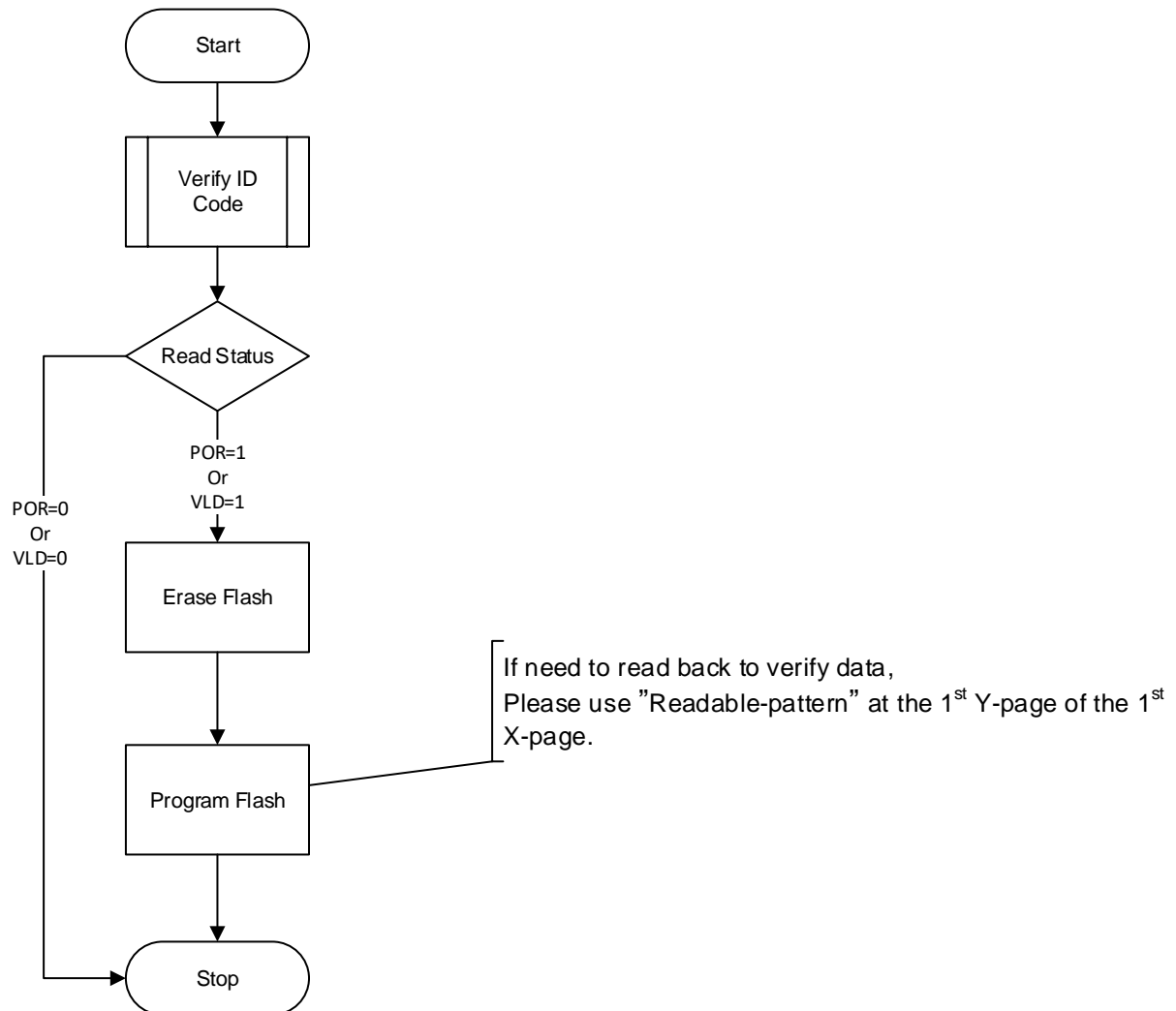


図 7-16 バックグラウンドプログラミングのフローチャート



オンチップ Flash を消去する手順

GW1N シリーズのオンチップ Flash メモリは、プログラミング前に消去する必要があります。データセキュリティのため、オンチップ Flash はチップ全体の消去のみをサポートします。

現在、オンチップ Flash の、JTAG プログラミング周波数の要件は、プロセスによって異なります(表 7-9)。

表 7-9 JTAG の TCK 周波数要件

デバイス	TCK 周波数範囲	プロセスコード
GW1N-1 GW1N-1S	1.4MHz ~ 5MHz	H
GW1N-2, GW1N-1P5	1.3MHz ~ 30MHz	T
GW1N(RF)-4B GW1NSER-4C GW1N(R)-9(C) GW1NZ-1	1.3MHz ~ 30MHz	T

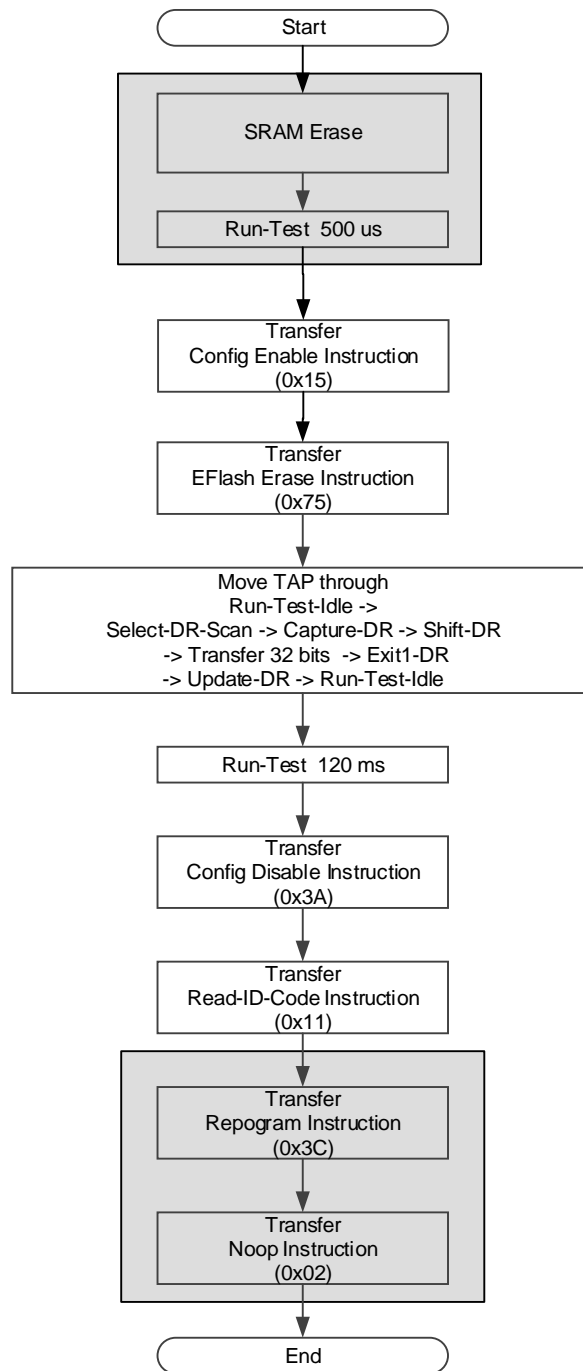
デバイス	TCK 周波数範囲	プロセスコード
GW2AN-55	0MHz ~ 25MHz	-
GW2ANR-18	0MHz ~ 40MHz	-

T プロセスの場合の FPGA 消去手順

図 7-17 に、T プロセスの場合の GW1NZ-1 チップ消去の手順を示します(他のモデルの場合はスキップしてください)。

1. JTAG リンクを作成し、TAP リセットを実行します。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。
3. SRAM がコンフィギュレーションされた場合、SRAM をまず消去します。
4. Run-Test-Idle(Run-Test)で継続的にクロックを 500 μ s 生成します。
5. ConfigEnable 命令 0x15 を送信します。
6. EFlash Erase 命令 0x75 を送信します。
7. 以下の順に状態機械を遷移させます : Run-Test-Idle -> Select-DR-Scan -> Capture-DR -> Shift-DR -> Transfer 32 bits -> Exit1-DR -> Update-DR -> Run-Test-Idle
8. Run-Test-Idle(Run-Test)で継続的にクロックを 120ms 生成します。ここには周波数の要件があります(表 7-9 参照)。
9. Config Disable 命令 0x3A を送信します。
10. Noop 命令 0x02 を送信し、消去手順を終了します。
11. Reprogram 命令 0x03 を送信してデバイスを再コンフィギュレーションし、消去が成功したかどうかを確認します。

図 7-17T プロセスの場合のオンチップ Flash 消去のフローチャート

**注記：**

バックグラウンドプログラミングの場合、シェードエリアの操作を無視してください。

H プロセスの場合の FPGA 消去手順

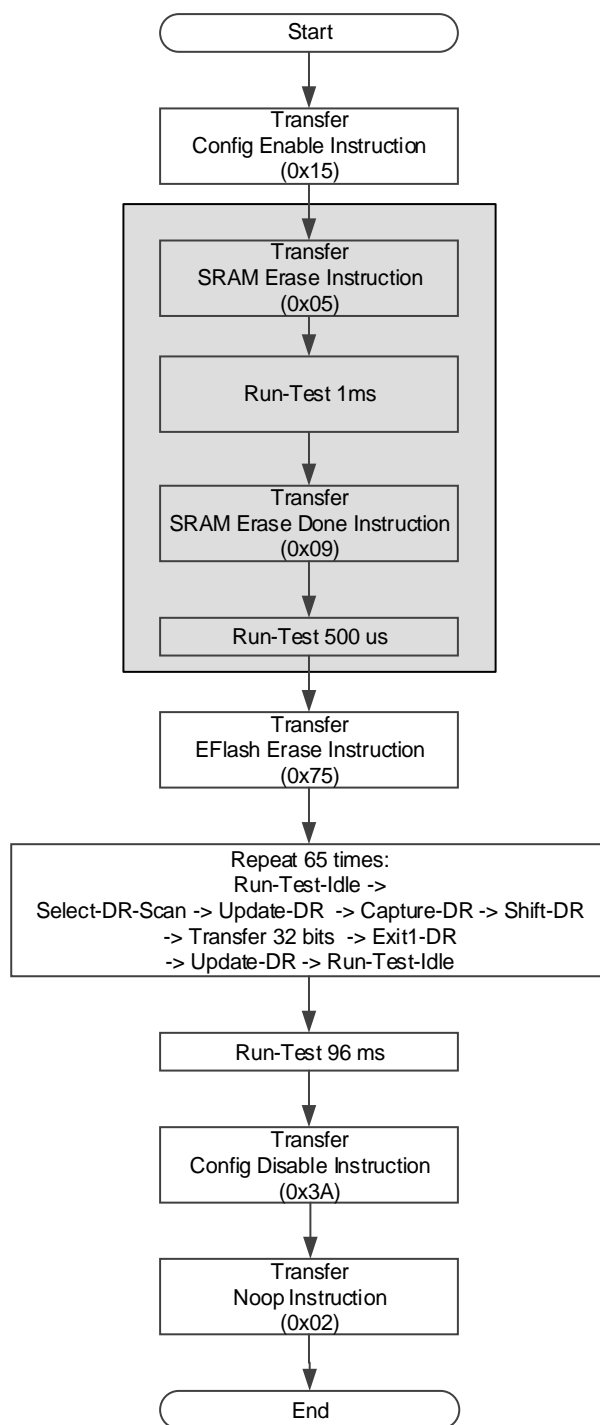
H プロセスの場合の FPGA 消去手順：

1. ConfigEnable 命令 0x15 を送信します。
2. EFlash Erase 命令 0x75 を送信します。
3. 状態機械を Run-Test-Idle から Shift-DR に遷移させ、32 クロック信号を生成します(TDI 信号は Low のまま)。32 クロックサイクル目と同時

に、状態機械を **Exit1-DR** に遷移させ、そして **Update-DR** を経由して **Run-Test-Idle** に戻します。

4. 上記の手順を 65 回繰り返します。
5. **Run-Test-Idle(Run-Test)**で継続的にクロックを 95ms 生成します。ここには周波数の要件があります(表 7-9 参照)。
6. **Config Disable** 命令 **0x3A** を送信します。
7. **Reprogram** 命令 **0x03C** を送信し、消去が成功したかどうかを確認します。
8. **Noop** 命令 **0x02** を送信し、消去手順を終了します。

図 7-18 H プロセスの場合のオンチップ Flash 消去のフローチャート



オンチップ Flash をプログラムする手順

オンチップ Flash の 1 X-page(256 バイト)には 64 の 4 バイトの Y-page があります。

1 つ目の X-page の 1 つ目の Y-page は、Flash が AUTO BOOT(自動ロード)機能またはリードバック機能を備えられるかどうかを示すために使用されます。表 7-10 に示す通りです。1 つ目の Y-page に Readable-

pattern が書き込まれた場合、Flash データは読み出し可能です。1 つ目の Y-page に Autoboot-pattern が書き込まれた場合、デバイスは AUTO BOOT モードで Flash データを SRAM に自動的にロードします。Readable-pattern が書き込まれた場合のみ読み出しが可能で、そうでない場合は読み出しができません。Background programming 機能を備えたデバイスの場合、Autoboot-pattern のみが必要です。

データをリードバックする必要がない場合は、データストリーム・ファイルのヘッダーに Autoboot-pattern データを挿入する必要があります。1 X-Page の容量が 256 バイト未満の場合、0xFF または 0x00 で埋めることができます。

現在、GW1N シリーズのオンチップ Flash の、JTAG プログラミング周波数の要件は、プロセスによって異なります(表 7-9 JTAG の TCK 周波数要件)。

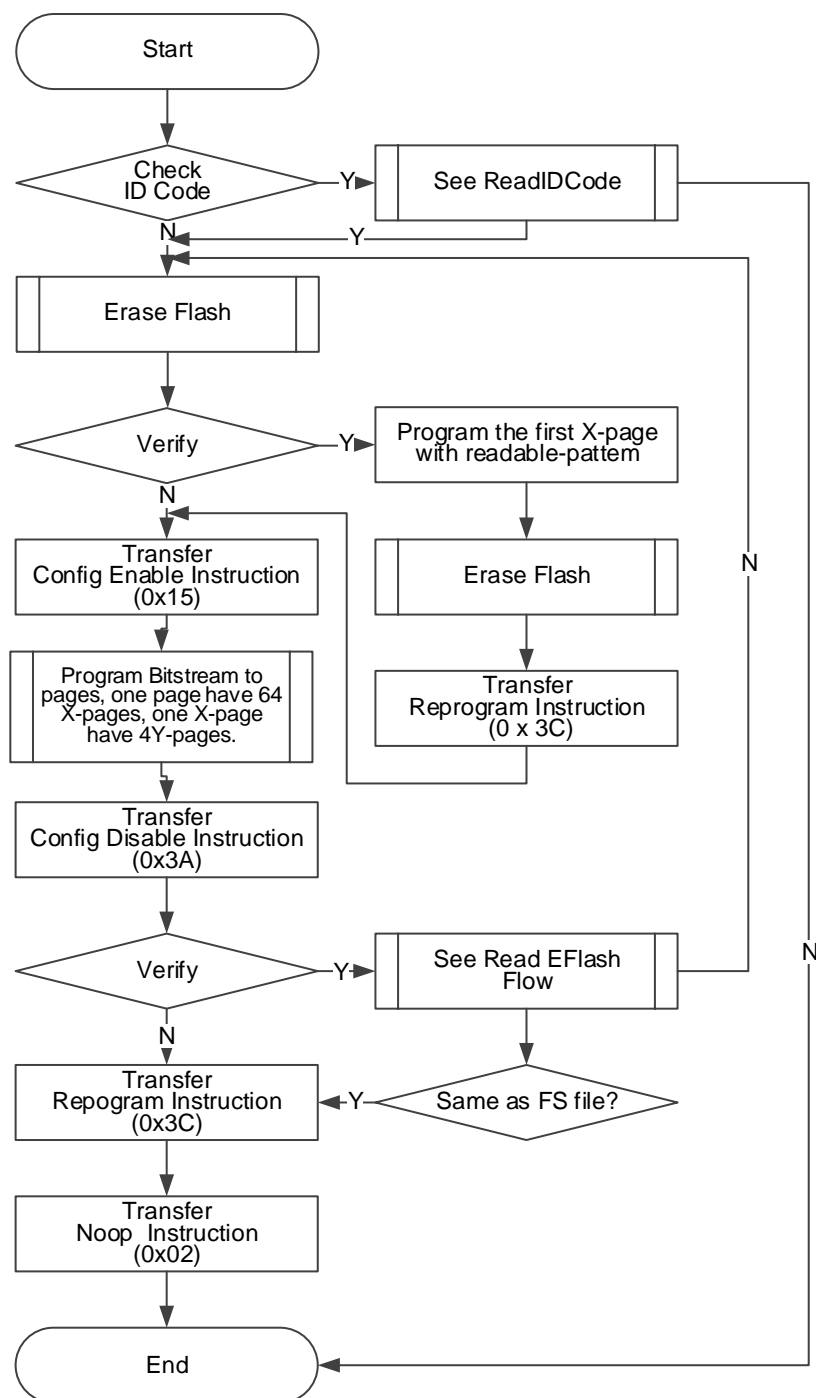
表 7-10 Readback-pattern / Autoboot-pattern

Device	Readable-pattern(4 Bytes)	Autoboot-pattern(4 Bytes)
H プロセス採用デバイス	0x07,0x07,0x30,0x40	0x47,0x57,0x31,0x4E
T プロセス採用デバイス	0xF7,0xF7,0x3F,0x4F	

図 7-19 は、オンチップ Flash のプログラミング手順です。

1. ID Code がマッチするかチェックします。
2. オンチップ Flash を消去します。
3. 消去が成功したかどうかは、ステータスレジスタを読み出してデバイスがダイの初期状態に復元されたかどうかを確認することで検証できます。バックグラウンドプログラミングおよび GW1NS シリーズデバイスの場合は、この方法で判断できません。
4. ConfigEnable 命令 0x15 を送信します。
5. プログラミングが完了するまで、X-page 単位で 1 回ずつ書き込みます。
6. Config Disable 命令 0x3A を送信します。
7. Reprogram 命令 0x3C を送信し、デバイスがデータを Flash から SRAM にロードするようにします。
8. Status Code/User Code を読み出してロードが成功したかどうかを確認します。

図 7-19 オンチップ Flash のプログラミングのフローチャート



1 X-page をプログラムする手順

図 7-20 は、1 X-page をプログラムする手順です。

1. ConfigEnable 命令 0x15 を送信します。
2. EF-Program 命令 0x71 を送信します。
3. Shift-DR に入ってアドレスデータを送信します^[1]。
4. 1 X-page のデータを書き込みます。
1 X-page は 256 バイトで構成されています。64 回 x4 バイト/回のよ

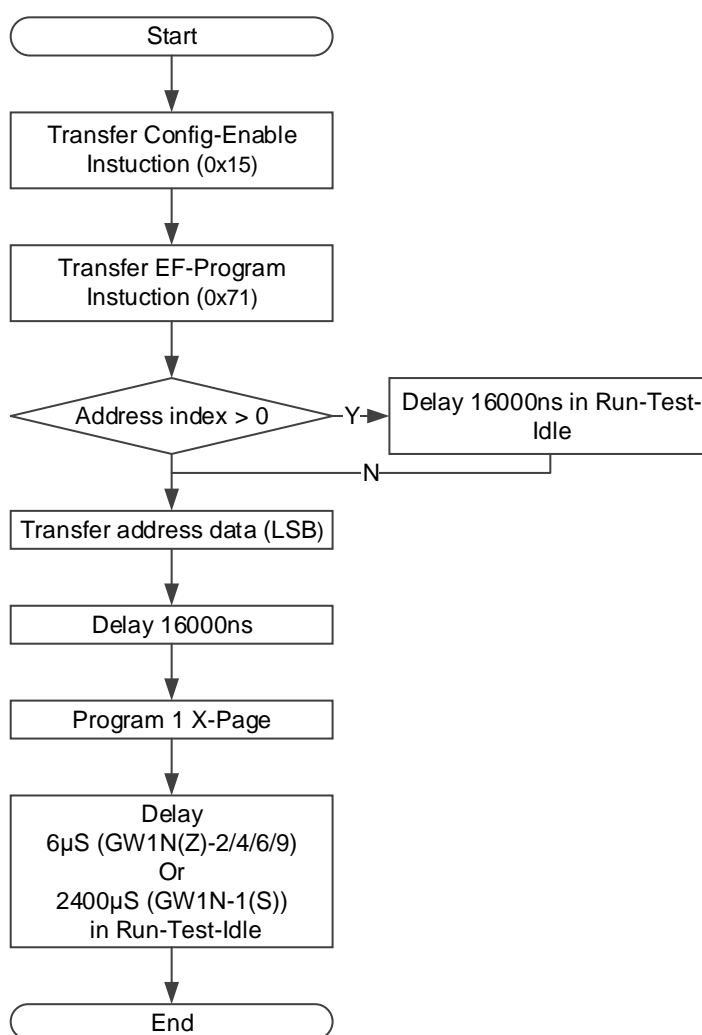
うにプログラミングされます。Y-page のデータ書き込みは LSB ファーストです。図 7-20 を参照してください。

5. 1 X-page の書き込み後、GW1N-1(S)デバイスには 2400us のクロック、GW1N(Z)-2/4/6/9 シリーズには 6us のクロックが必要です。
6. 1 X-page のプログラミングが終了します。

注記：

[1]アドレスは計 **32bits** で、そのうち下位 **6 ビット**は予約されます。例えば、アドレスが **b' 00010011(0x13)**の場合、書き込まれるアドレスは **b' 00000000000000000000000000000000100110000000** になります。このアドレスデータは **LSB** ファーストの順で書き込まれます。最後のビットの書き込み完了と同時に **Shift-DR** からジャンプアウトします。

図 7-20 X-page プログラミングのフローチャート



1 Y-page をプログラムする手順

プログラミング手順の最小単位としての **Y-page** プログラミングにおいては、**4 バイト**ごとに **LSB** ファーストの順で書き込まれます(図 7-21)。

書き込まれたあと、書き込みが完了するのを待つための **Run-Test** が

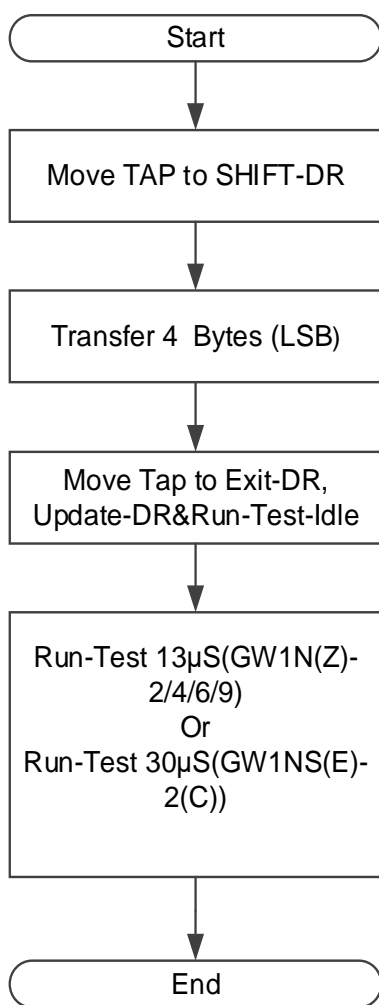
必要です。さらに、JTAG クロックは、最小周波数要件を満たす必要があります(表 7-9 参照)。

1 Y-page を書き込んだたびに、GW1N(Z)-2/4/6/9 シリーズには 13-15 μs の Run-Test、GW1N(S)-2(C)シリーズには 30-35 μs の Run-Test が必要です。

注記：

Configuration Data から上位 4 バイトを取得しますが、Shift-DR でのデータ書き込み時には、最下位ビットから書き込みます。

図 7-21 Y-page プログラミングのフローチャート



オンチップ Flash を読み出す手順

以下はオンチップ Flash 読み出し手順(プロセス)の概要です。この場合、JTAG の TCK には周波数上の要件がありません。図 7-22 に示す通りです。

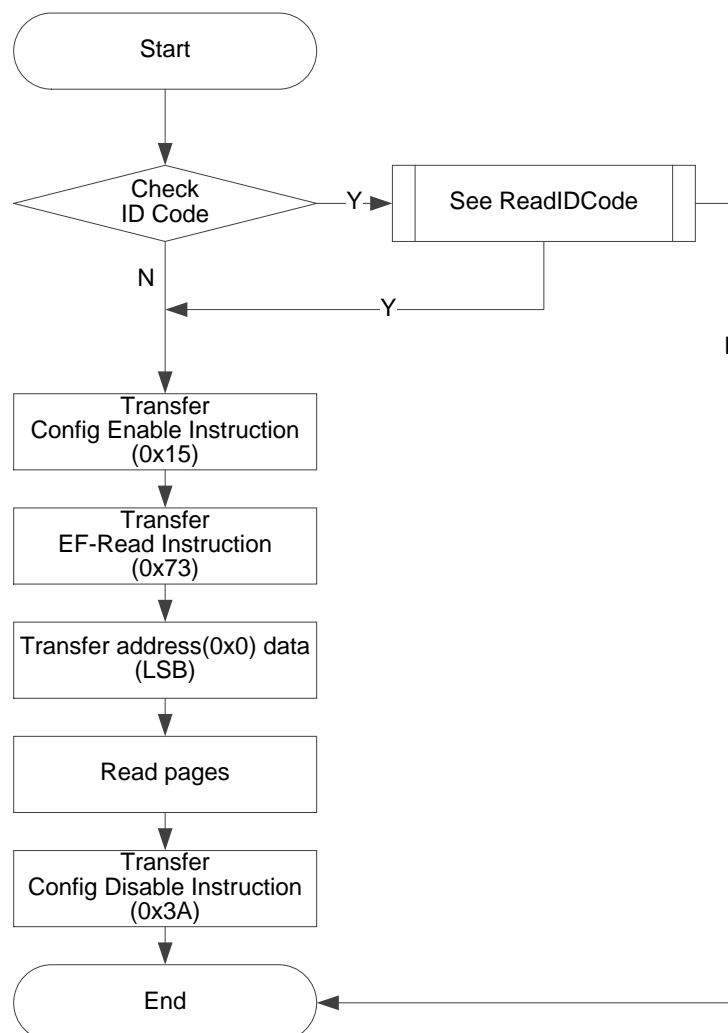
オンチップ Flash の読み出しは、Flash プログラミングの逆プロセスと見なすことができます。ただし、まず書き込まれた Readable-pattern が既に有効であることを確認する必要があります。GW1N の場合、Readable-pattern の書き込み後、順に Reprogram(0x3C)と Noop(0x02)を

送信すると、オンチップ Flash を Readable 状態にできます。

手順の概要：

1. ID Code をチェックします(オプション)。
2. ConfigEnable 命令 0x15 を送信します。
3. EF-Read 命令 0x73 を送信します。
4. Flash 読み出しの開始アドレス 0x0 を送信します。その方法はオンチップ Flash をプログラムする手順の X-address 書き込みと同じです。
5. 64 Y-page の読み出しは、1 X-page の読み出しに相当します。
6. そのアドレスは自動的に再帰的となるため、1 X-page を読み出すたびにアドレスを再送信する必要はありません。
7. 読み出し完了後、ConfigDisable 命令 0x3A を送信して手順を終了します。

図 7-22 オンチップ Flash 読み出しのフローチャート

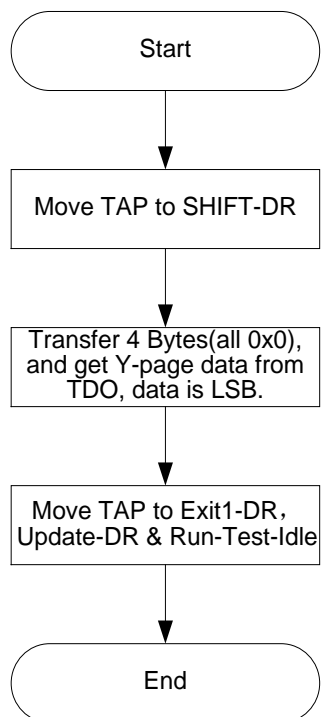


1 Y-page を読み出す手順

Y-page の書き込みと似ていますが、Flash 書き込みの待ち時間はありません(図 7-23)。

最初に出力されるデータは、最下位ビットです。

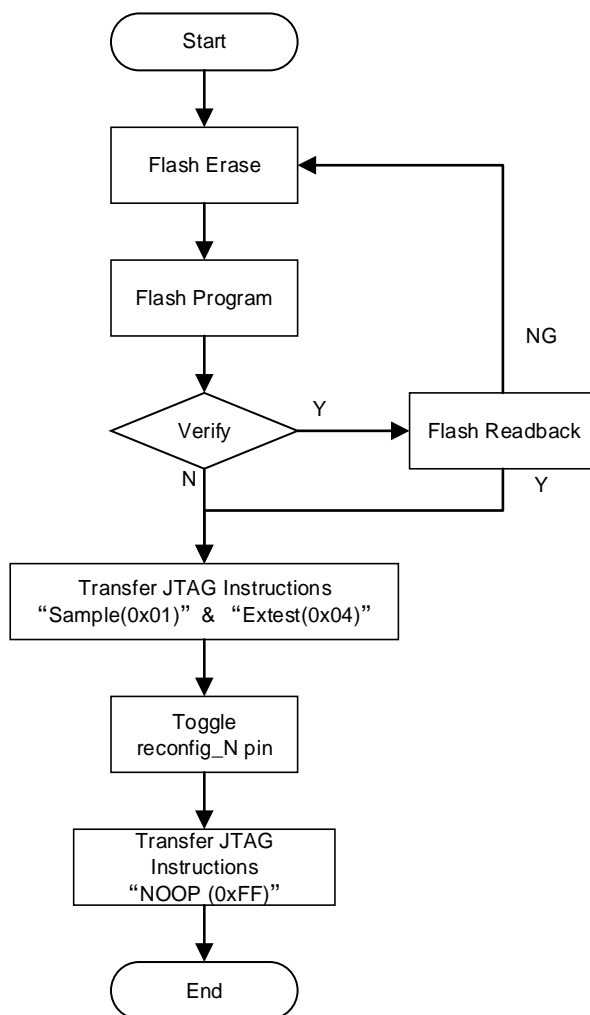
図 7-23 1 Y-page 読み出しのフローチャート



バックグラウンドプログラミング(Background Programming)

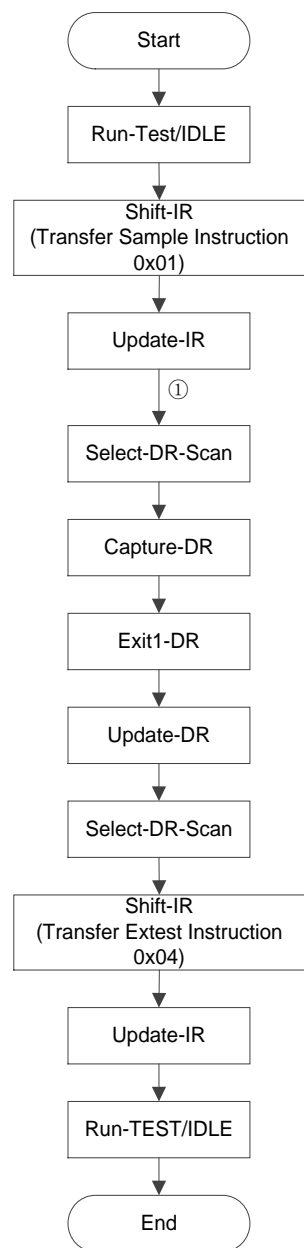
現在の機能に影響を与えずに **Flash** をプログラムしてデバイスのデータストリーム・ファイルをアップグレードすること(バックグラウンドプログラミング)が必要な場合があります。この場合、新しいデータストリーム・ファイルをロードする時、IO の状態を維持することができます。下図は、**GW1N-4** がバックグラウンドプログラミングを使用してオンチップ Flash データをアップグレードするフローチャートです。

図 7-24 GW1N-4 バックグラウンドプログラミングのフローチャート



Transfer JTAG Instructions Sample & Extest のフローチャートを図 7-25 に示します。

図 7-25 Transfer JTAG Instruction Sample & Exttest のフローチャート



注記：

①では、直接 Update-IR から Select-DR-Scan にジャンプします。

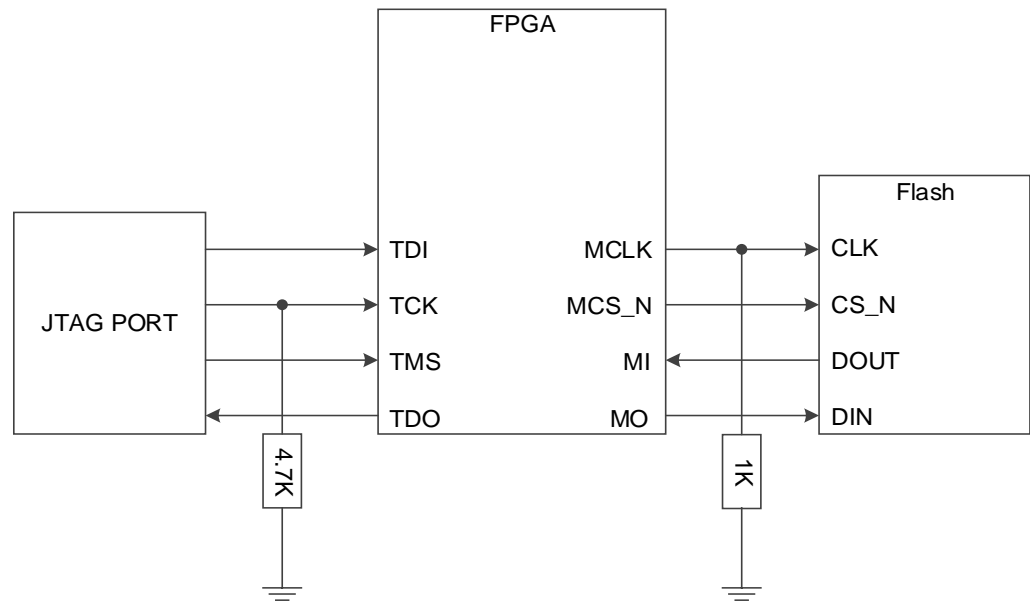
オフチップ Flash または組み込み SPI Flash のプログラミング

GOWIN FPGA は、オフチップ Flash からデータストリーム・ファイルをロードできます。オフチップ Flash は JTAG を通じて直接プログラミングできます。

注記：

GW2AN-55 には、SPI Flash が組み込まれています。そのプログラミング方法は、GW2A-18、GW2A-55 と同様です。GW2AN-55 の 4 本の外部ピン(MCLK, MCS_N, MI, MO)はフローティングのままにする必要があります。

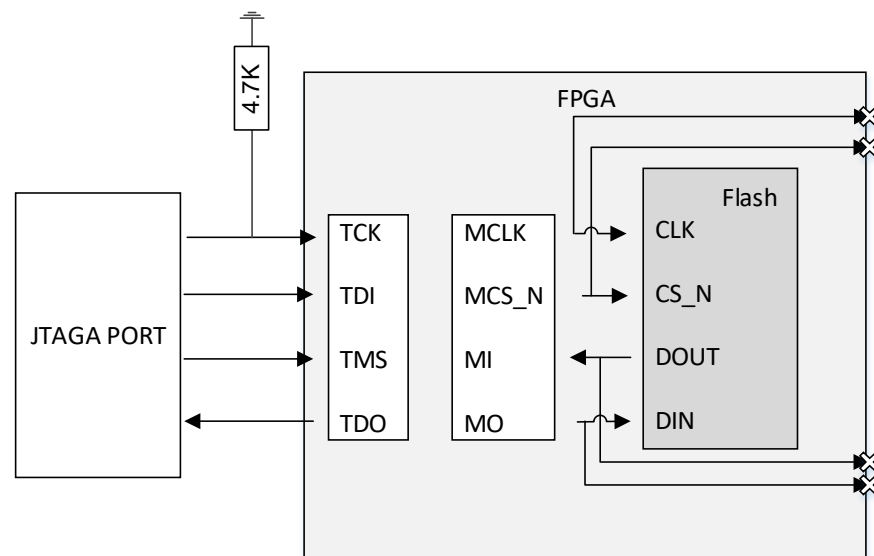
図 7-26 JTAG インターフェースを介したオフチップ Flash プログラミングの接続図
(GW2A(R)-18/GW2A-55/LittleBee®ファミリー)



注記：

この図は JTAG インターフェースを介したオフチップ Flash プログラミングの最小システム図です。

図 7-27 JTAG インターフェースを介した組み込み Flash プログラミングの接続図
(GW2AN-55)



注記：

この図は JTAG インターフェースを介した組み込み SPI Flash プログラミングの最小システム図です。MSPI の 4 本のピン(MCLK, MCS_N, MI, MO)はフローティングのままにする必要があります。

JTAG-SPI 変換を利用したオフチップ Flash プログラミング

このモードでは、JTAG インターフェースを介してオフチップ Flash

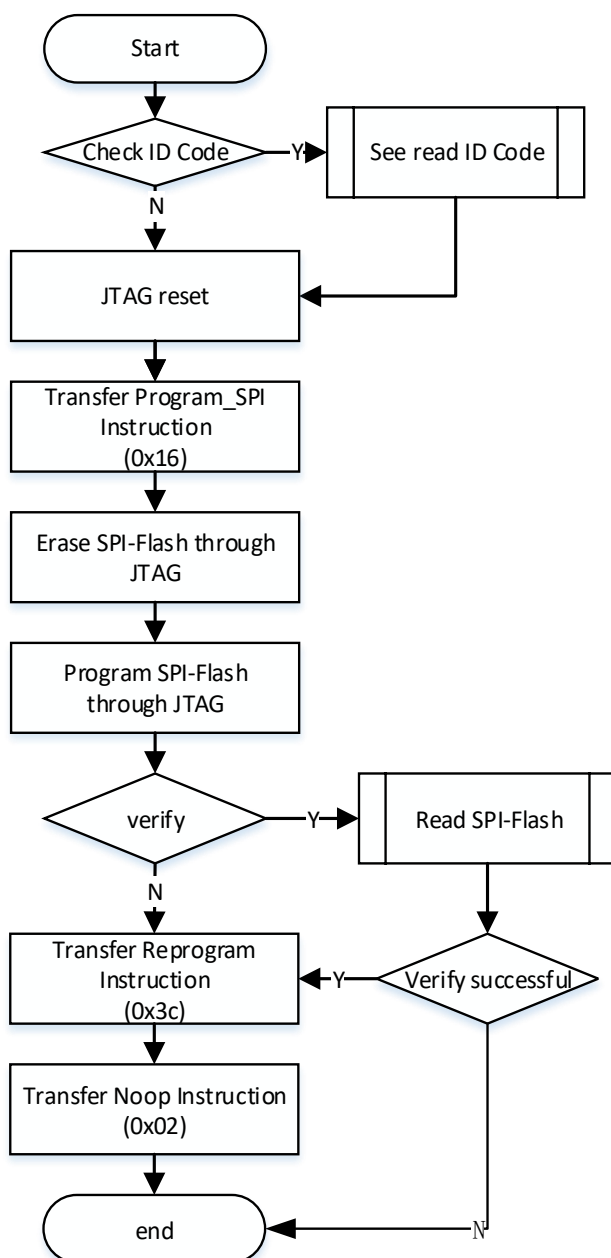
をプログラムします。

その原理は、JTAG インターフェースを転送で Flash のインターフェースに接続することです。ユーザーは、JTAG により Master SPI タイミングをエミュレートして SPI Flash をプログラムします。

注記：

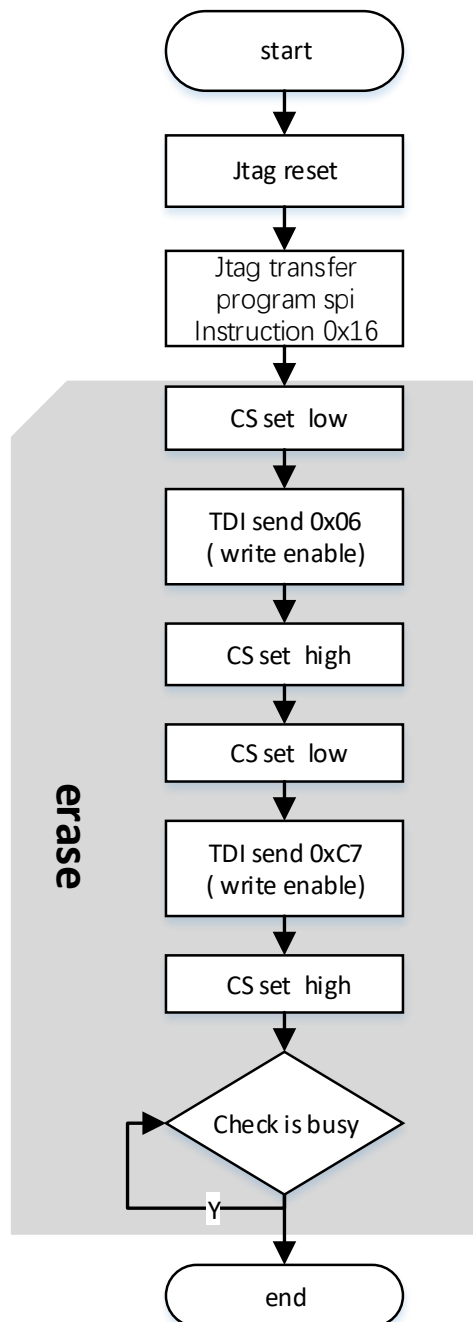
- 0x16 の送信後、FPGA は JTAG 信号を MSPI ピンに転送して SPI Flash をコンフィギュレーションします。JTAG がリセットされると、この転送機能は無効になります。
- SPI Flash からデータをリードバックする場合、1 クロック目のデータは無効です。例えば、Flash ID Code をリードバックする場合、0x9F 命令の送信後、3 バイトのデータをリードバックする前に、さらに 1 クロックの送信が必要です。
- SPI タイミングをエミュレートするには、JTAG は、SHIFT-DR 状態である必要があります。

図 7-28 SPI Flash プログラミングのフローチャート



SPI Flash 消去のフローチャートを図 7-29 に示します：

図 7-29 SPI Flash 消去のフローチャート



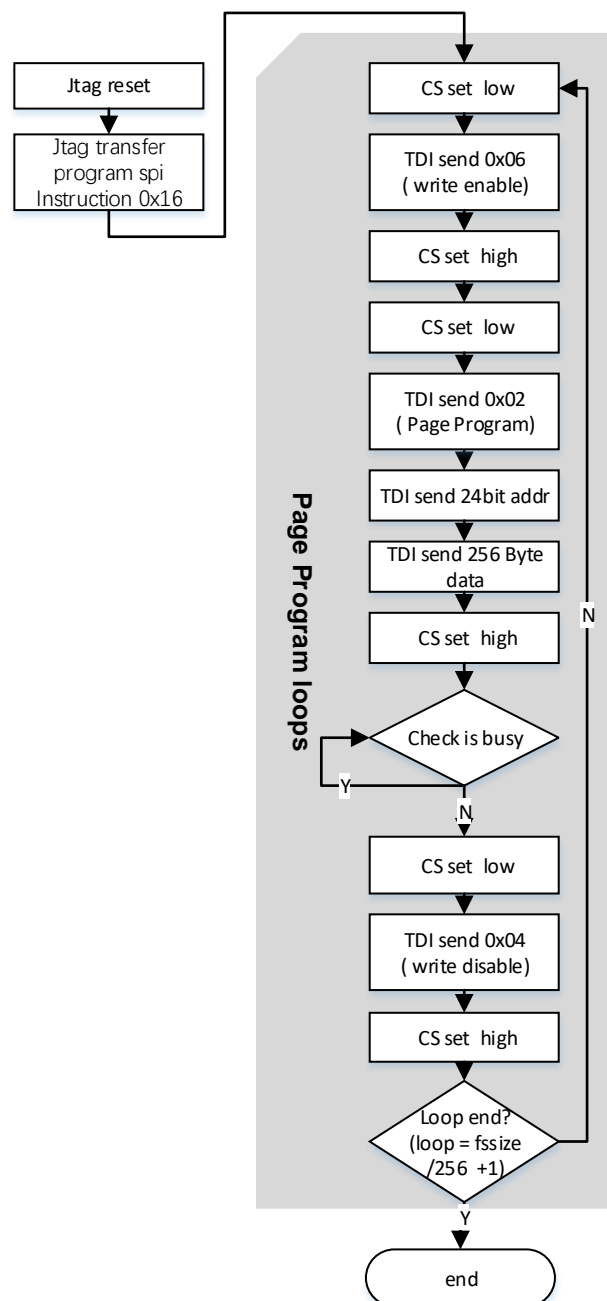
SPI Flash 消去のフローは次のとおりです：

1. JTAG リセット。
2. JTAG は program SPI 命令 0x16 を転送します(LSB)。
3. JTAG 信号 (TCK、TMS、TDI、TDO) は、それぞれ MCLK、CS、MOSI、MISO に接続されます。
4. JTAG で CS を Low にし、MOSI に命令 0x06 を書き込ませます。
5. JTAG で CS を High にします。
6. JTAG で CS を Low にし、MOSI に命令 0xc7 を書き込ませます。

7. JTAG で CS を High にします。
8. SPI がビジー状態であるかを確認します。
9. 消去終了。

SPI Flash の 1 ページをプログラムするフローを下図に示します。SPI Flash は、ループでページごとにプログラミングされます。

図 7-30 SPI Flash の 1 ページをプログラムするフローチャート



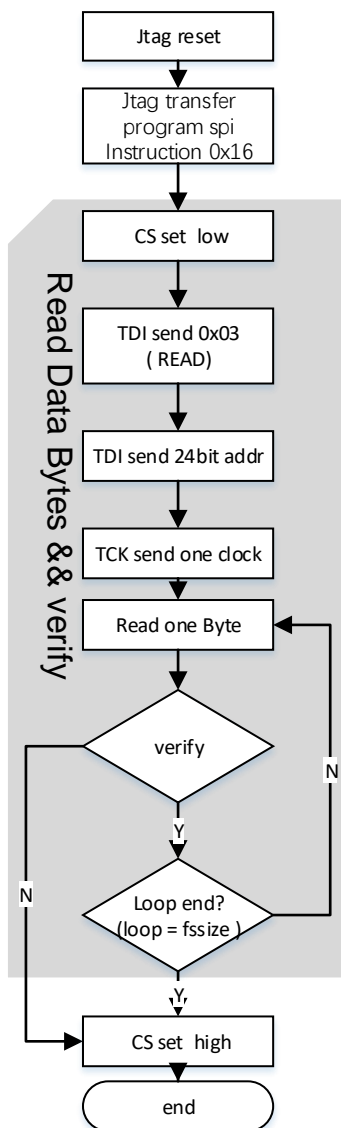
SPI Flash の 1 ページをプログラムするフローは次のとおりです：

1. JTAG リセット。
2. JTAG は program SPI 命令 0x16 を転送します(LSB)。

3. JTAG 信号 (TCK、TMS、TDI、TDO) は、それぞれ MCLK、CS、MOSI、MISO に接続されます。
4. JTAG で CS を Low にし、MOSI に命令 0x06 を書き込ませます。
5. JTAG で CS を High にします。
6. JTAG で CS を Low にし、MOSI に命令 0x02、3 バイトのアドレス、および 256 バイトの fs データを書き込ませます。
7. JTAG で CS を High にします。
8. SPI がビジー状態であるかを確認します。
9. JTAG で CS を Low にし、MOSI に命令 0x04 を書き込ませます。
10. JTAG で CS を High にします。
11. 1 ページのプログラミング終了。

SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャートは、図 7-31 に示すとおりです。

図 7-31 SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャート



SPI Flash のデータストリーム・ファイルのリードバックと検証のフローは次のとおりです：

1. JTAG リセット。
2. JTAG は program SPI 命令 0x16 を転送します(LSB ファースト)。
3. JTAG 信号 (TCK、TMS、TDI、TDO) は、それぞれ MCLK、CS、MOSI、MISO に接続されます。
4. JTAG で CS を Low にし、MOSI に命令 0x03 および 3 バイトのアドレスを書き込ませます。
5. JTAG で MCLK に 1 つのクロックを送信させます。
6. JTAG で 1 バイトずつデータをリードバックします。
7. リードバックしたデータと書き込んだデータを比較し、同じであれば最後のバイトまで次のバイトを比較し続けます。同じでなければループからジャンプアウトします。

8. JTAG で CS を High にします。
9. リードバックと検証終了。

図 7-32 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図(GW2A シリーズ)

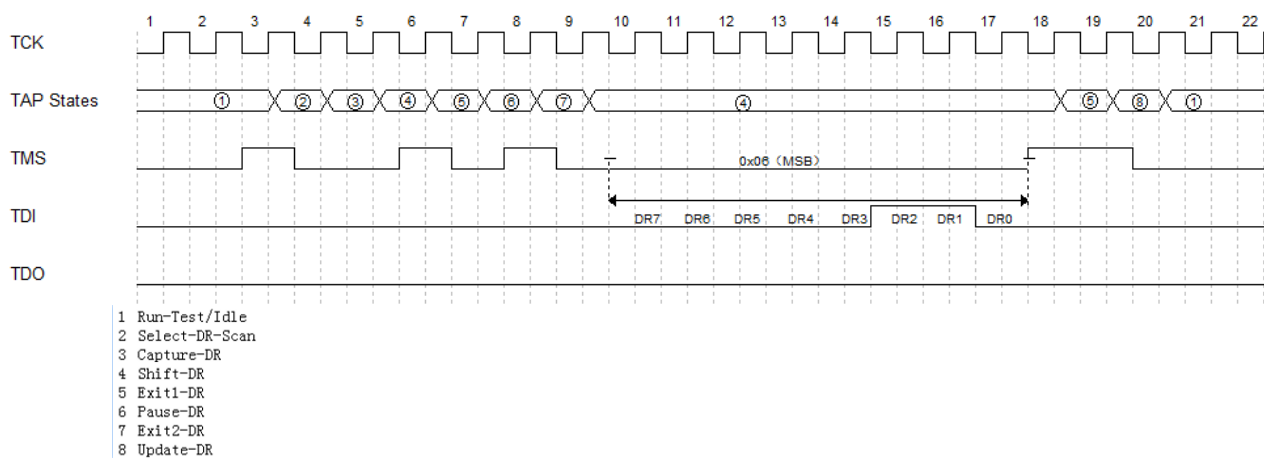
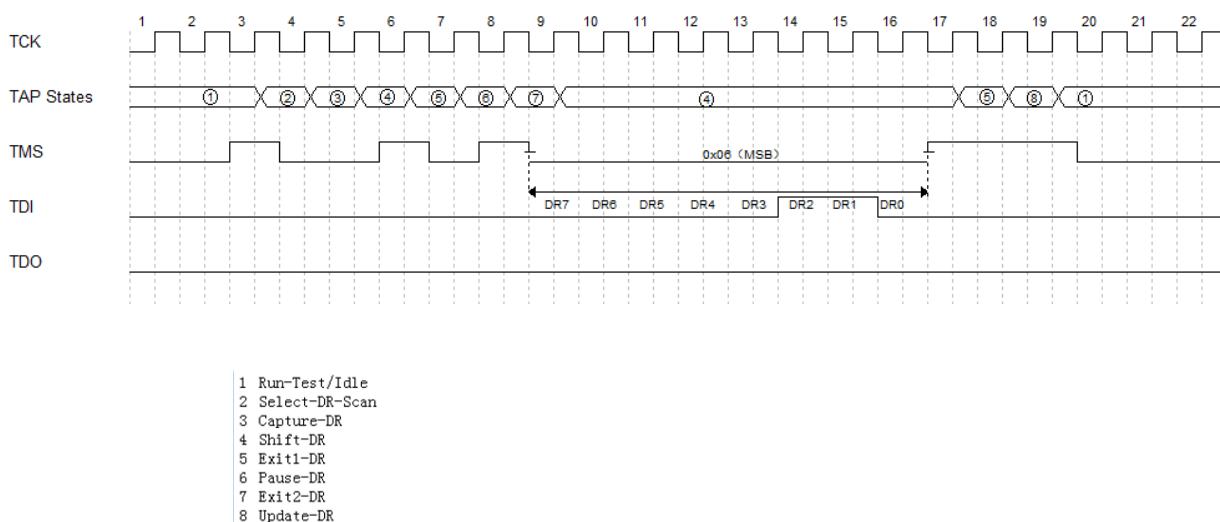


図 7-33 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図(GW1N シリーズ)



JTAG Boundary Scan での SPI Flash プログラミング

このモードの原理は、Boundary Scan の方法を使用して SPI と接続するピンの状態を変更することで、SSPI タイミングを実現し、オンチップ Flash をプログラムします。

このモードで採用される Boundary Scan Chain の長さは 8 ビットで、各 2 ビットの組み合わせがピンの状態に対応します(表 7-11)。Boundary Scan Chain の 2 回送信ごとに、1 回の SCLK 駆動が完了します。

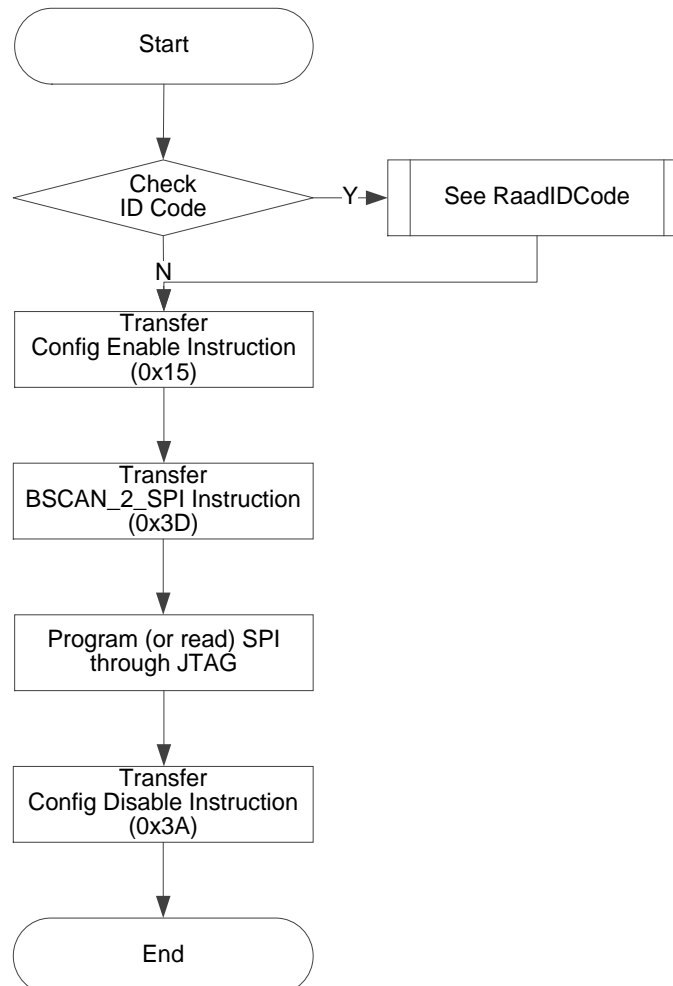
表 7-11 ピンの状態

SPI Flash のピン名	SCLK		CS		DI		DO	
Bscan Chain[7:0]	7	6	5	4	3	2	1	0
(ctrl & data)	0		0		0		1	

注記：

- ctrl : 0 は出力、1 は入力を表します。
- data : 0 は Low レベル、1 は High レベルを表します。

図 7-34 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート



Status Register の読み出し(0x41)

Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wakeup の成功、読み込みエラーの有無などを確認できます。

Status Register は合計 32 ビットあり、読み出し命令は 0x41 で、読み出しタイミングは Read ID Code と同様です。

Status Register の各ビットの意味は、表 7-12～表 7-14 に示す通りです。

表 7-12 Status Register の各ビットの意味(一)

Status Register[31:0]	Device
	GW1N(R)-(1/4B/4C/4D)/GW1NRF-4B
0	CRC Error Flag (1 : エラーあり。0 : エラーなし)
1	Bad Command Error Flag (1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error Flag (1 : エラーあり。0 : エラーなし)
3	Timeout Error Flag (1 : エラーあり。0 : エラーなし)
4	0
5	Memory Erase
6	Preamble
7	Edit Mode
8	program SPI directly
9	0
10	Non-jtag active
11	bypass state
12 ^[1]	Gowin VLD(1 : 正常。0 : 異常)
13	Done Final(通常、ロードが成功した場合は 1、ロードが失敗した場合は 0)
14	Security Final(1 : セキュリティビットが有効、0 : セキュリティビットが無効)
15	Ready(1 : 正常。0 : 異常)
16	POR(1 : 正常。0 : 異常)
17-31	0

注記：

* Gowin VLD はオンチップ Flash に関連するパラメータです。

表 7-13 Status Register の各ビットの意味(二)

Status Register[31:0]	Device GW1N(R)-(1P5/2/6/9/9C)/GW1NS-4(4C)/ GW1NSR-4(4C)/GW1NSE-4C/GW1NSER-4C/GW1NZ-(1/2)
0	CRC Error Flag (1 : エラーあり。0 : エラーなし)
1	Bad Command Error Flag (1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error Flag (1 : エラーあり。0 : エラーなし)
3	Timeout Error Flag (1 : エラーあり。0 : エラーなし)
4	0
5	Memory Erase
6	Preamble
7	Edit Mode
8	program SPI directly
9	AutoBoot State
10	Non-jtag active
11	bypass state
12 ^[1]	Gowin VLD(1 : 正常。0 : 異常)
13	Done Final(通常、ロードが成功した場合は 1、ロードが失敗した場合は 0)
14	Security Final(1 : セキュリティビットが有効、0 : セキュリティビットが無効)
15	Ready(1 : 正常。0 : 異常)
16	POR(1 : 正常。0 : 異常)
17	Flash Lock
18-31	0

注記：

* Gowin VLD はオンチップ Flash に関連するパラメータです。

表 7-14 Status Register の各ビットの意味(三)

Status Register[31:0]	Device GW2A(NR)-18/18C/55/55C
0	CRC Error Flag (1 : エラーあり。0 : エラーなし)
1	Bad Command Error Flag (1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error Flag (1 : エラーあり。0 : エラーなし)
3	Timeout Error Flag (1 : エラーあり。0 : エラーなし)
4	0
5	Memory Erase
6	Preamble
7	Edit Mode
8	program SPI directly
9	0
10	Non-jtag active
11	bypass state
12	0
13	Done Final(通常、ロードが成功した場合は 1、ロードが失敗した場合は 0)
14	Security Final(1 : セキュリティビットが有効、0 : セキュリティビットが無効)
15	Encryption Format(1 : 暗号化されたデータストリーム・ファイルが使用されている)
16	Encryption Key Match(1 : キーが正しい。0 : キーが間違っている)
17-31	0

GW1N FPGA デバイス(LittleBee ファミリー)のプログラミング

ステータスレジスタの Bit-15 READY は、プログラミング中にエラーがある場合にのみ 0x0 を返します。プログラミング際に発生するエラーには、CRC エラー、不正なコマンド、ID CODE の不一致などがあります。

ステータスレジスタ Bit-15 READY が 0x0 を返した場合、ダウンロードエラーの原因をステータスレジスタの Bit[3:0]で確認することができます。

す。

ステータスレジスタ **Bit-13 DONE** は、ダウンロードが成功したかを確認するために、常に **READY**（上記参照）と一緒に使用しなければならず、単独で使用することはできません。

GW1N FPGA デバイス(LittleBee ファミリー)のステータスレジスタの返り値

0x0001B020(セキュリティビットが **1** にセットされていない)は、FPGA が正常にコンフィギュレーションされたことを示します(ダウンロードデータが **SRAM** から読み出される可能性があるため、プロダクションでは推奨されません)。

また、**0x0001F020**（セキュリティビットが **1** にセットされる）も、FPGA が正常にコンフィギュレーションされたことを示します

つまり、ダウンロードが成功した場合のステータスレジスタの返り値は次のとおりです：

- Bit-16 POR = 0x1
- Bit-15 Ready = 0x1
- Bit-14 Security Final = 0x1 または 0x0 (上記参照)
- Bit-13 DONE Final = 0x1
- Bit-12 VLD = 0x1

GW2A FPGA デバイス(Arora ファミリー)のプログラミング

GW2A デバイスをプログラムする場合、以下のビットはプログラミング中にのみ使用され、プログラミングが完了すると自動的に **0** にクリアされます。つまり、この **2** ビットの最終的なステータス返り値は、常に **0x0** となります。

- Bit-15 Encrypted Format
- Bit-16 Encrypted Key is Right

また、GOWIN VLD ステータスビットは、Flash 内蔵のデバイスにのみ適用されます。従って、GW2A デバイスの **Bit-12** も **0x0** を返します。

GW2A FPGA デバイス(Arora ファミリー)のステータスレジスタの返り値

0x02020(セキュリティビットが **1** にセットされていない)は、FPGA が正常にコンフィギュレーションされたことを示します(ダウンロードデータが **SRAM** から読み出される可能性があるため、プロダクションでは推奨されません)。

0x06020（セキュリティビットが **1** にセットされる）も、FPGA が正常にコンフィギュレーションされたことを示します。

つまり、ダウンロードが成功した場合のステータスレジスタの返り値は次のとおりです：

- Bit-16 = 0x0
- Bit-15 = 0x0
- Bit-14 Security Final = 0x1 または 0x0 (上記参照)
- Bit-13 DONE Final = 0x1
- Bit-12 = 0x0

ステータスレジスタの詳細については、『GOWIN FPGA Status

Register Codes([TN711](#))』を参照してください。

User Code の読み出し(0x13)

User Code は合計 32 ビットあり、読み出し命令は 0x13 で、読み出しタイミングは Read ID Code と同様です。

User Code はデフォルトで FS ファイルの checksum 値であり、Gowin Designer で再定義できます。

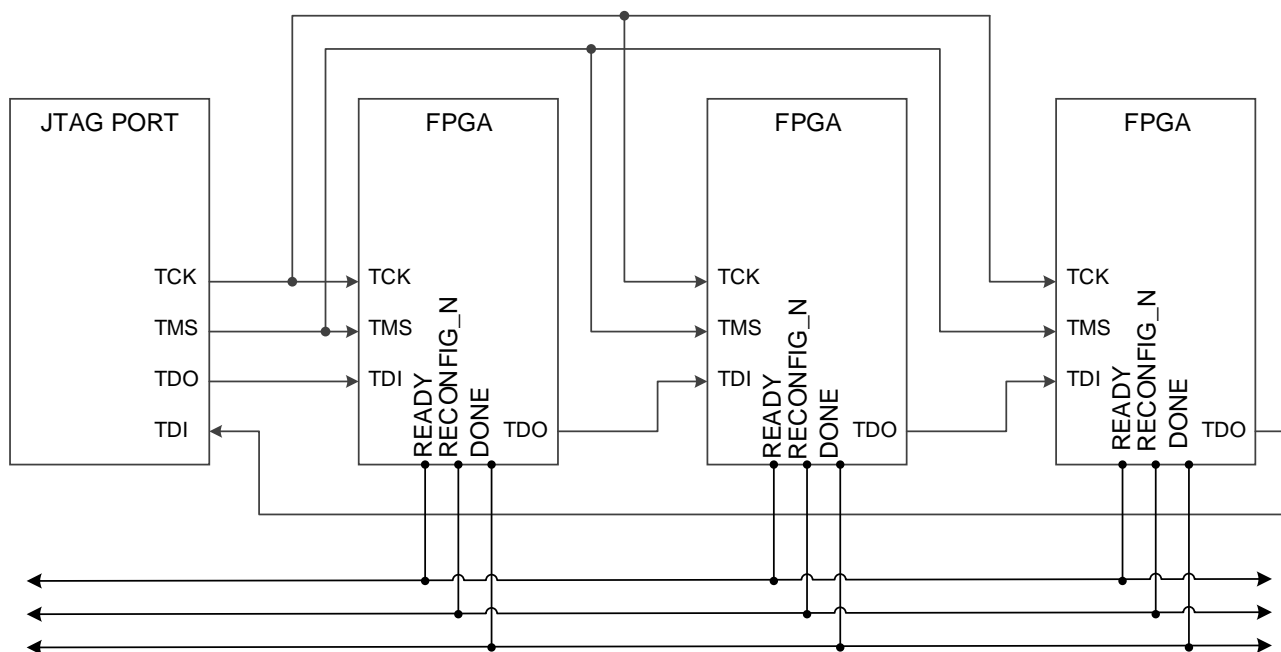
リロード(0x3C)

この命令の役割は、FPGA が Flash からデータストリーム・ファイルを読み出し、SRAM にロードすることです。

JTAG で順に Reprogram(0x3C)命令、Noop(0x02)命令を送信することで、デバイスをリロードさせることができます。その効果は、Reconfig_N ピンのトリガと同じです。

デイジーチェーンの接続図

図 7-35 デイジーチェーンの接続図



ルーチンファイル

ルーチンファイルについては、当社のテクニカル・サポートにお問い合わせください。

7.3 AUTO BOOT コンフィギュレーション(LittleBee®ファミリでのみサポート)

AUTO BOOT コンフィギュレーションモードは、GOWIN セミコンダクターが LittleBee®ファミリ不揮発性 FPGA 製品のインスタントオン特性のために導入したコンフィギュレーションモードです。Arora ファミ

リーFPGA 製品は **AUTO BOOT** コンフィギュレーションモードをサポートしません。**AUTO BOOT** コンフィギュレーションモードでは、**FPGA** はパワーアップ後外部コンフィギュレーションインターフェースに接続することなくオンチップ **Flash** からビットストリームデータを読み出してコンフィギュレーションすることができます。

AUTO BOOT コンフィギュレーションモードを使用する場合、まずコンフィギュレーションデータを **JTAG** インターフェースを介して **FPGA** のオンチップ **Flash** にプログラムする必要があります(図 7-4 参照)。次に **MODE** 値を"000"に調整し、再パワーアップするかまたは **Low** パルスで **RECONFIG_N** ピンをトリガすると、**FPGA** は自動的にビットストリームデータを読み出してコンフィギュレーションを実行します。ユーザーが **MODE** 値を"000"に設定した場合、**Gowin** プログラミングソフトウェアを使用してオンチップ **Flash** をプログラムした後、**FPGA** は自動的に **SRAM** をコンフィギュレーションして **AUTO BOOT** を完了します。オンチップ **Flash** のインスタントオン特性により、コンフィギュレーションのダウンロード時間が短縮され、効率的です。

GW1N(R)-9 および **GW1NS** シリーズ **FPGA** は、**LittleBee®** ファミリーの他の **FPGA** 製品と違って、2 回の **AUTO BOOT** コンフィギュレーション再試行をサポートします。つまり、パワーアップ後に **AUTO BOOT** コンフィギュレーションが失敗した場合、デバイスは自動的にコンフィギュレーションを 2 回再試行できます。コンフィギュレーションの失敗の要因には、**ID** 検証エラー、**CRC** エラー、および命令エラーがあります。

注記：

オンチップ **Flash** に保存できるビットストリームデータは 1 部のみです。コンフィギュレーションの再試行アドレスは変更できません。

7.4 SSPI コンフィギュレーションモード

SSPI(Slave SPI)では、**FPGA** はスレーブデバイスとして動作し、外部 **Host** は **SPI** インターフェースを介して **GOWIN** セミコンダクター **FPGA** 製品をコンフィギュレーションします。

7.4.1 SSPI コンフィギュレーションモードのピン

SSPI コンフィギュレーションモードに関連するピンは表 7-15 に示すとおりです。

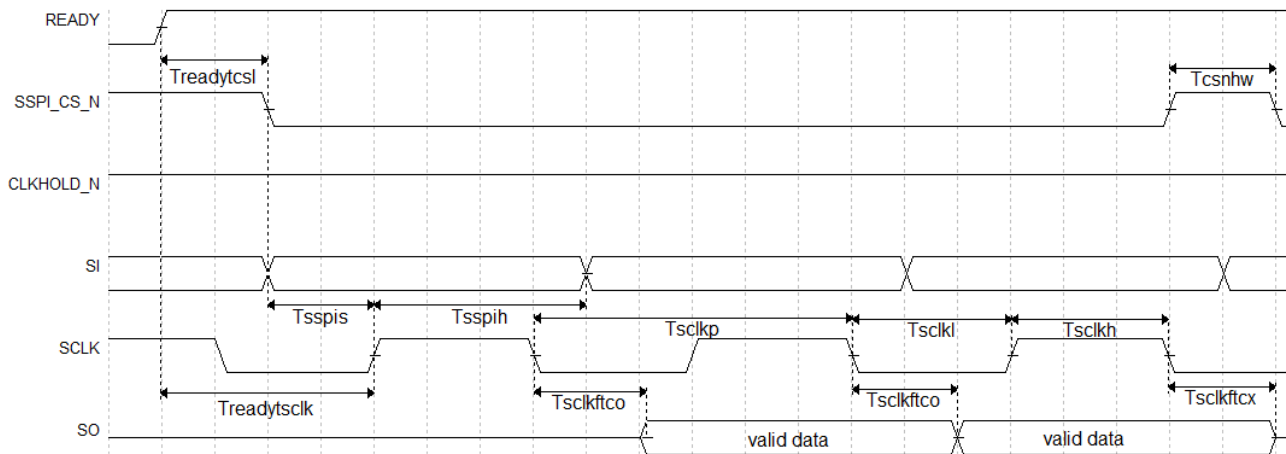
表 7-15 SSPI コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I, 内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[2:0]	I, 内部の弱いプルアップ	コンフィギュレーションモードの選択信号。 READY の立ち上がりエッジでサンプリングされます
SCLK	I	入力クロック
CLKHOLD_N	I, 内部の弱いプルアップ	アクティブ High
SO	O	FPGA が Host にデータを出力します
SI	I	Host が FPGA にデータを入力します
SSPI_CS_N	I, 内部の弱いプルアップ	SSPI のチップセレクト信号、アクティブ Low

7.4.2 SSPI コンフィギュレーションモードのタイミング図

SSPI コンフィギュレーションモードのタイミング図は、図 7-36 に示す通りです。

図 7-36 SSPI コンフィギュレーションモードのタイミング図



そのタイミングパラメータは、表 7-16 に示す通りです。

表 7-16 SSPI コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T_{scclkp}	SCLK のクロックサイクル(SCLK clock period)	15ns	-
T_{scclkh}	SCLK クロックの High レベル時間(SCLK clock high time)	7.5ns	-
T_{scckl}	SCLK クロックの Low レベル時間(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT のセットアップ時間(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT のホールド時間(SSPI PORT hold time)	0ns	-
$T_{scclftco}$	SCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from SCLK falling edge to output)	-	10ns
$T_{scclftcx}$	SCLK の立ち下がりエッジからハイインピーダンスまでの時間(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN の High レベルパルスの幅(CSN high time)	25ns	-
$T_{readytcsi}$	READY の立ち上がりエッジから CSN の Low レベルまでの時間(Time from READY rising edge to CSN low)	10 μ s	
$T_{readytsclk}$	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	10 μ s	-

パワーアップ要件に加え、SSPI モードを使用するには、以下の条件

を満たす必要があります。

- **SSPI インターフェースのイネーブル**
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- **新しいコンフィギュレーションの開始**
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

7.4.3 SSPI の一般的なコンフィギュレーション命令

SSPI モードでは、FPGA SRAM のプログラミング、ID CODE/USER CODE/STATUS CODE などの読み出し、または外部記憶装置(SPI Flash など)のプログラミングを実現できます。

FPGA の SSPI 命令は通常 1~4 バイトからなります。それには少なくとも 1 つの命令バイトと複数の冗長情報バイトが含まれます。指定されていない場合、冗長情報バイトは任意の数にすることができます(次の表では 0x00 で表されます)。

表 7-17 コンフィギュレーション命令

命令名	完全な命令(命令バイト+冗長情報バイト)
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00
Write Data	0x3B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500

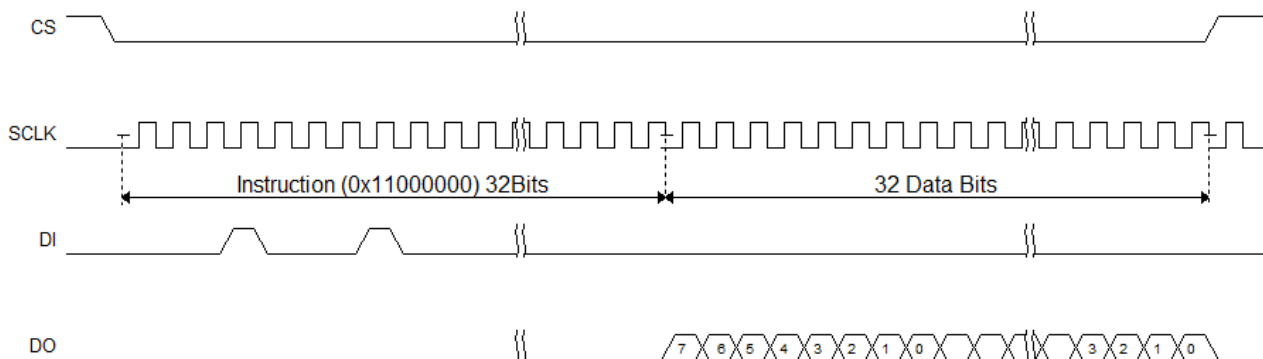
Read ID Code

FPGA の ID Code の長さは 32 ビットであり、ID を読み出すための命令の長さは 32 ビット(0x11000000)です。命令を送信する前に、CS を High にします。さらに、FPGA が CS の状態を認識できるようにこの状

態を 2 クロックサイクル以上維持する必要があります。

CS が Low にプルダウンされた後、MSB フォーマットで命令 0x11000000 を書き込みます。この 4 バイトの命令を書き込んだ後、32 クロックを生成する必要があります。このとき、ID Code データは DO から MSB フォーマットで順次シフトアウトされます。

図 37 ID Code の読み出しのタイミング図

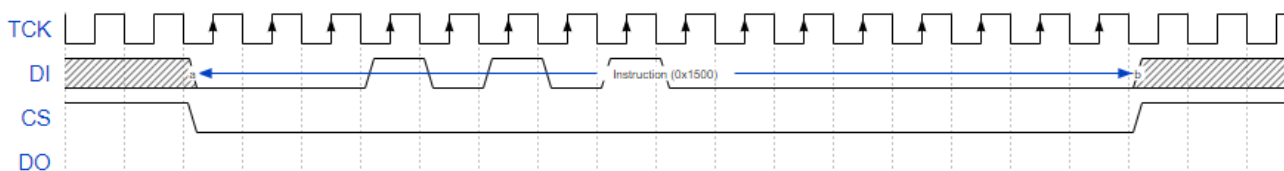


StatusCode/UserCode の読み出しも、ID Code の読み出しと同様です。

Write Enable (0x1500)

SRAM をコンフィギュレーションする前、Write Enable(0x15)命令を使用してデバイスを編集モードにし、デバイスが Write Data(0x3B)命令を受信できるようにします。

図 7-38 Write Enable(0x15)のタイミング図



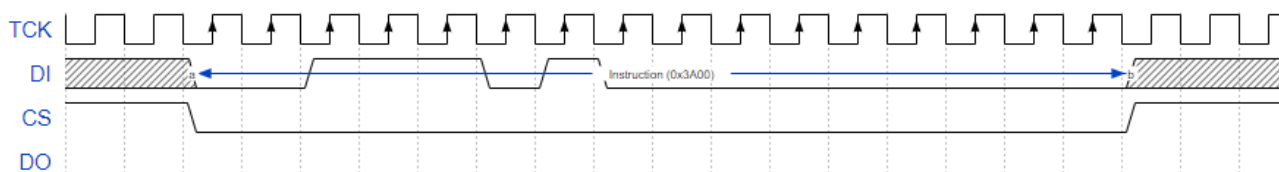
注記：

SCLK の駆動ルール：CS が High の時、FPGA が CS 信号を認識できるようにするために 2 サイクル以上の SCLK が必要です。他の命令の送信もこのルールに従う必要があります。

Write Disable (0x3A00)

データ送信後、Write Disable を使用して編集モードを終了してください。終了後、デバイスをウェイクアップして動作状態にすることができません。

図 7-39 Write Disable (0x3A00)のタイミング図



上記の **0x1500** と **0x3A00** 命令のタイミングはほぼ同じです。**CS** が **Low** になった後、命令の送信が開始し、命令の送信が完了した後、**CS** を **High** にプルアップします。**0x3C00**(Reconfig/Reprogram)、**0x1500**(Write Enable)、**0x3A000**(Write Disable)、**0x1600**(Program SPI Flash)、**0x1200**(Init Address)、**0x0500**(Erase SRAM)などの命令もこのようなタイミングです。

また、**SSPI** は外部クロックによって駆動されるため、これらの命令の前後で **CS** が **High** の時、**FPGA** が **CS** の状態をキャプチャできるようになるまで 2 つ以上のクロックサイクルが必要です。

Erase SRAM(0x0500)

この命令のタイミングは **Write Enable/Write Disable** と同じであり、命令の内容を **0x0500** に置き換えただけです。

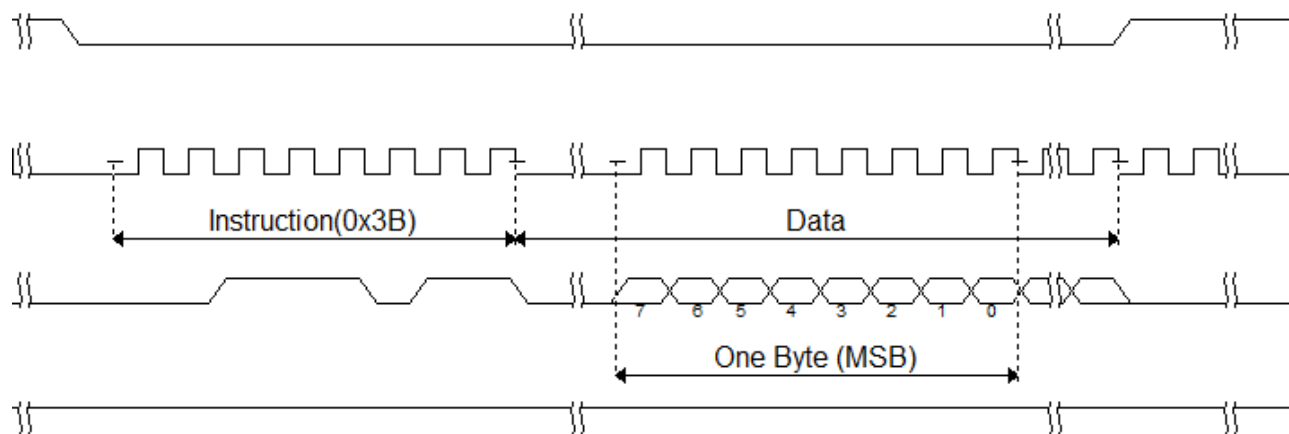
命令を送信した後、命令が実行されるまで少なくとも **10ms** の遅延が必要です。

Write Data (0x3B)

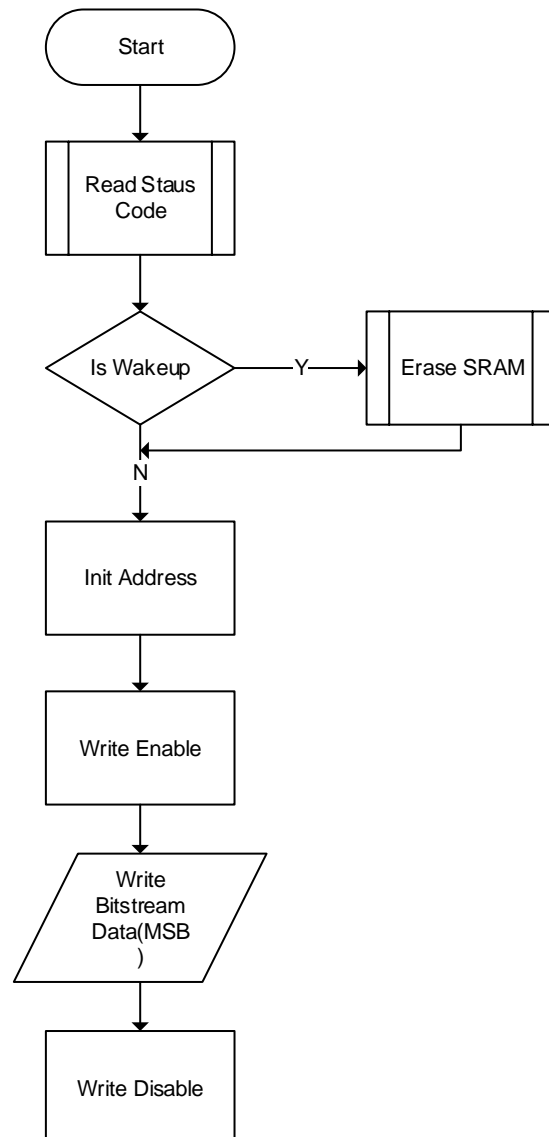
Write Data(0x3B)命令を使用して **FPGA** デバイスにデータストリーム・ファイルを直接送信します。

データの書き込み中、**CS** が **Low** のままである必要があります。

図 7-40 Write Data(0x3B)のタイミング図



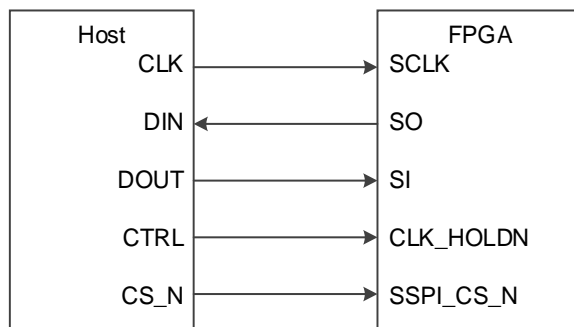
7.4.4 SSPI コンフィギュレーションモードでの SRAM コンフィギュレーションのフローチャート



7.4.5 SSPI コンフィギュレーションモードの接続図

SSPI コンフィギュレーションモードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 7-41 に示すとおりです。

図 7-41 SSPI コンフィギュレーションモードの接続図



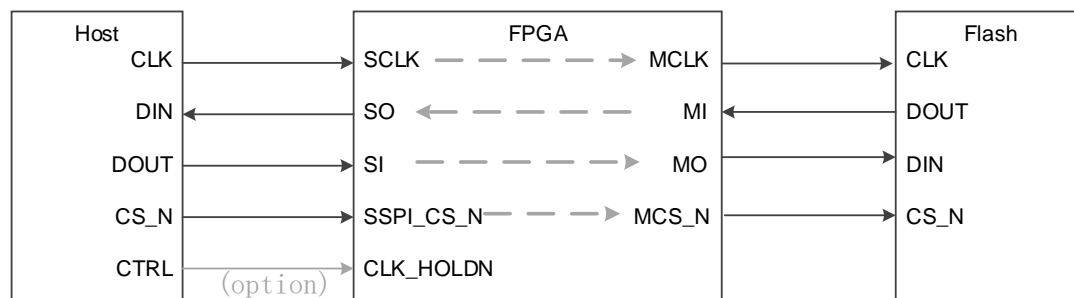
注記：

この図は SSPI コンフィギュレーションモードの最小システム図です。SSPI モードの MODE 値は “001” で、他の固定ピンの接続については図 7-1 を参照してください。

通常の SRAM コンフィギュレーション操作に加えて、SSPI コンフィギュレーションピンは FPGA の SPI Flash のプログラミングにも使用できます。Flash プログラミングの MODE 値は SSPI コンフィギュレーションモードの MODE 値と同じです。ユーザーは Gowin プログラミングソフトウェアでコンフィギュレーションデータを SRAM または Flash に書き込むことができます。Flash からロードする前に、MODE を MSPI MODE に調整してから、再パワーアップするか RECONFIG_N をトリガして MSPI ロードをトリガする必要があります。

SSPI インターフェースを介した Flash プログラミングの接続図は図 7-42 および図 7-43 に示すとおりです。

図 7-42 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図 (GW2A-18/55, GW1N(R)-9)

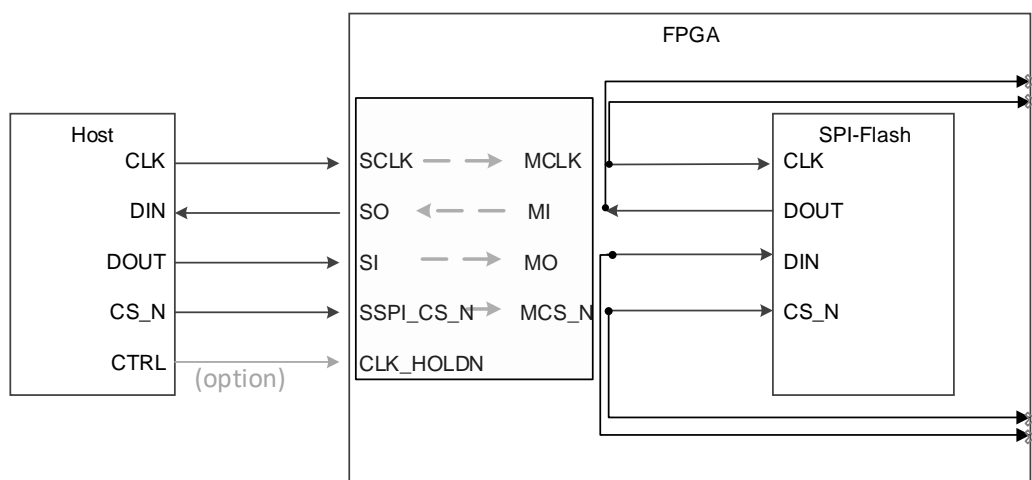


注記：

- Arora ファミリー製品はすべて SSPI モードでの Flash プログラミングをサポートします。
- LittleBee®ファミリー製品は GW1N(R)-9 デバイスのみが SSPI モードでの Flash プログラミングをサポートします。

図 7-43 SSPI インターフェースを介した組み込み Flash プログラミングの接続図

(GW2AN-55)



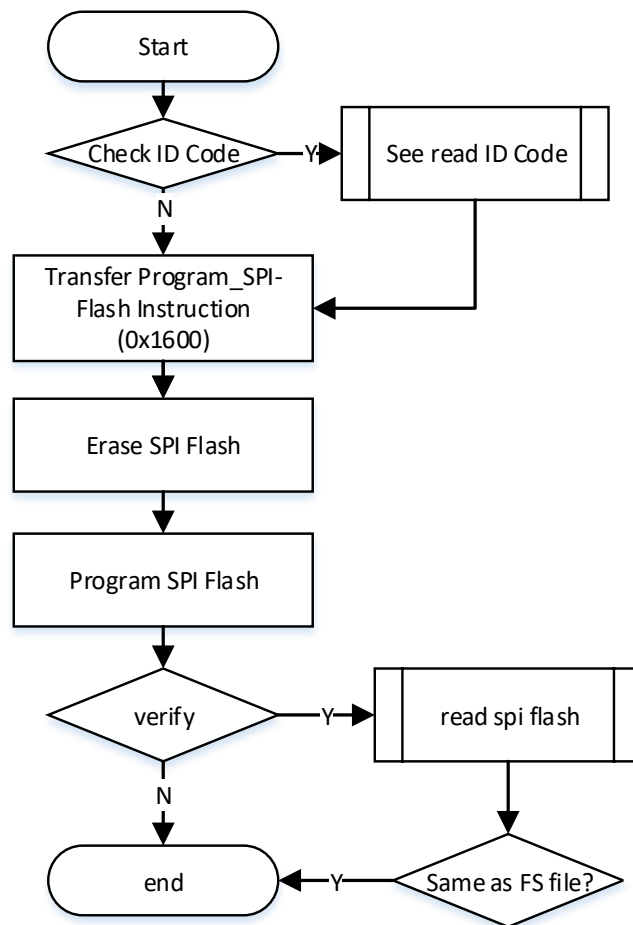
注記：

GW2AN-55 には、SPI Flash が組み込まれています。そのプログラミング方法は、GW2A-18、GW2A-55 と同様です。GW2AN-55 の 4 本の外部ピン(MCLK, MCS_N, MI, MO)はフローティングのままにする必要があります。

Flash プログラミングのフローチャートを図 7-44 に示します。まず、「Program SPI Flash」(0x1600)命令を SSPI を介して FPGA に送信します。その後、FPGA は SSPI を Flash に転送できます。これにより、Host は SSPI を介して Flash に直接アクセスでき、Flash の関連するタイミングに従って Flash をプログラミングできるようになります。

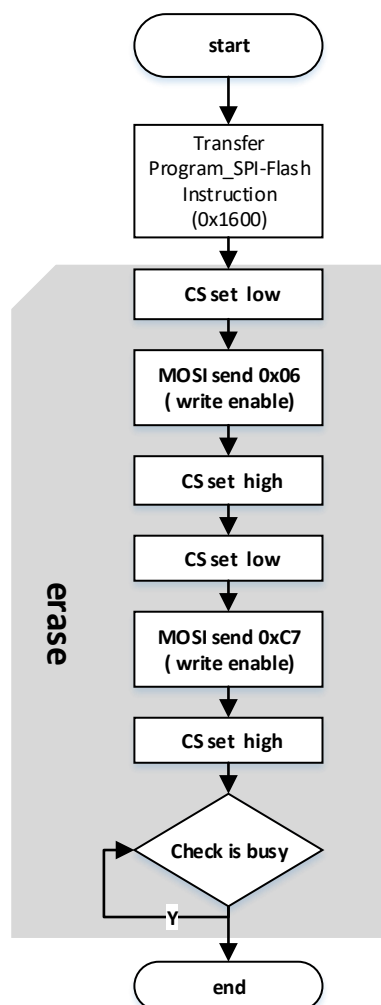
Flash からデータを読み出す場合、データが 1 ビット分遅延することに注意してください。たとえば、SSPI が Flash の ID Code を読み出す場合、最後のビットを取得するために追加の 1 クロックを送信する必要があります。

図 7-44 SSPI モードでの Flash プログラミングのフローチャート



SPI Flash 消去のフローチャートを図 7-45 に示します：

図 7-45 SPI Flash 消去のフローチャート

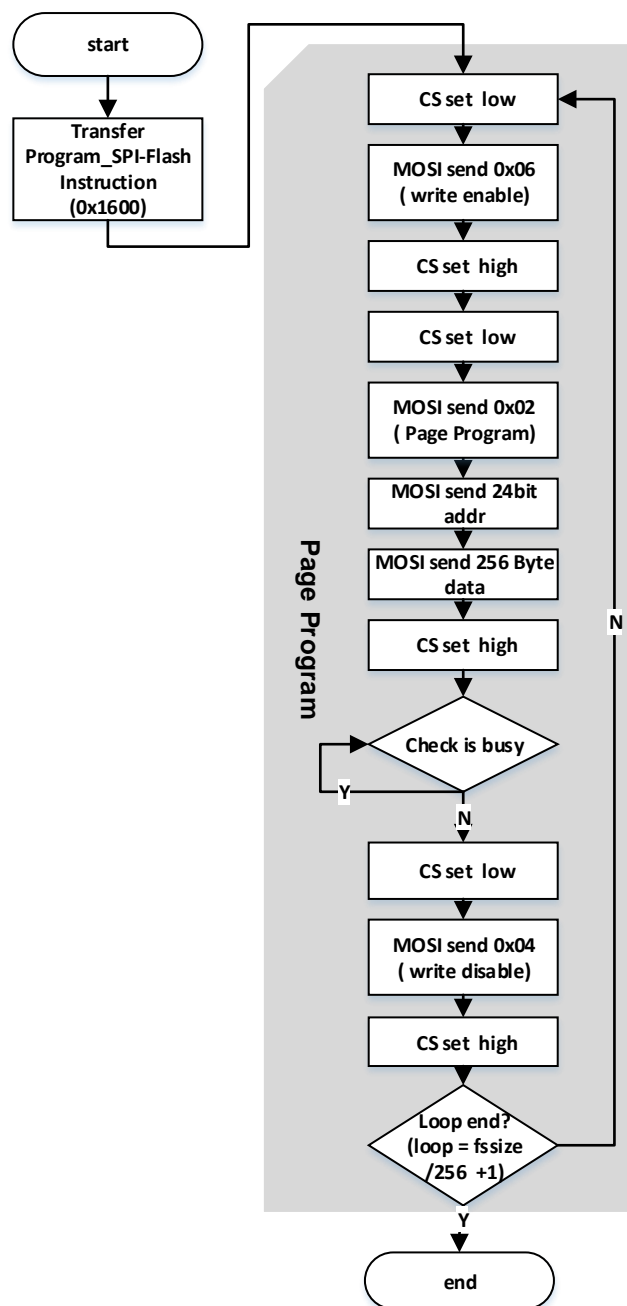


SPI Flash 消去のフローは次のとおりです：

1. 開始。
2. Host MSPI は program SPI 命令 0x1600 を転送します(MSB ファースト)。
3. Device-SSPI の SCLK, CS, SI, SO 信号は FPGA 内部でそれぞれ MCLK, CS, MOSI, MISO に転送されます。
4. Host MSPI で CS を Low にし、MOSI に命令 0x06 を書き込ませます。
5. Host MSPI で CS を High にします。
6. Host MSPI で CS を Low にし、MOSI に命令 0xc7 を書き込ませます。
7. Host MSPI で CS を High にします。
8. SPI がビジー状態であるかを確認します。
9. 消去終了。

SPI Flash の 1 ページをプログラムするフローを図 7-46 に示します。SPI Flash は、ループでページごとにプログラミングされます。

図 7-46 SPI Flash の 1 ページをプログラムするフローチャート



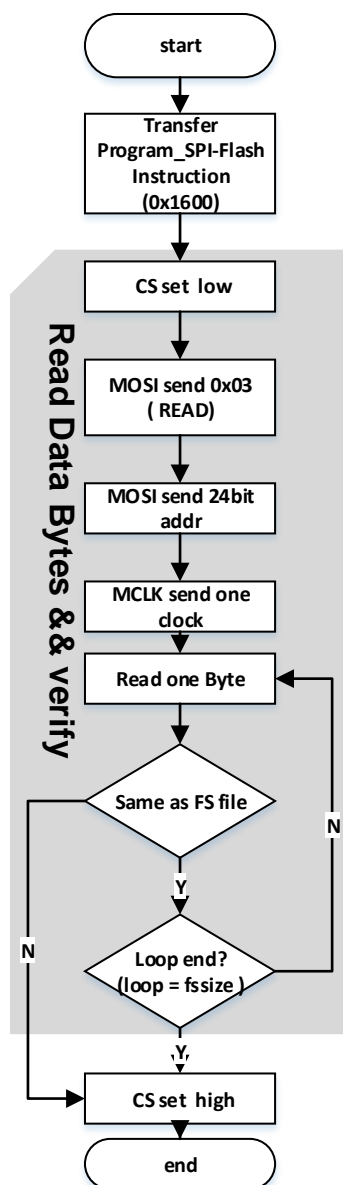
SPI Flash の 1 ページをプログラムするフローは次のとおりです：

1. 開始。
2. Host MSPI は program SPI 命令 0x1600 を転送します(MSB ファースト)。
3. Device-SSPI の SCLK, CS, SI, SO 信号は FPGA 内部でそれぞれ MCLK, CS, MOSI, MISO に転送されます。
4. Host MSPI で CS を Low にし、MOSI に命令 0x06 を書き込ませます。
5. Host MSPI で CS を High にします。
6. Host MSPI で CS を Low にし、MOSI に命令 0x02、3 バイトのアドレ

- ス、および 256 バイトの fs データを書き込ませます。
7. Host MSPI で CS を High にします。
 8. SPI がビジー状態であるかを確認します。
 9. Host MSPI で CS を Low にし、MOSI に命令 0x04 を書き込ませます。
 10. Host MSPI で CS を High にします。
 11. 1 ページのプログラミング終了。

SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャートは、図 7-47 に示すとおりです。

図 7-47 SPI Flash のデータストリーム・ファイルのリードバックと検証のフローチャート



SPI Flash のデータストリーム・ファイルのリードバックと検証のフローは次のとおりです：

1. 開始。
2. Host MSPI は program SPI 命令 0x1600 を転送します(MSB ファースト)。
3. Device-SSPI の SCLK, CS, SI, SO 信号は FPGA 内部でそれぞれ MCLK, CS, MOSI, MISO に転送されます。
4. Host MSPI で CS を Low にし、MOSI に命令 0x03 および 3 バイトのアドレスを書き込ませます。
5. Host MSPI で MCLK に 1 つのクロックを送信させます。
6. Host MSPI で 1 バイトずつデータをリードバックします。
7. リードバックしたデータと書き込んだデータを比較し、同じであれば最後のバイトまで次のバイトを比較し続けます。同じでなければループからジャンプアウトします。
8. Host MSPI で CS を High にします。
9. リードバックと検証終了。

7.4.6 SSPI モードでの複数 FPGA の接続図

図 7-48 複数 FPGA の接続図 1

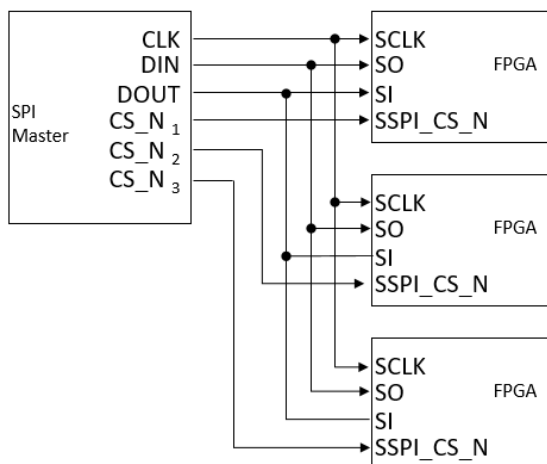
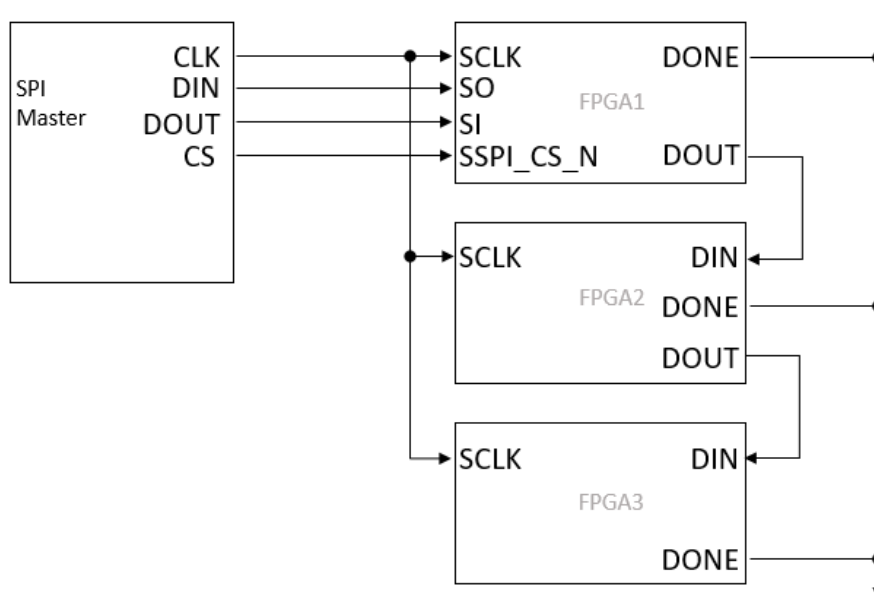


図 7-49 複数 FPGA の接続図 2



7.5 MSPI コンフィギュレーションモード

MSPI(Master SPI)モードでは、FPGA はマスター(Master)として、その SPI インターフェースを介してオフチップ Flash からビットストリームデータを読み出して内部 SRAM をコンフィギュレーションします。

MSPI モードでのコンフィギュレーション手順：

1. MODE ピンの値を MSPI 状態に設定します。
2. 次の方法により、FPGA はオフチップ Flash からビットストリームデータを読み出してコンフィギュレーションします。
 - FPGA を再パワーアップします。
 - または Low レベルパルスで RECONFIG_N ピンをトリガします。

MSPI モードでのオフチップ Flash のアップグレード :

オフチップ Flash は、JTAG インターフェースを使用して再プログラミングできます。この機能により、FPGA はビットストリームのバックグラウンドアップグレード（インフィールドアップデートまたはリモートアップデートと呼ばれることも多い）を実現できます。FPGA のコンフィギュレーションが完了した場合、ユーザーは FPGA を介して新しいコンフィギュレーションデータをオフチップ Flash にリモートで書き込むことができます。

7.5.1 MSPI コンフィギュレーションモードのピン

MSPI コンフィギュレーションモードに関連するピンは表 7-18 に示すとおりです。

表 7-18 MSPI コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I, 内部の弱いプルアップ	Low レベルパルス : 新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O	1'b1: 現在デバイスにプログラミング・コンフィギュレーションを行うことができます 1'b0: デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	非 JTAG コンフィギュレーションモードの場合、 1'b1: プログラミング・コンフィギュレーションが正常に完了したことを示します。 1'b0: プログラミング・コンフィギュレーションが完了していないことを示します。
MODE[2:0]	I, 内部の弱いプルアップ	コンフィギュレーションモードの選択信号。 READY の立ち上がりエッジでサンプリングされます
MCLK	O	FPGA の出力クロック
MCS_N	O	SPI のチップセレクト信号、アクティブ Low
MO	O	Slave に SPI 経由でデータを出力します
MI	I	Slave から SPI 経由でデータを入力します
FASTRD_N	I	READY 信号の立ち上がりエッジでサンプリングされます 1'b1: Read SPI モード (SPI 命令 : 0x03) 1'b0: Fast Read SPI モード (SPI 命令 : 0x0B)

注記 :

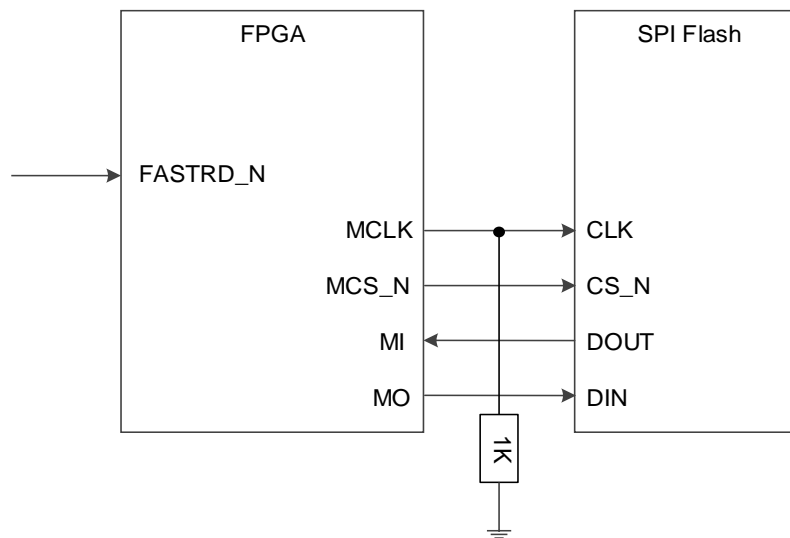
- MSPI コンフィギュレーションモードのクロック周波数には、±10%(Arora ファミリー)または±5%(LittleBee ファミリー)の誤差があります。

- MSPI コンフィギュレーションモードのクロック周波数は 66.6MHz を超えてはなりません。
- クロック周波数が 30MHz~66.6MHz の場合、Flash の高速アクセスモードを使用し、外部で FASTRD_N ピンを Low にプルダウンする必要があります。FASTRD_N ピンを Low にプルダウンした後、クロック周波数を 5MHz 以上にする必要があります。
- クロック周波数が 30MHz 以下の場合、FASTRD_N ピンをフローティングのままにします。

7.5.2 MSPI コンフィギュレーションモードの接続図

MSPIコンフィギュレーションモードの場合のオフチップ Flashの接続は図7-50に示すとおりです。

図 7-50 MSPI コンフィギュレーションモードの接続図

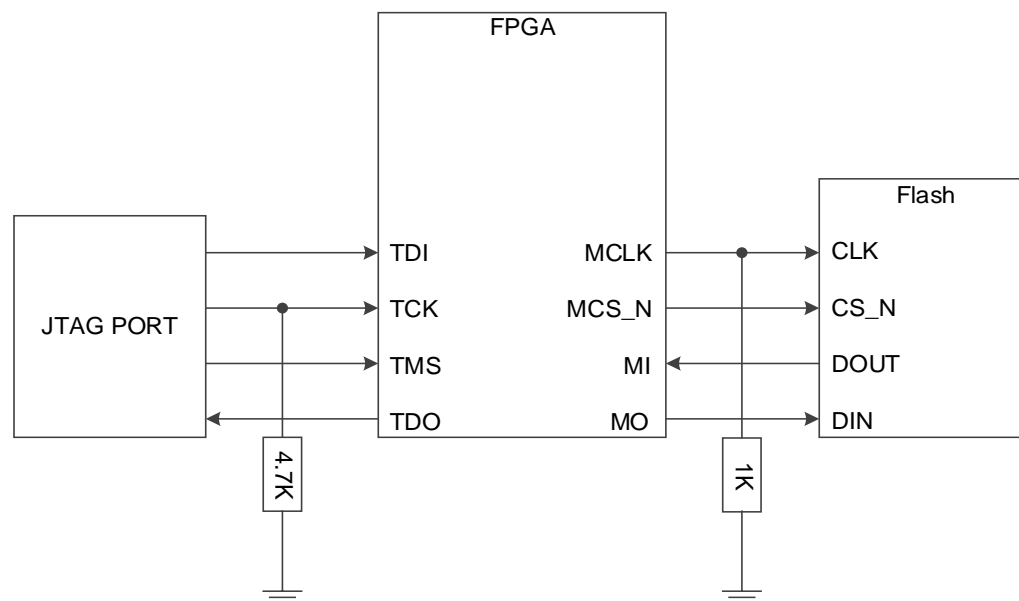


注記：

上図は MSPI モードの最小システム図です。MSPI モードの MODE 値は “010” (GW1N(R)の場合)または “000” (GW2A(R)の場合)です。他の固定ピンの接続については図 7-1 を参照してください。MSPI コンフィギュレーションモードのクロック周波数が 30MHz 以下の場合、FASTRD_N ピンをフローティングのままにします。

JTAG インターフェースを介したオフチップ Flash プログラミングの接続図を図 7-51 に示します。SSPI インターフェースを介したオフチップ Flash のプログラミングの接続図については、図 7-42 を参照してください。

図 7-51 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図



注記：

この図は JTAG インターフェースを介したオフチップ Flash プログラミングの最小システム図であり、他の固定ピンの接続については図 7-1 を参照してください。

7.5.3 MSPI モードのコンフィギュレーション試行

GOWIN の FPGA 製品は通常、電源投入後に 1 回の自動 MSPI コンフィギュレーションの試行のみをサポートします。

GW1N(R)-9、GW2A(R)-18、および GW1NS シリーズ製品は、この点で強化されています。つまり、電源投入後に MSPI コンフィギュレーションが失敗した場合、上記のデバイスは、サポートされている再試行回数で自動的に再コンフィギュレーションできます。

- GW2A (R) -18 シリーズ FPGA は、合計 2 回のコンフィギュレーション試行をサポートします。
- GW1N (R) -9 または GW1NS シリーズ FPGA は、合計 3 回のコンフィギュレーション試行をサポートします。
- コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC エラー、および命令エラーがあります。

コンフィギュレーションが失敗した場合、ユーザーは次の再試行のために別の SPI Flash 起動アドレスを指定できます。この機能は、コンフィギュレーションの失敗のリスクを軽減し、コンフィギュレーションが失敗した場合に Golden (fallback) Image(ゴールデン (フォールバック) イメージ)をロードするためにも使用できます。

注記：

ID Code が間違っているか、ビットストリームのヘッダー命令が間違っている場合、指定された SPI Flash アドレスで起動されません。

Place&Route を実行する場合、GOWIN EDA ツールの Bitstream オプションを使用して、他の SPI Flash 起動アドレスを指定できます（詳細に

については、7.5.4 MULTI BOOT コンフィギュレーションを参照してください。

7.5.4 MULTI BOOT コンフィギュレーション

MULTI BOOT コンフィギュレーションモードでは、FPGA がオフチップ Flash の異なるアドレスからビットストリームデータを読み出し、コンフィギュレーションします。MSPI モードをサポートする FPGA 製品はすべてこのモードをサポートします。

FPGA の電源投入後のデフォルトの Flash 起動アドレスは 0x0000 で、これは常に初期ビットストリームのロードに使用されます。

Gowin の Programmer ソフトウェアは、消去することなくオフチップ Flash へ複数のビットストリームデータを書き込むことをサポートします。

GOWIN EDA ツールを使用してビットストリームを生成する場合、ユーザーはロードする次のビットストリームの SPI Flash 起動アドレスを指定できます。つまり、現在のビットストリームのヘッダーには、Flash 内の次のビットストリーム位置を指すジャンプアドレスが含まれています。

電源投入後、FPGA は Flash アドレス 0x0000 からの起動を自動的に試行します。

最初の起動試行が失敗し、FPGA が複数のコンフィギュレーション試行をサポートする場合、次の起動試行では、現在のビットストリームのヘッダー内の SPI Flash ジャンプアドレスで指定されたビットストリームイメージが使用されます。次の起動試行も失敗した場合は、FPGA でサポートされているコンフィギュレーション試行の最大数に達するまでこのプロセスを繰り返します。

FPGA の電源投入後、RECONFIG_N 入力信号を Low にプルダウンして次のビットストリームにジャンプすることもできます。この場合、SPI Flash ジャンプアドレスも現在のビットストリームのヘッダーに保存されます。RECONFIG_N をトリガーする回数に制限はないことに注意してください。

信頼性の高い Golden Image を使用した MULTI BOOT コンフィギュレーション

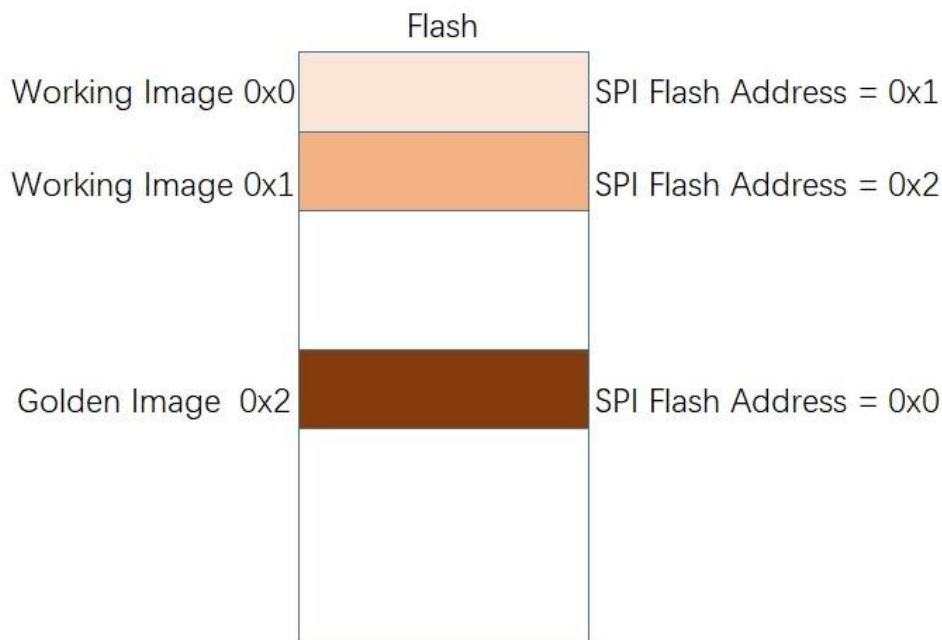
リモートの“インフィールド”ビットストリーム・アップデートをサポートするために、信頼性の高い Golden Image を MULTI BOOT コンフィギュレーションで使用できます。この Golden(fallback) Image は、最後のビットストリームとして常にオフチップ Flash に保存することをお勧めします。以下の例では、動作イメージ 0x0 または 0x1 が破損している場合、現在のイメージヘッダーの SPI Flash アドレスをジャンプアドレスとして、RECONFIG_N を Low にプルダウンして次のビットストリームをロードできます。このジャンプアドレスは、Flash の次の動作イメージの起動アドレス、または Flash の Golden (fallback) Image の起動アドレスにすることができます。

また、すべての動作イメージが消去された場合、FPGA は Golden

Image が取得されるまで Flash アドレスを読み出し続けます。

すべての Flash イメージが破損している場合は、JTAG/SSPI インターフェースを介して SPI Flash を再プログラムする必要があります。

図 7-52 Flash メモリ内のビットストリーム・イメージ配置の例



上図に示すように、動作イメージ 0x0 は、デフォルトのパワーアップアドレス 0x0000 にあります。

動作イメージ 0x0 には、動作イメージ 0x1 を指す SPI Flash ジャンプアドレスが含まれています。

動作イメージ 0x1 には、Golden Image 0x2 を指す SPI Flash ジャンプアドレスが含まれています。

電源投入後、動作イメージ 0x0 が 0x0000 から自動的にロードされます。

最初の動作イメージ 0x0 のロードに失敗し、FPGA が複数のコンフィギュレーションの試行をサポートしている場合、FPGA は次の動作イメージ 0x1 のロードを試行します。

2 番目の動作イメージ 0x1 のロードに失敗し、FPGA が 3 回以上のコンフィギュレーションの試行をサポートしている場合、FPGA は Golden Image 0x2 のロードを試行します。

最初の動作イメージ 0x0 のロードに失敗し、FPGA が複数のコンフィギュレーションの試行をサポートしていない場合、RECONFIG_N を Low にプルダウンして、次の動作イメージ 0x1 をロードできます。

2 番目の動作イメージ 0x1 のロードに失敗し、FPGA が 3 回以上のコンフィギュレーションの試行をサポートしていない場合、RECONFIG_N を Low にプルダウンして、Golden Image 0x2 をロードできます。

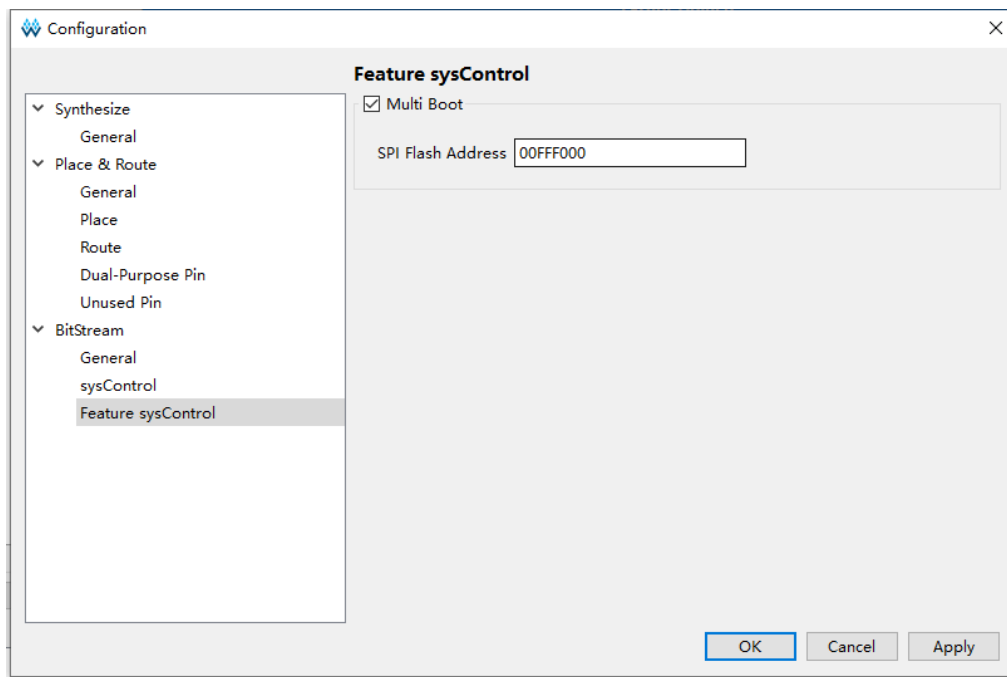
SPI Flash 起動アドレス

GOWIN EDA ツールを使用してビットストリームを生成する場合、ユーザーはロードする次のビットストリームの **SPI Flash** 起動アドレスを指定できます。

Gowin ソフトウェアで “**BitStream**” 構成タブを開きます。

“**SPI Flash Address**” 入力ボックスに次のビットストリームの起動アドレスを入力します(図 7-53)。

図 7-53 次のビットストリームの起動アドレスの設定

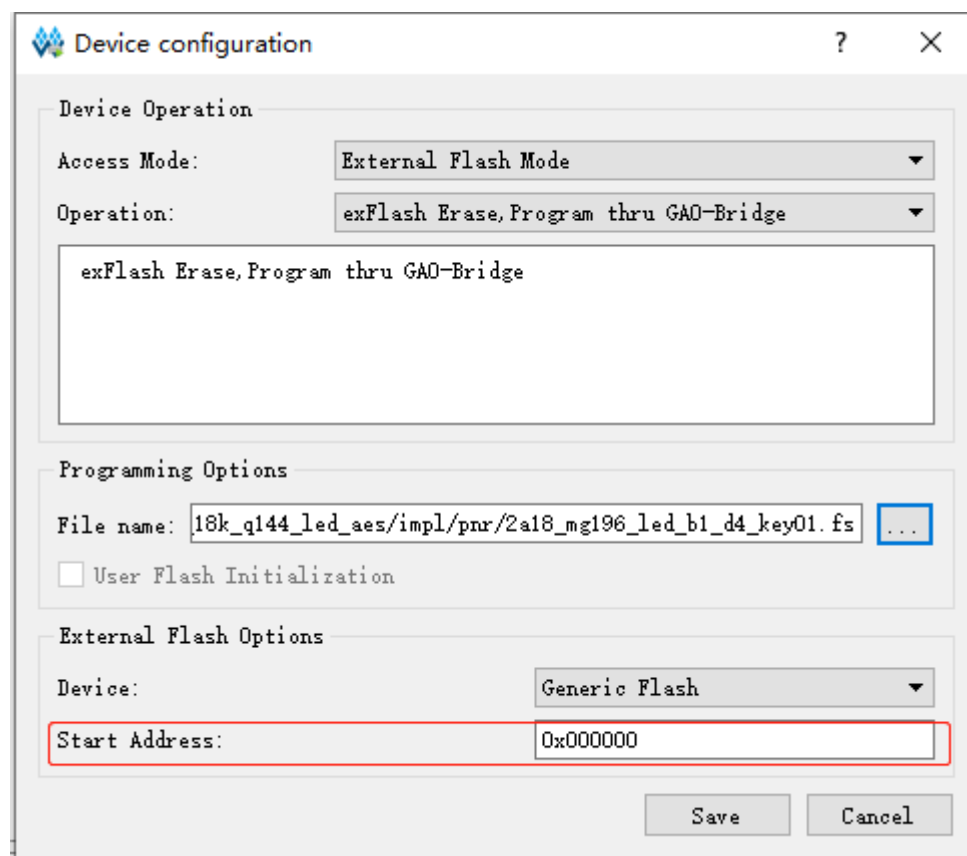


SPI Flash のプログラミング

Gowin の Programmer ソフトウェアは、消去することなくオフチップ Flash へ複数のビットストリームデータを書き込むことをサポートします。

1. Programmerソフトウェアで “**External Flash Mode**” を選択してビットストリームの起動アドレスを設定します(図7-54)。

図 7-54 オフチップ Flash のプログラミングアドレスの設定



2. “Save” をクリックして、すべてのビットストリームの起動アドレスとプログラミングアドレスの設定を完了します。

注記：

- SPI Flash 起動アドレスは、電源投入時にリセットされます。
- 起動アドレスが前のビットストリームデータで上書きされないように、MULTI BOOT コンフィギュレーションを使用する前にビットストリームデータのサイズを計算する必要があります。
- SPI Flash の起動アドレスの下位 12 ビットが **Reserved** ビットで、ユーザーは ADDR [23:12] のアドレスビットを設定できます。

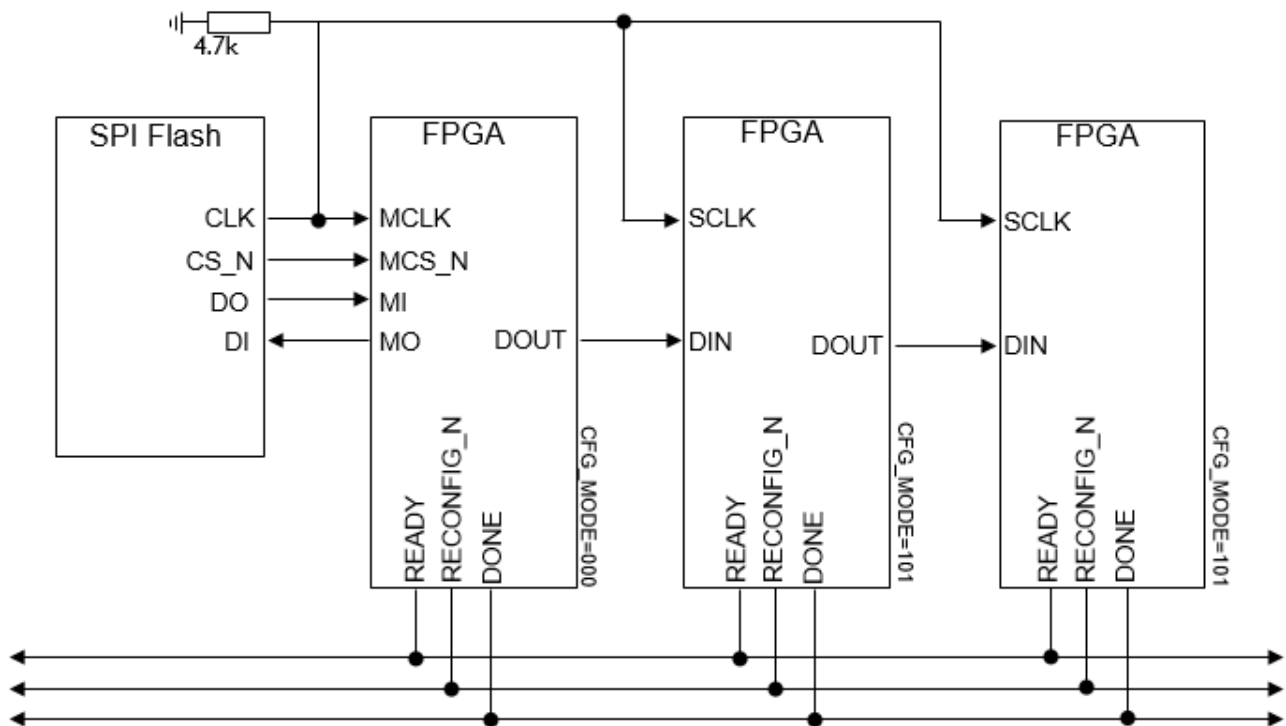
1 つの Flash で複数の FPGA をコンフィギュレーションする場合

GOWIN セミコンダクターFPGA 製品は、現在のところ、1 つの Flash で複数の FPGA をコンフィギュレーションすることをサポートしています。最初の FPGA デバイスは MSPI モードで SPI Flash に直接接続され、ダウンストリーム FPGA は SERIAL モードでコンフィギュレーションされます。1 つの Flash で複数の FPGA をコンフィギュレーションする場合の接続図を図 7-55 に示します。

注記：

- データを転送する必要があるデバイスにとっては、**Wake Up Mode** を 1 に設定する必要があります。**Wake Up Mode** は通常、1 つの Flash で複数の FPGA をコンフィギュレーションするなどのデジタイズ環境で使用されます。**Wake Up Mode** の詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。
- コンフィギュレーションを行う前に、最初の FPGA の **MODE** 値を **MSPI** モードに設定し、ダウストリーム FPGA の **MODE** 値を **SERIAL** モードに設定する必要があります。
- **GOWIN** セミコンダクターFPGA 製品は、現在のところ、複数の Flash で 1 つの FPGA をコンフィギュレーションすることをサポートしていません。

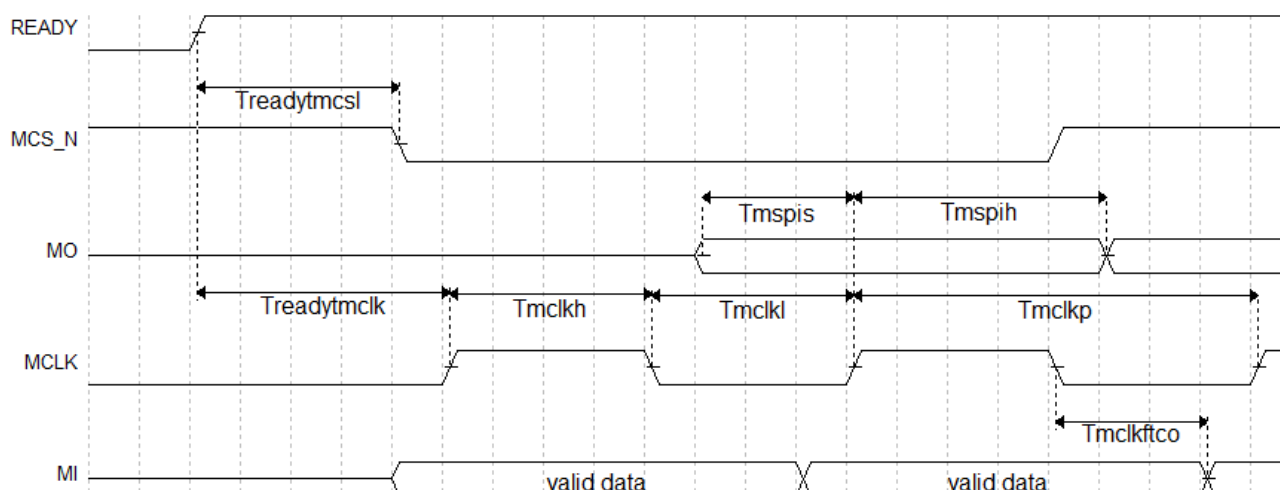
図 7-551 つの Flash で複数の FPGA をコンフィギュレーションする場合の接続図



7.5.5 MSPI コンフィギュレーションモードのタイミング図

MSPI コンフィギュレーションモードのタイミング図は、図 7-56 に示す通りです。

図 7-56 MSPI コンフィギュレーションモードのタイミング図



そのタイミングパラメータは、表 7-19 に示す通りです。

表 7-19 MSPI コンフィギュレーションモードのタイミングパラメータ

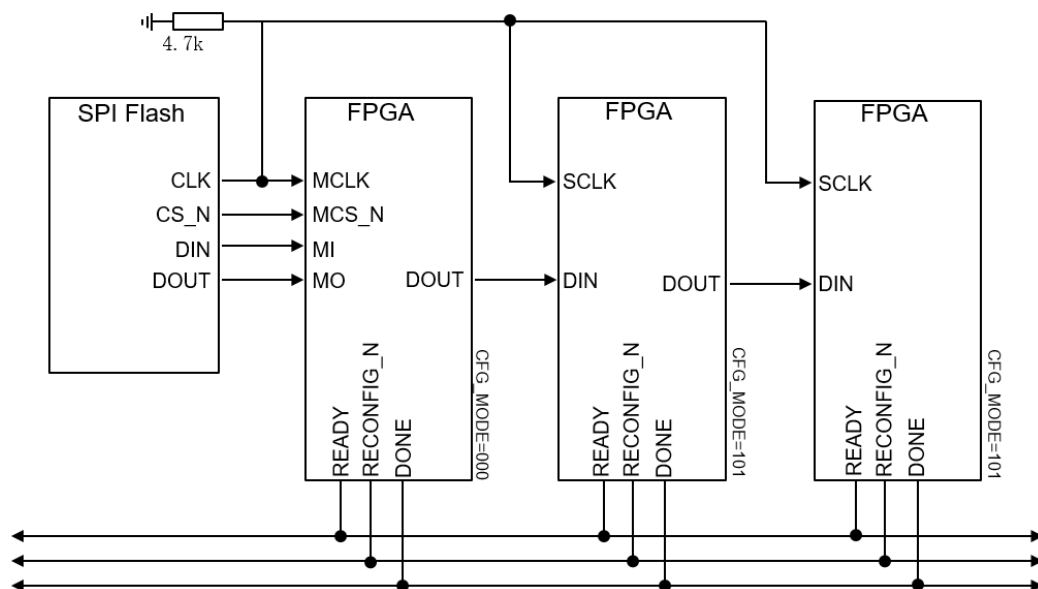
パラメータ名	パラメータの意味	最小値	最大値
T_{mckp}	MCLK のクロックサイクル(MCLK clock period)	15ns	-
T_{mclkh}	MCLK クロックの High レベル時間(MCLK clock high time)	7.5ns	-
T_{mckl}	MCLK クロックの Low レベル時間(MCLK clock low time)	7.5ns	-
T_{mcpis}	MSPI PORT のセットアップ時間(MSPI PORT setup time)	5ns	-
T_{mcpih}	MSPI PORT のホールド時間(MSPI PORT hold time)	1ns	-
$T_{mckftco}$	MCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from MCLK falling edge to output)	-	10ns
$T_{readytmcsi}$	READY の立ち上がりエッジから MCS_N の Low レベルに至るまでの時間(Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY の立ち上がりエッジから 1 つ目の MCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	$2.8 \mu s$	$4.4 \mu s$

パワーアップ要件に加え、MSPI モードを使用するには、以下の条件を満たす必要があります。

- MSPI インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。

- 新しいコンフィギュレーションを開始します
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

図 7-57 MSPI モードでの複数 FPGA の接続図



7.6 DUAL BOOT コンフィギュレーション(LittleBee®ファミリでのみサポート)

デュアルブート(DUAL BOOT)コンフィギュレーションモードは、GOWIN セミコンダクター LittleBee®ファミリ不揮発性 FPGA 製品でサポートされるコンフィギュレーションモードです。DUAL BOOT モードでは、FPGA は優先的にオフチップ Flash からビットストリームデータを読み出してコンフィギュレーションを実行します。

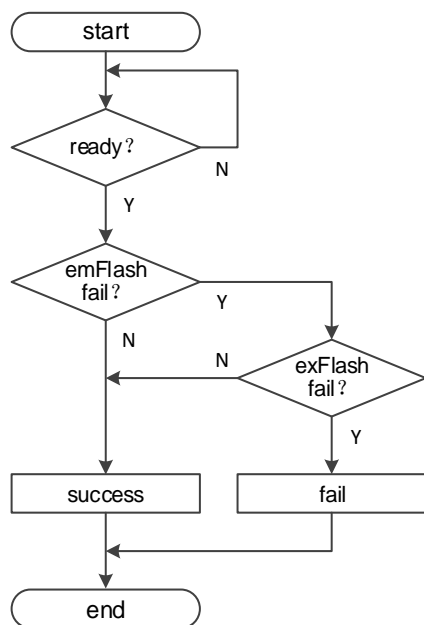
注記：

DUAL BOOT モードでは、オフチップ Flash が空であるか存在しない場合、FPGA はオンチップ Flash からデータをロードします。

DUAL BOOT モードを使用するには、特定の MODE 値を選択する必要があります。オンチップ Flash から起動する場合、外部接続は必要ありません。オフチップ Flash から起動する場合、その接続は MSPI コンフィギュレーションモードと同じです(図 7-50)。DUAL BOOT モードは、より多くのコンフィギュレーションパスを提供します。ユーザーは自分のニーズに応じてコンフィギュレーションデータの保存場所を選択できます。

DUAL BOOT モードのフローチャートは図 7-58 に示すとおりです。

図 7-58 DUAL BOOT モードのフローチャート



注記：

MODE 値が“110”の場合、オフチップ Flash からの起動を優先します。

GW1N(R)-9 および GW1NS シリーズ製品の場合、どの DUAL BOOT コンフィギュレーションのモードであるかに関わらず、FPGA は 4 回のコンフィギュレーション試行をサポートします。

- 優先ストレージパスから 3 回起動し、3 回失敗した後、別のパスからコンフィギュレーションされます。オンチップ Flash による起動は、0 アドレスからしか起動できません。
- MODE の値が“110”の場合、オフチップ Flash から異なるアドレスで 3 回起動することができますが、起動前に Gowin ソフトウェアを介してアドレスをビットストリームデータに書き込む必要があります。3 回のコンフィギュレーション試行がすべて失敗した場合、オンチップ Flash からデバイスを起動します。
- GW1NS シリーズ製品では、起動失敗後の複数回の再起動の試行はサポートされますが、起動アドレスの変更はサポートされていません。

注記：

SPI Flash の起動アドレスの下位 12 ビットが無効で、設定できるのは ADDR [23:12] のアドレス空間です。

GW1N(R)-4 デバイスは現在のところ自動的な DUAL BOOT コンフィギュレーションをサポートしていません。GOWIN セミコンダクターは、ユーザーにこの 2 つのデバイスの DUAL BOOT コンフィギュレーション方法を提供しています。詳細については、『GOWIN セミコンダクター GW1N-4 チップに基づく DUAL BOOT ダウンロード方法(TN101)』を参照してください。

7.7 CPU コンフィギュレーションモード

CPU コンフィギュレーションモードでは、ホストは 8 ビット幅のデータバスインターフェースを介して **GOWIN** セミコンダクター **FPGA** 製品をコンフィギュレーションします。**CPU** コンフィギュレーションモードのピンは表 7-20 に示すとおりです。

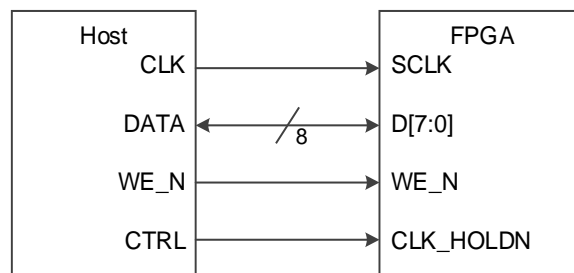
表 7-20 CPU コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号。 READY の立ち上がりエッジでサンプリングされます
SCLK	I	入力クロック
CLKHOLD_N	I、内部の弱いプルアップ	CPU モードにおけるチップセレクト信号で、アクティブ Low。つまり、FPGA を CPU モードでコンフィギュレーションするには、この信号が Low である必要があります。
WE_N	I	読み出し書き込みイネーブル 0：書き込み 1：読み出し
D[7:0]	I/O	データ入出力ポート：CPU コンフィギュレーション中は入力ピンとして使用され、コンフィギュレーション完了後は検証用の出力ピンに変換できます。

CPU コンフィギュレーションモードの接続図は図 7-59 に示すとおり

です。

図 7-59 CPU コンフィギュレーションモードの接続図



注記：

この図は CPU コンフィギュレーションモードの最小システム図です。モードの **MODE** 値は “111” で、他の固定ピンの接続については図 7-1 を参照してください。

パワーアップ要件に加え、CPU モードを使用するには、以下の条件を満たす必要があります。

- CPU インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき **RECONFIG_N** は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します
再パワーアップするか、**Low** レベルパルスで **RECONFIG_N** ピンをトリガします。

7.7.1 コンフィギュレーションのタイミング

コンフィギュレーションする前に、**MODE[2:0]**が 111 に設定されていることを確認してください。コンフィギュレーションが完了すると、**DONE** が **High** にプルアップされます。**Low** レベルの **DONE** または **READY** は、コンフィギュレーションが失敗したことを示します。

コンフィギュレーション中、データバス **D[7 : 0]**はビッグエンディアンモード(**MSB** ファースト)で処理され、FPGA は **SCLK** の立ち下がりエッジでデータを読み出します。

図 7-60 CPU コンフィギュレーションモードの説明図

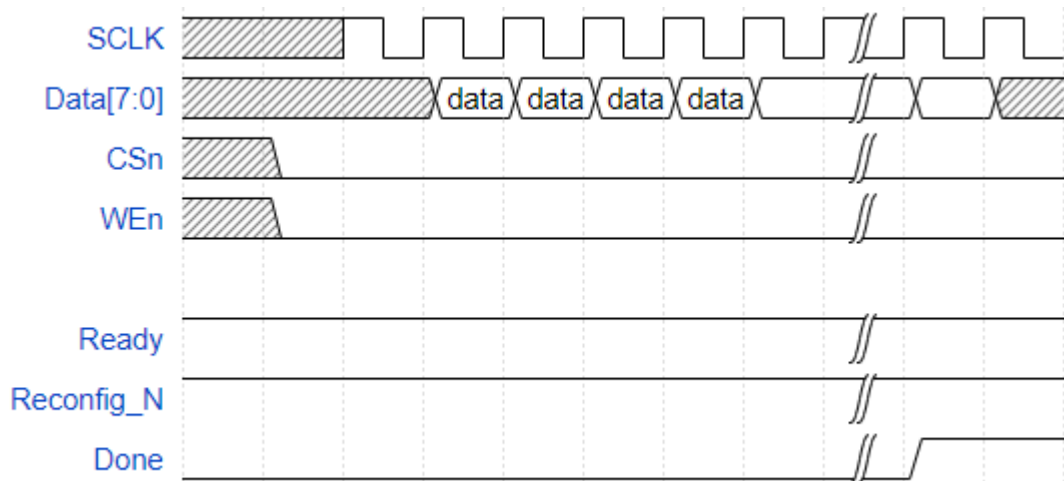


図 7-61 CPU コンフィギュレーションモードのタイミング図

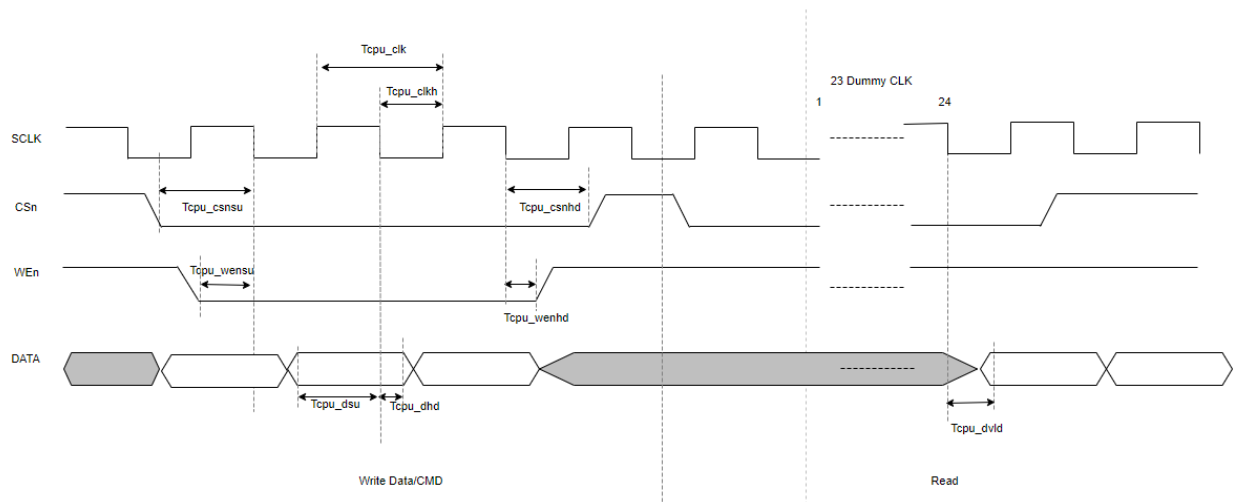


表 7-21 CPU コンフィギュレーションモードのタイミングパラメータ

名称	説明	最小値	最大値	単位
T _{cpu_clk}	CPU input clock period	40	-	ns
T _{cpu_csnsu}	CLKHOLD_N(CSn) setup time to SCLK falling	8	-	ns
T _{cpu_csnhd}	CLKHOLD_N(CSn) hold time from SCLK falling	0	-	ns
T _{cpu_wensu}	WE_N setup time to SCLK falling	8	-	ns
T _{cpu_wenhd}	WE_N hold time from SCLK falling	0	-	ns
T _{cpu_dsu}	Write data input setup time to SCLK falling	10	-	ns
T _{cpu_dhd}	Write data input hold time from SCLK falling	0	-	ns
T _{cpu_dvld}	SCLK falling to read data output valid	-	10	ns
T _{cpu_clkh}	CPU input clock high duration	(clock cycle) *45%	(clock cycle) *55%	-

7.8 SERIAL コンフィギュレーションモード

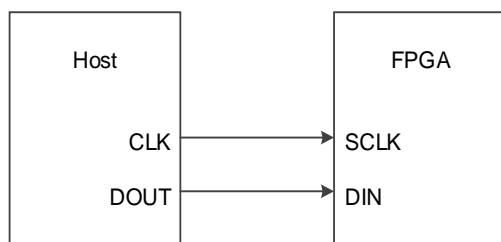
SERIAL モードでは、Host はシリアルインターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。SERIAL コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。SERIAL コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、SERIAL コンフィギュレーションモードでは ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことができません。SERIAL コンフィギュレーションモードのピンの定義は表 7-22 に示すとおりです。

表 7-22 SERIAL コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号。 READY の立ち上がりエッジでサンプリングされます
SCLK	I	入力クロック
DIN	I、内部の弱いプルアップ	入力データ
DOUT	O	出力データ。FPGA カスケード接続時の SERIAL コンフィギュレーションモードでのみ使用されます。

SERIAL コンフィギュレーションモードの接続図は図 7-62 に示すとおりです。

図 7-62 SERIAL コンフィギュレーションモードの接続図



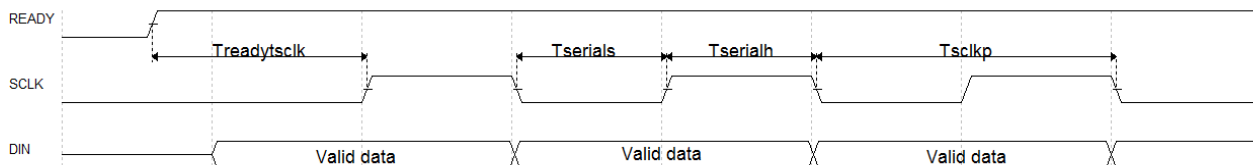
注記：

この図は SERIAL コンフィギュレーションモードの最小システム図です。モードの MODE 値は “101” で、他の固定ピンの接続については図 7-1 を参照してください。

SERIAL コンフィギュレーションモードのタイミング図

SERIAL コンフィギュレーションモードのタイミングを図 7-63 に示します。

図 7-63 SERIAL コンフィギュレーションモードのタイミング図



そのタイミングパラメータは、表 7-23 に示す通りです。

表 7-23 SERIAL コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T _{sclkp}	SCLK のクロックサイクル(SCLK clock period)	15ns	-
T _{serials}	SERIAL PORT のセットアップ時間(SERIAL PORT setup time)	2ns	-
T _{serialh}	SERIAL PORT のホールド時間(SERIAL PORT hold time)	0ns	-
T _{readytscclk}	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	TBD	-

パワーアップ要件に加え、SERIAL モードを使用するには、以下の条件を満たす必要があります。

- SERIAL インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

7.9 I2C コンフィギュレーションモード

注記：

- LittleBee®ファミリーFPGA 製品は、I²C コンフィギュレーションモードである場合に AUTO BOOT モードもサポートします。パワーアップすると、FPGA はまずオンチップ Flash からビットストリームデータを読み込んでコンフィギュレーションを行います。AUTO BOOT コンフィギュレーション中、I²C バスの SDA ラインは外部で High にプルアップされる状態である必要があります。そうでないと、デバイスが正しくコンフィギュレーションされない場合があります。また、SCL ラインも同時に外部でプルアップすることを推奨します。この注記は、SDA と SCL が内部の弱いプルアップを持つ C バージョンのデバイスにも適用されます。
- C バージョンの GW1N-2 および GW1N-1P5 デバイスのオンチップ Flash は、専用 I2C でプログラミングできませんが、goConfig I2C IP を使用してプログラムすることができます。

I²C モードでは、Host は I²C インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。I²C コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。I²C コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、I²C コンフィギュレーションモードでは、ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことや、リードバックすることができません。I²C コンフィギュレーションモードのピンの定義は表 7-24 に示すとおりです。

表 7-24 I²C コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号。 READY の立ち上がりエッジでサンプリングされます
SCL	I ^[1]	入力クロック
SDA	I/O ^[1]	入力データ、または出力 ACK

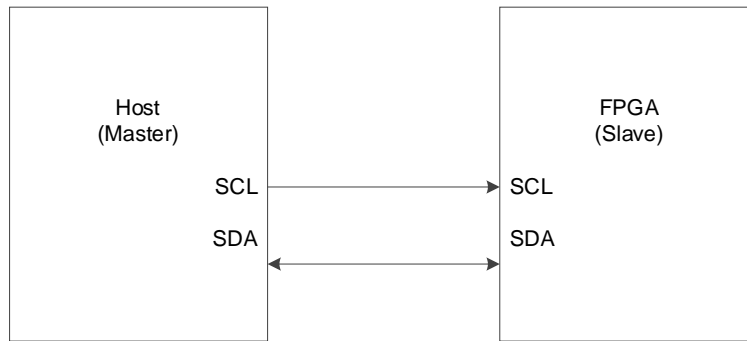
注記：

[1] C バージョンのデバイスの SCL ピンと SDA ピンは内部の弱いプルアップを持っていますが、外部プルアップ抵抗の追加を強く推奨します。

I²C コンフィギュレーションモードの接続図は、図 7-64 に示す通り

です。

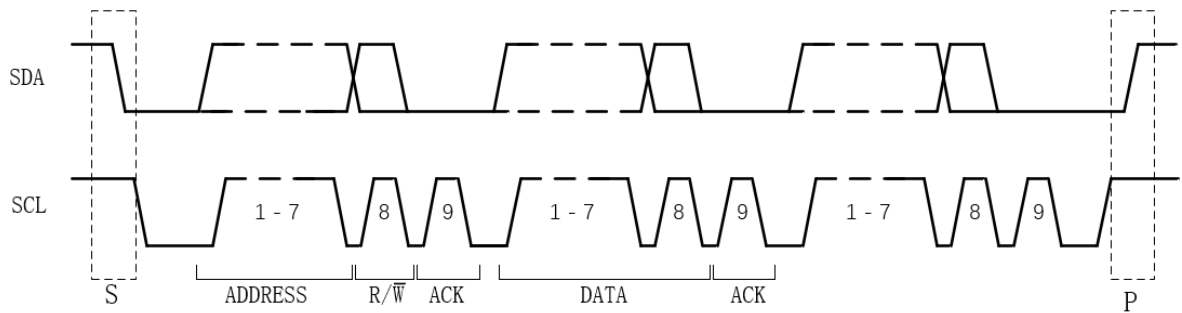
図 7-64 I²C コンフィギュレーションモードの接続図



注記：

この図は I²C コンフィギュレーションモードの最小システム図です。モードの **MODE** 値は “100” で、他の固定ピンの接続については図 7-1 を参照してください。

図 7-65 I²C コンフィギュレーションモードのタイミング図

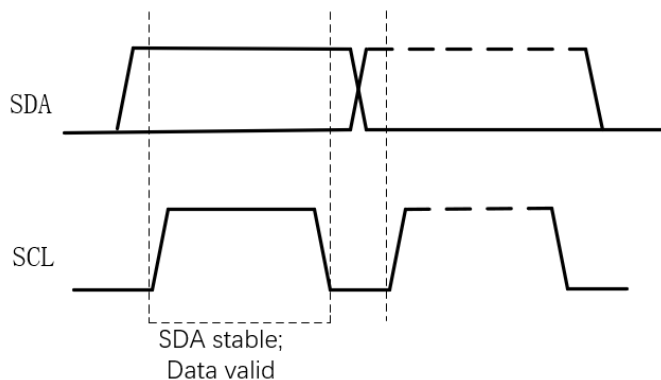


I²C はシリアル伝送バスであり、上図に示すプロトコルに従ってデータ伝送を実行します。アイドル状態では、**SDA** と **SCL** の両方が **High** レベルです。

表 7-25 I²C コンフィギュレーションモードのタイミングパラメータ

パラメータ	パラメータの意味	
S	(I2C Start) 開始条件	SCL が High の場合、SDA が High から Low になります。
P	(I2C Stop) 停止条件	SCL が High の場合、SDA が Low から High になります。
ADDRESS	アドレスフレーム	各スレーブデバイスの一意的な 7 ビットまたは 10 ビットのシーケンスであり、マスターデバイスがスレーブデバイスと通信するときにこのスレーブデバイスを識別するために使用されます。
R/W	読み出し/書き込みビット	マスターデバイスがスレーブデバイスにデータを送信するか (0)、スレーブデバイスからデータを読み出すか (1) を指定します。
ACK	ACK/NACK ビット	メッセージ内の各フレームの後に ACK/NACK ビットが続き、Gowin FPGA が正しい場合に 0 を返します。
DATA	データ	1 つのデータは 8 ビットで、MSB(Most Significant Bit) First フォーマットで送信されます。

I²C バス上のすべてのデータはバイト(8 ビット)で転送されます。送信機が 1 バイトを送信するごとに、データラインがクロックパルス 9 の間に解放され、受信機から応答信号がフィードバックされます。Low の応答信号は、肯定応答ビット (ACK) として定義されます。これは、受信機がバイトを正常に受信したことを意味します。High の応答信号は、否定応答ビット (NACK) として定義されます。これは通常、受信機がバイトの受信に成功しなかったことを意味します。肯定応答ビット ACK のフィードバックの要件は、受信機が 9 番目のクロックパルスの前の Low レベル期間中に SDA ラインを Low にプルダウンし、かつクロックの High レベル期間中にそれを安定した Low レベルのままにすることです。受信機がマスターの場合、最後のバイトを受信した後、受信機は NACK 信号を送信して、制御された送信機に、データ送信を終了して SDA ラインを解放するように通知します。これにより、マスター受信機は停止信号を送信できるようになります。I2C バスで転送されるデータの各ビットには、対応するクロックパルス (または同期制御) があります。つまり、SCL シリアルクロックに連動して、データは SDA でビットずつシリアルに転送されます。データ転送の際、SCL の High レベル期間中、SDA のレベルは安定している必要があります。Low レベルはデータ 0、High レベルはデータ 1 です。SCL が Low の場合にのみ、SDA ラインはレベル状態を変更できます。次の図に示すとおりです。



Gowin デバイスでサポートされている I2C コンフィギュレーションモード情報を表 7-26 に示します。

表 7-26 I2C コンフィギュレーションモードの周波数およびアドレス

モード	デバイス	周波数	アドレス
SRAM のコンフィギュレーション	GW1N-2 (IDCode:0x0120681B)	100Khz~1.33Mhz	7'b1010_000

注記：

I2C で Flash を操作するには、goConfig I2C IP を使用する必要があります。

パワーアップ要件に加え、I2C モードを使用するには、以下の条件を満たす必要があります。

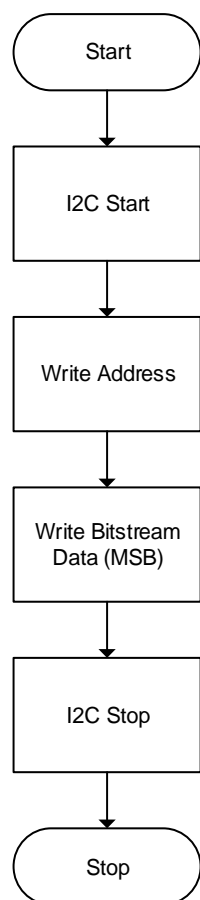
- I2C インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します

再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

7.9.1 GW1N-2 SRAM のコンフィギュレーションのフローチャート

SRAM のコンフィギュレーションに使用されるデータストリームファイルの形式は FS（拡張子は.fs）ファイルまたはバイナリ（拡張子は.bin）ファイルです。ファイル形式に関係なく、データは MSB ファーストでバイトごとに送信されます。

図 7-66 GW1N-2 SRAM のコンフィギュレーションのフローチャート



8 安全上の考慮事項

ユーザーが **FPGA** を使用して設計する場合、セキュリティの問題が重要な考慮事項となります。**GOWIN** セミコンダクターのプログラミングソフトウェアでは、デバイスの機能を考慮して一連のセキュリティ対策が開発され、ユーザーのビットストリームデータを確実に保護できます。

セキュリティ対策は、大きく **3** つの段階に分けられます。

- コンフィギュレーションの前に、プログラミングソフトウェアは自動的にビットストリームデータの有効性をチェックします。
- コンフィギュレーション中に、デバイスはリアルタイムで転送データが正しいかをチェックします。
- コンフィギュレーションが完了した後、デバイスは動作状態に入り、あらゆる形式のリードバック要求をブロックします。

3 つの段階の詳細は以下のとおりです。

コンフィギュレーション前

GOWIN セミコンダクターのプログラミングソフトウェアを使用してコンフィギュレーションするには、以下の手順を参照してください。

1. コンフィギュレーション回路のハードウェア接続を実行します。
2. プログラミングソフトウェアを起動してデバイスのスキャンを実行します。接続されている **FPGA** 製品は自動的に識別されます。
3. ビットストリームデータとプログラミング・コンフィギュレーションモードを選択してデバイスのプログラミング・コンフィギュレーションを実行します。

上記のプロセスでは、プログラミングソフトウェアはまず接続されたデバイスの **ID** を読み出し、次にそれをユーザーによって選択されたビットストリームデータ内の **ID** と比較し、この **2** つの **ID** が一致した場合にのみプログラミング/コンフィギュレーションを実行できます。

注記：

GOWIN セミコンダクターFPGA 製品には、他の製品と区別するための固有の ID があります。Gowin ソフトウェアによって生成されたビットストリームデータにはデバイスの ID 検証命令が自動的に追加されています。従って、ユーザーは、プロジェクトを作成するときにデバイスを選択するだけで済みます。

コンフィギュレーション中

コンフィギュレーションが開始した後、デバイスはまず検証のためにビットストリームデータの ID を読み出し、検証がパスした後にプログラミング・コンフィギュレーションを開始します。ビットストリームデータの改ざんや送信中に発生する可能性のあるエラーを防ぐために、GOWIN セミコンダクターデバイスは CRC 方法を使用して、ビットストリームファイル内のすべてのデータビットが FPGA に正しく書き込まれるようにします。

Gowin ソフトウェアによって生成されたビットストリームデータの各アドレスの後には、当該アドレスに対応するデータの CRC チェックコードが追加されています。GOWIN FPGA がデータを受信中にも継続的にチェックコードを生成し、それを受信されたチェックコードと比較します。チェックエラーが発見されると、それ以降のデータは無視され、コンフィギュレーションが完了しても DONE インジケータは点灯せず、CRC チェックエラーがプログラミングソフトウェア GUI に表示されます。

コンフィギュレーション完了後

コンフィギュレーションが完了すると、ユーザーが選択したプログラミング・コンフィギュレーションモードに従って、デバイスのビットストリームデータが SRAM にロードされるか、オンチップ Flash に格納されます(オンチップ Flash 内の格納は LittleBee®ファミリーFPGA 製品のみでサポートされます)。

- SRAM にロードされたデータの場合、Gowin ソフトウェアがビットストリームデータの生成時にセキュリティビットを自動的に設定したため、ユーザーは SRAM 内のデータを読み出すことができません。
- オンチップ Flash に格納されているデータの場合、Flash へのプログラミングが完了した後、Flash は AUTO BOOT モードに入り、すべての読み出しが禁止されます。

さらに、LittleBee®ファミリーFPGA 製品の AUTO BOOT コンフィギュレーションモードは、外部ダウンロードインターフェースとの接続を必要としないため、コンフィギュレーション中のデータ傍受のリスクが大幅に低減され、セキュリティが高くなります。DUAL BOOT モードにより、ユーザーは必要に応じてオフチップ Flash にデータをバックアップすることができます。

注記：

GOWIN セミコンダクターは、オフチップ Flash のデータのセキュリティに対して責任を負いません。

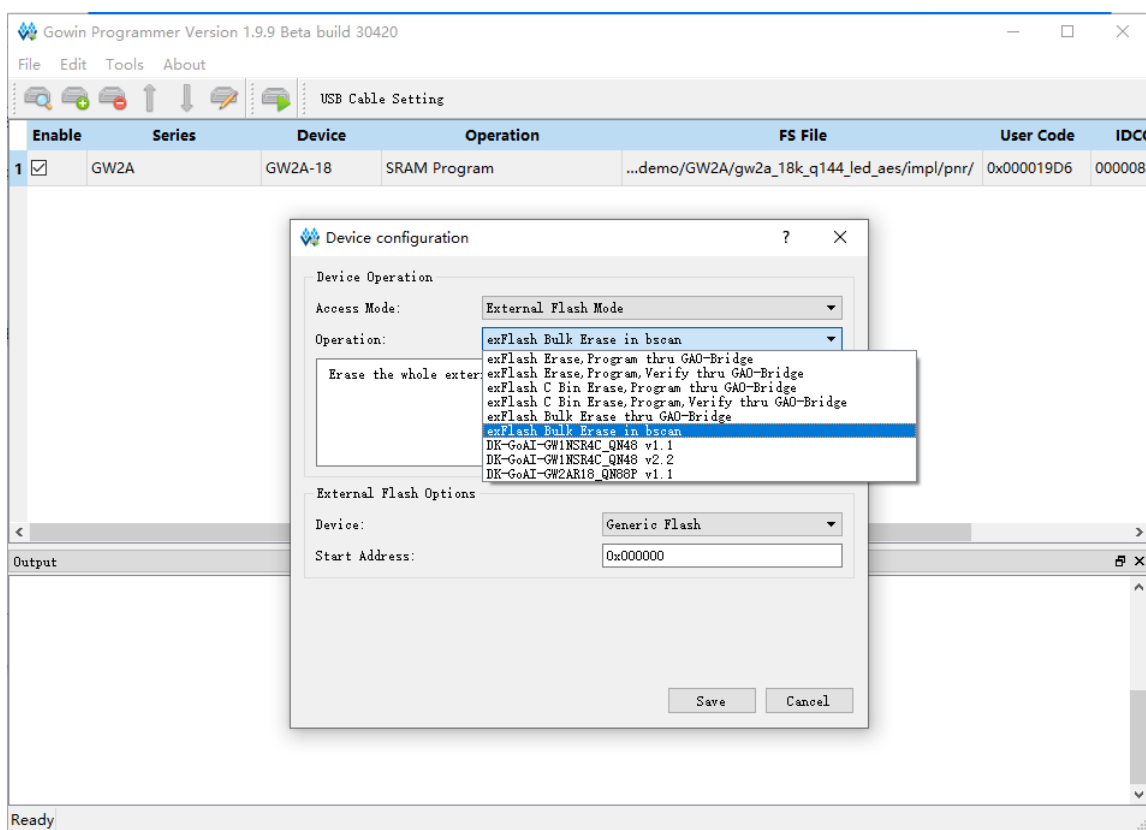
9 バウンダリスキャン

バウンダリスキャンは、**JTAG** コンフィギュレーションモードの拡張機能です。スキャンチェーンにはロングチェーンとショートチェーンがあります：ロングチェーンは主に **BSDL** ファイルを利用してデバイスのテストに使用され、ショートチェーンは主に **FPGA** チェーン上のオフチップ **Flash** の消去および読み出しと書き込みに使用されます。

バウンダリスキャンの操作手順は次のとおりです。

1. **FPGA** 開発ボードを **PC** に接続して電源を投入します。
2. **Gowin** プログラミングソフトを開き、接続されているデバイスをスキャンします。
3. **Operation** の下をダブルクリックしてオフチップ **Flash** を選択し、関連する **bscan** 操作を選択します(図 9-1)。

図 9-1 バウンダリスキャン操作の説明図



バウンダリスキャン操作は、FPGA のオフチップ Flash に対してのみ実行可能で、オンチップ Flash や SRAM をプログラミング・コンフィギュレーションするために使用することはできません。バウンダリスキャン操作によりオフチップ Flash をプログラムする場合、FPGA MODE 値は任意ですが、バウンダリスキャン操作によるプログラミングは、従来の JTAG によるオフチップ Flash プログラミング方法より遅くなります。

10 SPI Flash の選択

GOWIN セミコンダクターFPGA 製品でサポートされているオフチップ SPI Flash デバイスの操作命令は表 10-1 に示すとおりです。

表 10-1 SPI Flash の操作命令

操作	命令
Read	0x03
Fast_Read	0x0B
Page Program	0x02
Sector Erase	0x20
Chip Erase	0xC7
Read Status Code	0x05
Read JEDEC ID	0x9F
Write Enable	0x06
Write Disable	0x04

注記：

- Gowin FPGA がサポートする Flash の読み出し命令のうち、少なくとも 1 つは 0x03 または 0x0B である必要があります。クロック周波数が 30MHz 以下の場合には通常の読み出し命令(0x03)、クロック周波数が 30MHz を超える場合は高速読み出し命令(0x0B)を使用します。高速読み出しの場合は FASTRD_N を Low にプルダウンする必要があります、クロック周波数は 70MHz を超えてはなりません。
- Read(0x03)と Fast_Read(0x0B)はデバイスが MSPI モードの時にサポートされる唯一の命令で、他の命令は Programmer で Flash をプログラムする際に使用される命令です。
- デフォルトでは、SPI Flash は Standard SPI プロトコルで動作する必要があります。
- テストでは主に Winbond(ウィンボンド)社、GigaDevice 社、および ISSI 社(ISSI 社の SPI-Flash "IS25LP064A-JBLE"など)の Flash 製品が使用されています。他の会社の Flash 製品を使用した場合、上記のコマンド要件が満たされていても、タイミングの違いにより例外が発生する場合があります。

