

Gowin FPGA 製品プログラミング・コンフィ ギュレーション ユーザーガイド

UG290-2.4.1J, 2022-01-20

著作権について（2022）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN、Gowin、LittleBee、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/04/17	1.00J	初版。
2017/05/31	1.01J	<ul style="list-style-type: none"> ● 各デバイスがサポートするコンフィギュレーションモード及び mode 値を更新。 ● オンチップ Flash プログラミング時の RECONFIG_N 注意事項を更新。
2017/10/13	1.02J	多重化ピンの説明を更新。
2018/03/16	1.03J	GW1NS シリーズ製品のプログラミング・コンフィギュレーション説明を追加。
2018/08/08	1.04J	<ul style="list-style-type: none"> ● Flash が空の場合のコンフィギュレーションの説明を更新。 ● マルチコンフィギュレーションの操作手順説明を更新。 ● MODE[0]=1 の場合の JTAG ピン多重化の説明を更新。 ● B バージョンデバイスのプログラミング特性を更新。 ● プログラミング・コンフィギュレーションの注意事項及び各コンフィギュレーションモードのタイミング図を追加。
2019/01/08	1.05J	<ul style="list-style-type: none"> ● SERIAL コンフィギュレーションモードのタイミング図およびタイミングパラメータを追加。 ● 電源供給の要件に関連する内容を削除
2019/08/16	1.06J	<ul style="list-style-type: none"> ● パワーアップおよびコンフィギュレーションの手順を追加。 ● コンフィギュレーションファイルのサイズのセクションを変更。
2020/05/15	2.0J	<ul style="list-style-type: none"> ● JTAGSEL_N をユーザーIO として使用する場合の説明を追加。 ● デバイス GW1N(R)-2/GW1N(R)-2B/GW1N(R)-6 の情報を削除。 ● コンフィギュレーションモードの説明を更新。
2020/08/20	2.1J	<ul style="list-style-type: none"> ● JTAG コンフィギュレーションの説明を追加。 ● SSPI コンフィギュレーションの説明を追加。 ● AES 暗号化キーのプログラミングの説明を追加。
2020/10/30	2.2J	コンフィギュレーションファイルのロード時間の説明を追加。
2021/02/05	2.3J	I²C コンフィギュレーションの情報を追加。
2021/09/24	2.4J	<ul style="list-style-type: none"> ● セクション「4 コンフィギュレーションプロセス」を追加。 ● GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャートを追加。 ● オンチップ Flash プログラミングの説明を追加。
2021/01/20	2.4.1J	I²C コンフィギュレーションモードの説明を追加。

目次

目次	i
図一覧	iii
表一覧	vi
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	3
2 用語の説明	4
3 コンフィギュレーションモード	7
3.1 LittleBee®ファミリーFPGA 製品	7
3.2 Arora ファミリーFPGA 製品	8
4 コンフィギュレーションプロセス	10
4.1 電源投入タイミング	11
4.2 初期化	13
4.3 構成	13
4.4 ウェイクアップ	13
4.5 ユーザーモード	14
5 コンフィギュレーションピン	15
5.1 コンフィギュレーションピンのリストおよび多重化オプション	15
5.1.1 コンフィギュレーションピンのリスト	15
5.1.2 ピンの多重化	16
5.2 コンフィギュレーションピンの機能とアプリケーション	18
6 コンフィギュレーションモード	24
6.1 コンフィギュレーションの注意事項	24
6.2 JTAG コンフィギュレーション	28
6.2.1 JTAG モードのピン	28
6.2.2 JTAG コンフィギュレーションモードの接続図	29

6.2.3 JTAG コンフィギュレーションモードのタイミング図	30
6.2.4 JTAG コンフィギュレーションの手順.....	31
6.3 AUTO BOOT コンフィギュレーション(LittleBee®ファミリーでのみサポート).....	61
6.4 SSPI コンフィギュレーションモード.....	62
6.4.1 SSPI コンフィギュレーションモードのピン	62
6.4.2 SSPI コンフィギュレーションモードのタイミング図	63
6.4.3 SSPI の一般的なコンフィギュレーション命令	64
6.4.4 SSPI Configure SRAM のフローチャート	67
6.4.5 SSPI コンフィギュレーションモードの接続図	67
6.4.6 SSPI モードでの複数 FPGA 接続.....	70
6.5 MSPI コンフィギュレーションモード	70
6.6 DUAL BOOT コンフィギュレーション(LittleBee®ファミリーでのみサポート).....	78
6.7 CPU コンフィギュレーションモード	79
6.7.1 コンフィギュレーションタイミング.....	81
6.8 SERIAL コンフィギュレーションモード.....	81
6.9 I ² C コンフィギュレーションモード.....	83
6.9.1 GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャート ...	87
7 ビットストリームファイルの構成.....	88
7.1 構成オプションの設定	88
7.2 コンフィギュレーションデータの暗号化(Arora ファミリーでのみサポート).....	89
7.2.1 定義	90
7.2.2 暗号化キーの入力.....	90
7.2.3 復号化キーの入力.....	91
7.2.4 AES 暗号化キーのプログラミング操作.....	92
7.2.5 AES 暗号化キーのプログラミングプロセス	93
7.3 コンフィギュレーションファイルのサイズ.....	97
7.4 コンフィギュレーションファイルのロード時間.....	99
8 安全上の考慮事項.....	102
9 バウンダリスキャン	104
10 SPI Flash の選択.....	106

図一覧

図 4-1 Gowin FPGA のコンフィギュレーションプロセス.....	11
図 4-2 電源投入タイミング	12
図 5-1 ピンの多重化.....	18
図 5-2 MCLK 周波数の設定	22
図 6-1 推奨されるピン接続.....	26
図 6-2 再パワーアップのタイミング図.....	27
図 6-3 トリガのタイミング図	27
図 6-4 JTAG コンフィギュレーションモードの接続図	29
図 6-5 JTAG デイジーチェーンコンフィギュレーションの接続図	30
図 6-6 JTAG コンフィギュレーションモードのタイミング図.....	30
図 6-7 TAP 状態機械	32
図 6-8 命令レジスタのアクセスタイミング.....	33
図 6-9 データレジスタのアクセスタイミング	33
図 6-10 ID Code 読み出し状態機械プロセスチャート	35
図 6-11 ID Code 読み出し命令-0x11 のアクセスタイミング	36
図 6-12 ID Code 読み出し際のデータレジスタのアクセスタイミング	36
図 6-13 SRAM のコンフィギュレーションプロセス	37
図 6-14 SRAM の読み出しプロセス.....	39
図 6-15 通常のプログラミング手順.....	41
図 6-16 バックグラウンドプログラミング手順.....	42
図 6-17 T プロセスの場合のオンチップ Flash 消去手順.....	44
図 6-18 H プロセスの場合のオンチップ Flash 消去手順.....	46
図 6-19 オンチップ Flash のプログラミングのフローチャート.....	49
図 6-20 X-page プログラミングのフローチャート.....	50
図 6-21 Y-page プログラミングのフローチャート.....	51
図 6-22 オンチップ Flash 読み出しプロセスチャート	52
図 6-23 Y-page 読み出しプロセス	53
図 6-24 GW1N-4 Background Programming プロセスチャート	54
図 6-25 Transfer JTAG Instruction Sample & Extest プロセスチャート	55

図 6-26 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図.....	56
図 6-27 SPI Flash プログラミングのフローチャート.....	57
図 6-28 JTAG の SPI の 0x06 命令送信シミュレーションのタイミング図(GW2A シリーズ).....	57
図 6-29 JTAG の SPI の 0x06 命令送信シミュレーションのタイミング図(GW1N シリーズ).....	58
図 6-30 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート	59
図 6-31 デイジーチェーンの接続図	61
図 6-32 SSPI コンフィギュレーションモードのタイミング図	63
図 6-33 ID Code の読み出しのタイミング図.....	65
図 6-34 Write Enable(0x15)タイミング説明図.....	65
図 6-35 Write Disable (0x3A00)のタイミング図	66
図 6-36 Write Data(0x3B)のタイミング図	66
図 6-37 SSPI コンフィギュレーションモードの接続図	68
図 6-38 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図	68
図 6-39 SSPI モードでの Flash プログラミングのフローチャート	69
図 6-40 複数 FPGA の接続図 1	70
図 6-41 複数 FPGA の接続図 2	70
図 6-42 MSPI コンフィギュレーションモードの接続図.....	72
図 6-43 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図.....	72
図 6-44 次の BitStream のスタートアップアドレスの設定	74
図 6-45 オフチップ Flash のプログラミングアドレスの設定.....	75
図 6-46 1 つの Flash で複数の FPGA をコンフィギュレーションする場合の接続図	76
図 6-47 MSPI ダウンロードモードのタイミング図.....	76
図 6-48 MSPI モードでの複数 FPGA 接続	78
図 6-49 DUAL BOOT モードのフローチャート	79
図 6-50 CPU コンフィギュレーションモードの接続図.....	80
図 6-51 CPU モードのコンフィギュレーションタイミング	81
図 6-52 SERIAL コンフィギュレーションモードの接続図	82
図 6-53 SERIAL コンフィギュレーションモードのタイミング図.....	83
図 6-54 I ² C コンフィギュレーションモードの接続図	84
図 6-55 I ² C コンフィギュレーションモードのタイミング図.....	85
図 6-56 GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャート	87
図 7-1 構成オプション	89
図 7-2 暗号化キーの設定方法	91
図 7-3 復号化キーの設定方法	92
図 7-4 AES プログラミングのダイアログ	93
図 7-5 Prepare.....	94
図 7-6 Read AES Key Flow	95

図 7-7 Program AES Key Flow	96
図 7-8 Lock AES Key Flow	97
図 7-9 ビットストリーム形式の生成.....	98
図 9-1 バウンダリスキャンの操作説明図	105

表一覧

表 1-1 用語、略語.....	2
表 2-1 用語の説明.....	4
表 3-1 コンフィギュレーションモード.....	7
表 3-2 コンフィギュレーションモード.....	9
表 4-1 各デバイスの POR モジュールが監視する電源レール.....	12
表 5-1 コンフィギュレーションピンのリスト.....	15
表 5-2 コンフィギュレーションピンの多重化オプション.....	16
表 5-3 ピンの機能.....	19
表 6-1 LittleBee®ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ.....	27
表 6-2 Arora ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ.....	28
表 6-3 JTAG コンフィギュレーションモードのピンの定義.....	29
表 6-4 JTAG コンフィギュレーションモードのタイミングパラメータ.....	31
表 6-5 Gowin FPGA IDCODE.....	34
表 6-6 命令送信中の TDI と TMS 値の変化.....	34
表 6-7 各デバイスの SRAM アドレス数とアドレス長さ.....	38
表 6-8 JTAG の TCK 周波数要求.....	42
表 6-9 Readback-pattern / Autoboot-pattern.....	47
表 6-10 ピンの状態.....	58
表 6-11 Status Register の意味.....	60
表 6-12 SSPI コンフィギュレーションモードのピン.....	62
表 6-13 SSPI コンフィギュレーションモードのタイミングパラメータ.....	63
表 6-14 コンフィギュレーション命令.....	64
表 6-15 MSPI コンフィギュレーションモードのピン.....	71
表 6-16 MSPI コンフィギュレーションモードのタイミングパラメータ.....	76
表 6-17 CPU モードのピン.....	80
表 6-18 SERIAL コンフィギュレーションモードのピンの定義.....	81
表 6-19 SERIAL コンフィギュレーションモードのタイミングパラメータ.....	83
表 6-20 I ² C コンフィギュレーションモードのピンの定義.....	84

表 6-21 I ² C コンフィギュレーションモードのタイミングパラメータ	85
表 6-22 I ² C コンフィギュレーションモードの周波数およびアドレス	86
表 7-1 GOWIN セミコンダクターFPGA 製品のコンフィギュレーションファイルのサイズ(最大値)	98
表 7-2 コンフィギュレーションファイルのロード周波数.....	99
表 7-3 MSPI モードでのデータストリームファイルのロード時間	101
表 7-4 AUTO BOOT モードでのデータストリームファイルのロード時間	101
表 10-1 SPI Flash に対する操作命令	106

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、主に GOWIN セミコンダクターの LittleBee®ファミリーおよび Arora ファミリーFPGA 製品のプログラミング・コンフィギュレーションについて説明し、ユーザーが Gowin FPGA 製品を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ FPGA 製品データシート([DS891](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	説明
LUT	Look-up Table	ルックアップテーブル
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
GPIO	General Purpose Input Output	Gowin プログラマブル汎用 IO
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
SRAM	Static Random Access Memory	スタティック RAM
MSPI	Master Serial Peripheral Interface	マスター・シリアル・ペリフェラル・インターフェース
SSPI	Slave Serial Peripheral Interface	スレーブ・シリアル・ペリフェラル・インターフェース
CPU	Central Processing Unit	中央処理装置
IEEE	Institute of Electrical and Electronics Engineers	米国電気電子学会
ID	Identification	ID 標識番号
CRC	Cyclic Redundancy Check	巡回冗長検査
FS file	Fuses file	コンフィギュレーションデータを含む ASCII ファイル
Configuration	Configuration	FPGA SRAM エリアをコンフィギュレーションするプロセス
Configuration Data	Configuration Data	FPGA SRAM をコンフィギュレーションするデータ
Bitstream	Bitstream Data	FPGA SRAM をコンフィギュレーションするデータ
Configuration Mode	Configuration Mode	Configuration Data ソースを決定するコンフィギュレーションモード
EFash/EmbFlash	Embedded Flash	FPGA のオンチップ Flash
Internal Flash	Internal Flash	Embedded Flash と同じ
Programming	Programming	Configuration Data をオンチップ Flash またはオフチップ Flash にロードするプロセス
Edit Mode	Edit Mode	FPGA はコンフィギュレーションモードまたはプログラミングモードになっていることを示します

用語、略語	正式名称	説明
User Mode	User Mode	FPGA がコンフィギュレーションまたはプログラミングを完了後、ロジック機能を実行するモード
Background Programming	Embedded Flash Background Programming	FPGA の動作と I/O ステータスに影響を与えずに、オンチップ Flash のデータストリームファイルを更新することを指します。
LSB	Least Significant Bit	最下位ビット(優先)
MSB	Most Significant Bit	最上位ビット(優先)
TAP	Test Access Port	テストアクセスポート
Security Bit	Security Bit	セキュリティビット(SRAM のリードバックを High にする)
Bscan	Boundary Scan	バウンダリスキャンテスト技術
I2C (I ² C、IIC)	Inter-Integrated Circuits	I2C バス
SCL	Serial Clock	I2C クロック
SDA	Serial Data	I2C データ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 用語の説明

本章は、主に **GOWIN** セミコンダクター **FPGA** 製品のプログラミング・コンフィギュレーションでよく使用される一般的な用語について説明します。

表 2-1 用語の説明

用語	意味
プログラミング(Program)	Gowin ソフトウェアが生成するビットストリームデータを、 FPGA オンチップ Flash または FPGA と接続するオフチップ SPI Flash に書き込むプロセスです。
コンフィギュレーション (Configure)	Gowin ソフトウェアが生成するビットストリームデータを、オフチップ Flash またはオンチップ Flash から、 FPGA の SRAM に読み込むプロセスです。
GowinCONFIG	汎用 JTAG コンフィギュレーションモードに加えて、 GOWIN セミコンダクター FPGA 製品がサポートするその他のコンフィギュレーションモードには、 AUTO BOOT コンフィギュレーション、 DUAL BOOT コンフィギュレーション、 MSPI コンフィギュレーション、 SSPI コンフィギュレーション、 SERIAL コンフィギュレーション、および CPU コンフィギュレーションがあります。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージタイプによって異なります。
MODE[2:0]	3 つのモードを表します。
AUTO BOOT	FPGA はオンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います。このモードをサポートするのは不揮発性デバイスのみです。
DUAL BOOT	2 つのビットストリームファイルは、それぞれオンチップ Flash とオフチップ Flash に保存されます。オフチップ Flash によるコンフィギュレーションに失敗した場合は、オンチップ Flash に切り替えます。このモードをサポートするのは不揮発性デバイスのみです。

用語	意味
MSPI コンフィギュレーション	FPGA をマスター(master)として、SPI インターフェースを介して能動的にオフチップ Flash からビットストリームデータを読み出し、コンフィギュレーションします。
SSPI コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターが SPI インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
SERIAL コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターがシリアルインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
CPU コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターがパラレルインターフェース(8-bit)を介してビットストリームデータを書き込んでコンフィギュレーションします。
I ² C コンフィギュレーション	FPGA をスレーブ(slave)として、外部マスターが I ² C インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
MULTI BOOT コンフィギュレーション	MSPI コンフィギュレーションモードの派生概念で、FPGA がオフチップ Flash の異なるアドレスからビットストリームデータを読み出し、コンフィギュレーションします。ユーザーが前のビットストリームデータに次のコンフィギュレーションのビットストリームデータの読み込みアドレスを書き込み、パワーオンのとき RECONFIG_N をトリガしてデータストリームファイルを切り換えてコンフィギュレーションします。MSPI モードをサポートする FPGA 製品はいずれもこのモードをサポートします。
リモートアップグレード	ユーザーのアプリケーションシナリオの一つです。つまり FPGA が動作を開始した後、アップロードしたい場合、まずリモート操作でビットストリームデータをオフチップ Flash に書き込み、RECONFIG_N をトリガするかまたは再パワーアップして FPGA にオフチップ Flash からデータを読み出させてコンフィギュレーションします。
デイジーチェーン	FPGA デバイスを直列に接続する方法。接続順にチェーンの先頭からデバイスをコンフィギュレーションでき、データは隣接デバイス間でのみ転送できます。
ユーザーモード(User Mode)	FPGA のコンフィギュレーションが完了した後、制御がユーザーに渡されることを指します。コンフィギュレーションピンを通常の I/O に多重化する設定は、ユーザーモードでのみ有効です。
編集モード(Edit Mode)	デバイスをプログラミング・コンフィギュレーションできるモードです。 編集モードでは、すべてのコンフィギュレーションピンを通常の I/O として使用することはできず、すべての通常ピンの出力は高インピーダンスです(バックグラウンドアップグレードの場合を除く)。

用語	意味
ID CODE	GOWIN セミコンダクターFPGA デバイスの ID 標識です。各シリーズのデバイスには独立した番号があります。
USER CODE	ユーザーの FPGA デバイスの ID で、Gowin プログラミングソフトウェアを介して最大 32 ビットまでデバイスに書き込むことができます。
セキュリティビット (Security Bit)	GOWIN セミコンダクターが FPGA 製品のコンフィギュレーションデータを保護するために設定されたものです。ユーザーがデバイスの SRAM にセキュリティビット設定済みのビットストリームデータを書き込んだ後は、だれもデータをリードバックできません。デフォルトでは、Gowin ソフトウェアはすべての FPGA 製品のビットストリームデータのためにセキュリティビットを設定しています。
暗号化(Encryption)	Arora ファミリーの FPGA 製品でサポートされる機能です。暗号化されたビットストリームが FPGA に書き込まれると、デバイスはそれを事前に保存されているキーと自動的に照合し、照合が成功すると復号化してデバイスを起動します。

3 コンフィギュレーションモード

3.1 LittleBee®ファミリーFPGA 製品

JTAG モードのほか、LittleBee®ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードもサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ形式によって異なります。すべての不揮発性デバイスは JTAG および AUTO BOOT モードをサポートし、デバイスは表 3-1 に示すように最大 6 つのコンフィギュレーションモードをサポートします。

表 3-1 コンフィギュレーションモード

コンフィギュレーションモード		MODE[2:0] ^[1]	説明
JTAG		XXX ^[2]	外部 Host が JTAG インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
GowinCONFIG	AUTO BOOT	000	FPGA はオンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います
	I ² C ^[6]	100	外部 Host は I ² C インターフェースを介して、FPGA 製品をコンフィギュレーションします
	SSPI	001	外部 Host が SPI インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
	MSPI	010	FPGA は Master として、SPI インターフェース ³ を介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションします
	DUAL BOOT ^[4]	110	FPGA は、優先的にオフチップ Flash からコンフィギュレーションデータを読

コンフィギュレーションモード		MODE[2:0] ^[1]	説明
			み出してコンフィギュレーションを行います。それが失敗した場合は、オンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションします
	SERIAL ^[5]	101	外部 Host が DIN インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします
	CPU ^[5]	111	外部 Host が DBUS インターフェースを介して LittleBee®ファミリーFPGA 製品をコンフィギュレーションします

注記：

- [1] MODE ピンが完全にボンディングされていない場合、ボンディングされていない MODE はデフォルトで接地されています。
- [2] JTAG コンフィギュレーションモードは MODE 入力値とは関係ありません。
- [3] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- [4] GW1N(R)-4 /GW1N(R)-4B は現在 DUAL BOOT をサポートしません。
- [5] CPU コンフィギュレーションモードと SERIAL コンフィギュレーションモードでは SCLK、WE_N、および CLKHOLD_N ピンを共有し、CPU コンフィギュレーションモードと MSPI および SSPI コンフィギュレーションモードはデータバスピンを共有します。
- [6] I²C コンフィギュレーションモードは一部の製品でサポートされます。LittleBee®ファミリーFPGA 製品が I²C コンフィギュレーションモードの場合、AUTO BOOT モードもサポートされます。パワーアップすると、FPGA は最初に内蔵 Flash からビットストリームデータを読み込んでコンフィギュレーションを行います。AUTO BOOT コンフィギュレーション中は、I²C バスの SCL および SDA ラインを High にプルアップしたままにする必要があります。そうしないと、デバイスが正しくコンフィギュレーションされない場合があります。

注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化およびコンフィギュレーションピンの機能・アプリケーションについては、[5](#) コンフィギュレーションピンを参照してください。

3.2 Arora ファミリーFPGA 製品

JTAG モードのほか、Arora ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードもサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ形式によって異なります。デバイスはビットストリームデータ暗号化とセキュリティビット設定をサポートするので、安全性が高いです。Arora ファミリーFPGA 製品はビットストリームデータの圧縮・解凍をサポートしており、ユーザーはビットストリームデータを圧縮することでメモリ領域を節約することができます。

Arora ファミリーFPGA 製品でサポートされているコンフィギュレーションモードを表 3-2 に示します。

表 3-2 コンフィギュレーションモード

コンフィギュレーションモード		MODE[2:0] ^[1]	説明
JTAG		XXX ^[2]	外部 Host が JTAG インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします。
GowinCONFIG	MSPI ^[3]	000	FPGA は Master として、SPI インターフェース ^[3] を介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションします。
	SSPI ^[3]	001	外部 Host が SPI インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします
	SERIAL ^[4]	101	外部 Host が DIN インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします
	CPU ^[4]	111	外部 Host が DBUS インターフェースを介して Arora ファミリーFPGA 製品をコンフィギュレーションします。

注記：

- [1] MODE ピンが完全にボンディングされていない場合、ボンディングされていない MODE はデフォルトで接地されています。
- [2] JTAG コンフィギュレーションモードは MODE 入力値とは関係ありません。
- [3] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- [4] CPU コンフィギュレーションモードと SERIAL コンフィギュレーションモードでは SCLK、WE_N、および CLKHOLD_N ピンを共有し、CPU コンフィギュレーションモードと MSPI および SSPI コンフィギュレーションモードはデータバスピンを共有します。

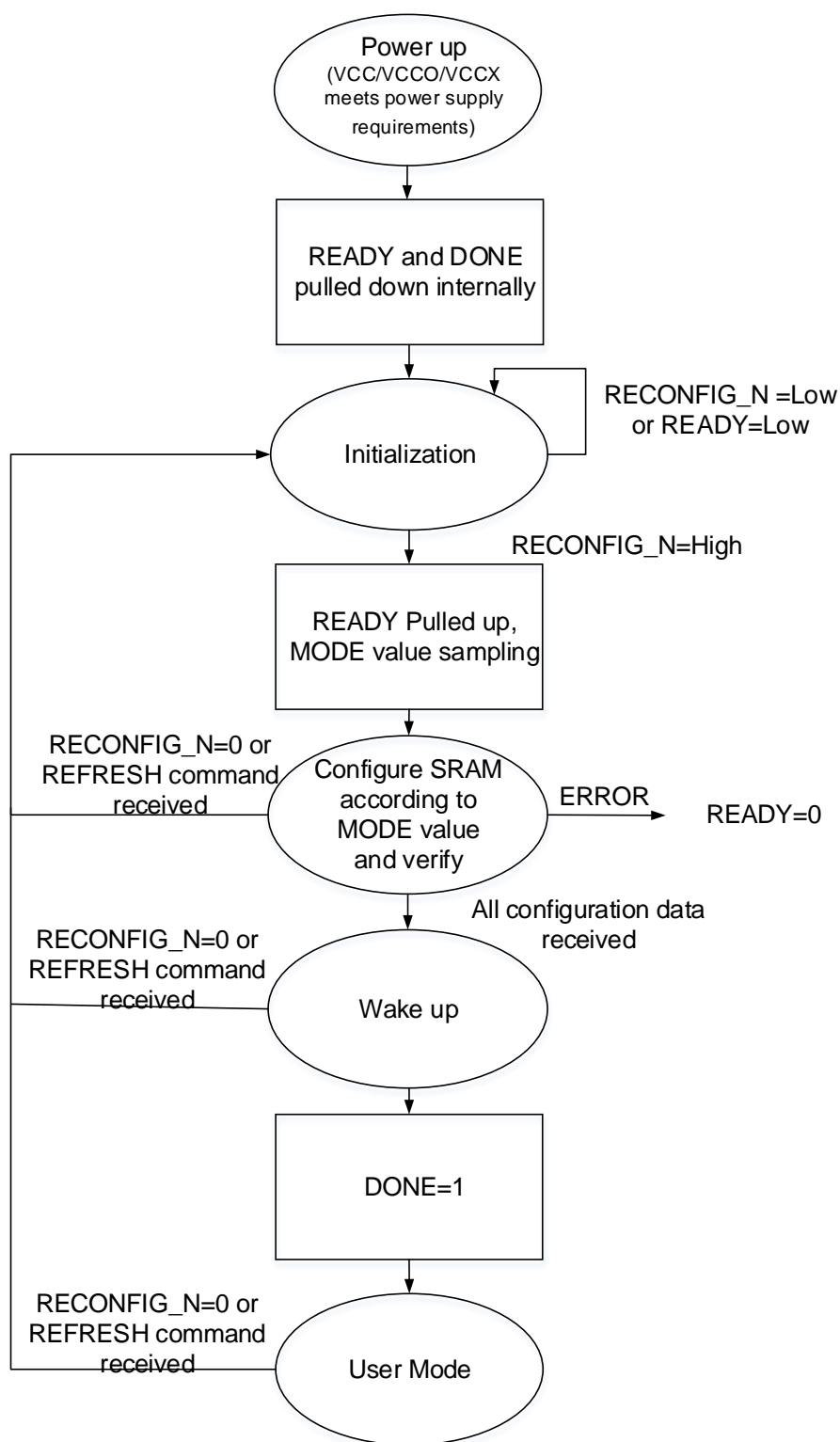
注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化およびコンフィギュレーションピンの機能・アプリケーションについては、[5](#) コンフィギュレーションピンを参照してください。

4 コンフィギュレーションプロセス

Gowin FPGA は電源投入後、初期化、SRAM コンフィギュレーション、ウェイクアップなど、いくつかの状態を経ます。そのコンフィギュレーションプロセスを図 4-1 に示します。

図 4-1 Gowin FPGA のコンフィギュレーションプロセス



4.1 電源投入タイミング

電源投入中に、FPGA 内のパワーオンリセット（POR）回路が動作を開始します。POR 回路は、外部 I/O ピンがハイインピーダンス状態にあるこ

とを確認し、VCC/VCCX/VCCOn 電源レールを監視します。

VCC/VCCX/VCCOn が最低のリセットレベルの要件を満たすと（リセットレベルや監視される電源レールは、デバイスごとに異なります）、POR 回路が内部リセット信号を解放し、FPGA が初期化プロセスを開始します。READY 信号と DONE 信号が Low にプルダウンされると、デバイスは初期化状態になります(図 4-2)。

図 4-2 電源投入タイミング

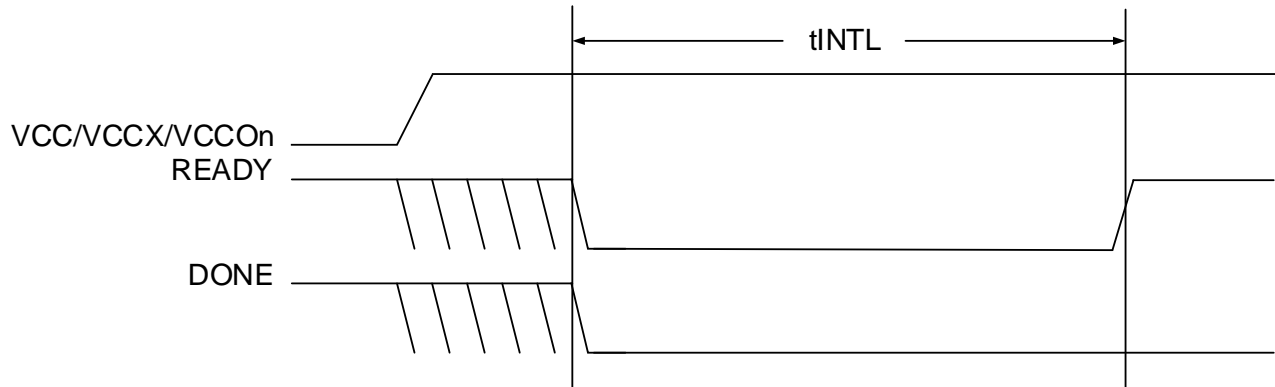


表 4-1 に、各デバイスの POR モジュールが監視する電源レールを示します。

表 4-1 各デバイスの POR モジュールが監視する電源レール

シリーズ	デバイス	POR モジュールが監視する電源レール
GW1N	GW1N-1 GW1N-4 GW1N-9	VCC/VCCX/VCCO1/VCCO3
	GW1N-1P5 GW1N-2	VCC/VCCX/VCCO0
	GW1N-1S	VCC/VCCX/VCCO0/VCCO2
	GW1NZ-1	VCC/VCCX/VCCO1/VCCO3
GW1NR	GW1NR-1 GW1NR-4 GW1NR-9	VCC/VCCX/VCCO1/VCCO3
GW1NS	GW1NS-4 GW1NS-4C	VCC/VCCX/VCCO0/VCCO1
GW1NSR	GW1NSR-4 GW1NSR-4C	VCC/VCCX/VCCO0/VCCO1
GW1NSE	GW1NSE-4C	VCC/VCCX/VCCO0/VCCO1
GW1NSER	GW1NSER-4C	VCC/VCCX/VCCO0/VCCO1
GW1NRF	GW1NRF-4B	VCC/VCCX/VCCO1/VCCO3
GW2A	GW2A-18 GW2A-55	VCC/VCCX/VCCO3
GW2AR	GW2AR-18	VCC/VCCX/VCCO3
GW2AN	GW2AN-9X GW2AN-18X	VCC/VCCX/VCCO1/VCCO5
	GW2AN-55	VCC/VCCX/VCCO3
GW2ANR	GW2ANR-18	VCC/VCCX/VCCO3

4.2 初期化

パワーオンリセット回路が **READY** ピンと **DONE** ピンを **Low** にプルダウンすると、**Gowin FPGA** はすぐにメモリ初期化状態になります。初期化状態の目的は、**FPGA** 内のコンフィギュレーション **SRAM** をクリアすることです。

FPGA は、次のすべての条件を満たすと、初期化状態からジャンプします。

- 初期化状態の時間が **tINITL** を超えています
- **RECONFIG_N** ピンが **High** です
- **READY** ピンは、外付けドライブによって強制的に **Low** にプルダウンされることはありません。

READY ピンは、初期化段階で 2 つの機能を提供します。

1. **FPGA** が内部のコンフィギュレーション **SRAM** をクリアしていることを示します。
2. 入力として、外力によって **Low** にプルダウンされたときに **FPGA** が初期化状態からジャンプするのを防ぐことができます。

4.3 構成

READY ピンの立ち上がりエッジを認識した後、**FPGA** はコンフィギュレーション状態になります。**MODE** ピンの状態に応じて、**FPGA** 内のコンフィギュレーション **SRAM** はさまざまなモードでコンフィギュレーションできます。**FPGA** がコンフィギュレーションデータを受信している間、内部状態は **READY** ピンから判断できます。**READY** ピンの **High** レベルは、コンフィギュレーションプロセスが正常であることを示し、**READY** ピンの **Low** レベルは、**FPGA** コンフィギュレーションにエラーがあり、正常に動作できないことを示します。

4.4 ウェイクアップ

すべてのコンフィギュレーションデータを正しく受信した後、**FPGA** はウェイクアップ状態に入り、内部の **DONE** 状態ビットを 1 にセットします。ウェイクアップ状態では、**FPGA** は次の操作を順番に実行します。

1. グローバル出力信号 (**GOE**) を有効にすると、**FPGA** の **I/O** がハイインピーダンス状態を終了し、**I/O** プログラミングを完了してプリセット機能を実現します。グローバルセット/リセット信号 (**GSR**) を 1 にセットすることにより、入力信号が **FPGA** 内のフリップフロップ状態に影響を与えるのを防ぐことができます。
2. グローバルセット/リセット信号 (**GSR**) とグローバル書き込み無効信号 (**GWDISn**) を解放します。グローバル書き込み無効信号を有効にすると、**FPGA** が内部 **RAM** の初期化データを誤って上書きするのを防ぐことができます。
3. 外部 **DONE** ピンを有効にします。有効にすると、**DONE** ピンは双方向のオープンドレイン **I/O** になります。**DONE** ピンを外部から強制的に

Low にプルダウンすることにより、**FPGA** をウェイクアップ状態に保つことができます。**DONE** ピンが **High** にプルアップされると、**FPGA** はウェイクアップ状態を完了し、ユーザーモードに入ります。

4.5 ユーザーモード

ユーザーモードに入ると、**FPGA** は設計した論理演算をすぐに実行します。**FPGA** は、次の 3 つのイベントがトリガされるまでユーザーモードのままになります。

- **RECONFIG_N** ピンが外部から **Low** にプルダウンされます
- コンフィギュレーションポートから **REFRESH** 命令が受信されます
- 電源がオフ後に再度投入されます

上記の 3 つのイベントが発生すると、**FPGA** はコンフィギュレーションプロセスを再開します。

5 コンフィギュレーションピン

Gowin FPGA 製品は、汎用 JTAG コンフィギュレーション、マスターコンフィギュレーション、スレーブコンフィギュレーション、シリアルコンフィギュレーション、パラレルコンフィギュレーションなど、ユーザーの多様なニーズを満たすさまざまなコンフィギュレーションモードをサポートします。プログラミング・コンフィギュレーションに関連するピンは、必要に応じてコンフィギュレーション用または通常の I/O に設定することができます。さらに、ユーザーは必要に応じてコンフィギュレーションピンを利用して特別な機能を実現することもできます。

5.1 コンフィギュレーションピンのリストおよび多重化オプション

5.1.1 コンフィギュレーションピンのリスト

表 5-1 には、GOWIN セミコンダクターFPGA 製品のすべてのコンフィギュレーション関連のピンと、各コンフィギュレーションモードで使用されるピンおよびチップパッケージングでのピン共有が示されています。

表 5-1 コンフィギュレーションピンのリスト

ピン名	I/O タイプ	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
RECONFIG_N	I	Yes	Yes		Yes	Yes	Yes	Yes	Yes
JTAGSEL_N	I	Yes							
TDO	O	Yes							
TMS	I	Yes							
TCK	I	Yes							
TDI	I	Yes							
READY	I/O	Yes	Yes		Yes	Yes	Yes	Yes	Yes

ピン名	I/O タイプ	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
DONE	I/O	Yes	Yes		Yes	Yes	Yes	Yes	Yes
MODE[2:0]	I		Yes		Yes	Yes	Yes	Yes	Yes
SCLK	I				Yes			Yes	Yes
CLKHOLD_N/DIN	I				Yes			Yes	Yes
WE_N/DOUT	O							Yes	Yes
MI/D7	I/O					Yes			Yes
MO/D6	I/O					Yes			Yes
MCS_N/D5	I/O					Yes			Yes
MCLK/D4	I/O					Yes			Yes
FASTRD_N/D3	I/O					Yes			Yes
SI/D2	I/O				Yes				Yes
SO/D1	I/O				Yes				Yes
SSPI_CS_N/D0	I/O				Yes				Yes
SCL	I			Yes					
SDA	I/O			Yes					

注記：

- サポートされるコンフィギュレーションモードはデバイスとパッケージによって異なります。詳細については、[3](#) コンフィギュレーションモードを参照してください。
- 各コンフィギュレーションモードでの各ピンの定義については、[6](#) コンフィギュレーションモードを参照してください。

5.1.2 ピンの多重化

I/O を最大限に利用するために、GOWIN セミコンダクターFPGA 製品はコンフィギュレーションピンを通常の I/O に設定することをサポートします。すべてのシリーズの FPGA では、パワーアップ後、コンフィギュレーション関連ピンはコンフィギュレーションされるまでデフォルトでコンフィギュレーションピンとして使用されます。コンフィギュレーションが成功すると、デバイスはユーザーモードに入り、ユーザーが選択した多重化オプションに従ってピンの機能を再割り当てます。

注記：

ユーザーがピン多重化オプションを設定するとき、ピンの外部初期接続状態がデバイスコンフィギュレーションに影響を及ぼさないようにすることが必要です。コンフィギュレーションに影響を与える接続の場合は、分離処理を実行してユーザーモードで変更する必要があります。

コンフィギュレーションピンの多重化オプションは表 5-2 に示すとおりです。

表 5-2 コンフィギュレーションピンの多重化オプション

名称	オプション	説明
JTAG PORT	デフォルト状態	TMS、TCK、TDI、および TDO は専用のコ

名称	オプション	説明
		ンフィギュレーションピンとして使用されます。 JTAGSEL_N は GPIO として使用されます。
	通常の I/O に構成	<p>JTAGSEL_N は専用のコンフィギュレーションピンとして使用されます：</p> <ul style="list-style-type: none"> ● JTAGSEL_N=0 の場合、TMS,TCK,TDI,TDO はコンフィギュレーションピンとして使用されます。 ● JTAGSEL_N=1 の場合、TMS,TCK,TDI,TDO はコンフィギュレーション終了後 GPIO として使用されます。
I ² C PORT	デフォルト状態	SCL と SDA は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O に構成	SCL と SDA は、コンフィギュレーション終了後 GPIO として使用されます。
SSPI PORT	デフォルト状態	SCLK, CLKHOLD_N, SSPI_CS_N, SI および SO は専用のコンフィギュレーションピンとして使用されます。
	通常の I/O に構成	SCLK, CLKHOLD_N, SSPI_CS_N, SI および SO はコンフィギュレーション終了後 GPIO として使用されます。
MSPi PORT	デフォルト状態	FASTRD_N, MCLK, MCS_N, MO および MI は GPIO として使用されます。
	通常の I/O に構成	FASTRD_N, MCLK, MCS_N, MO および MI はコンフィギュレーション終了後 GPIO として使用されます。
RECONFIG_N	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。
READY	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。
DONE	デフォルト状態	専用のコンフィギュレーションピン
	通常の I/O に構成	コンフィギュレーション終了後 GPIO として使用されます。

注記：

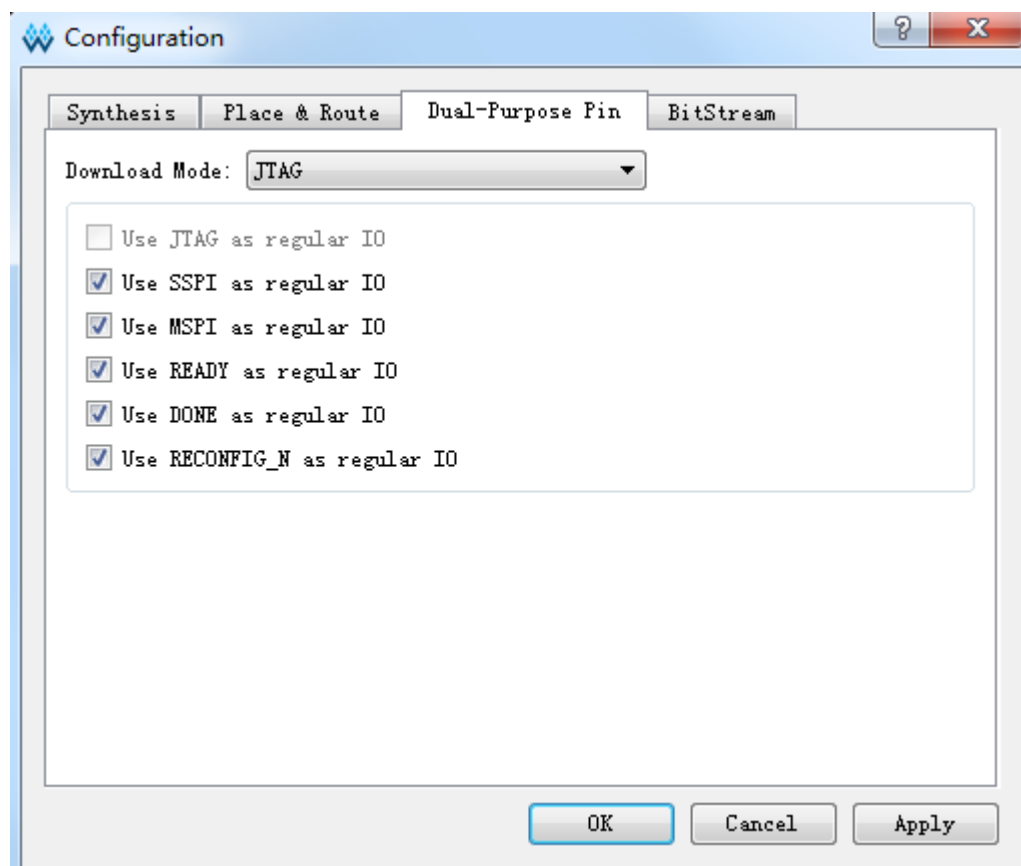
- [1] JTAGSEL_N がボンディングされていないデバイスの場合、JTAG ピンの多重化をデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前の **MODE** 値が **FPGA** をコンフィギュレーションする **MODE** 値でないことを確認することを推奨します。パワーアップ後の手動 JTAG コンフィギュレーション後、デバイスはユーザー **MODE** に入り、JTAG ピンは **GPIO** になります。LittleBee®ファミリーFPGA では、**MODE [2:0]=001** の場合、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に **GPIO** として設定できますが、JTAGSEL_N によって JTAG ピンをコンフィギュレーションピンとして復元することはできません。次の編集モードで復元することができます。
- [2] **SERIAL** と **CPU** コンフィギュレーションモードは他のコンフィギュレーションモードとピンを共有しているため、別々に **GPIO** に設定することはできませんが、非共有コンフィギュレーションモードでは **GPIO** に設定することができます。

ピンの多重化

Gowin ソフトウェアでピンの多重化を設定できます。

1. Gowin ソフトウェア内でプロジェクトを開きます。
2. メニューバーで、“**Project > Configuration > Dual-Purpose Pin**” を選択します(図 5-1)。
3. 対応するオプションにチェックを入れてピンの多重化を設定します。

図 5-1 ピンの多重化



5.2 コンフィギュレーションピンの機能とアプリケーション

RECONFIG_N、READY、および DONE ピンは、各モードで使用されるピンです。他のコンフィギュレーションピンは、アプリケーションに応じ

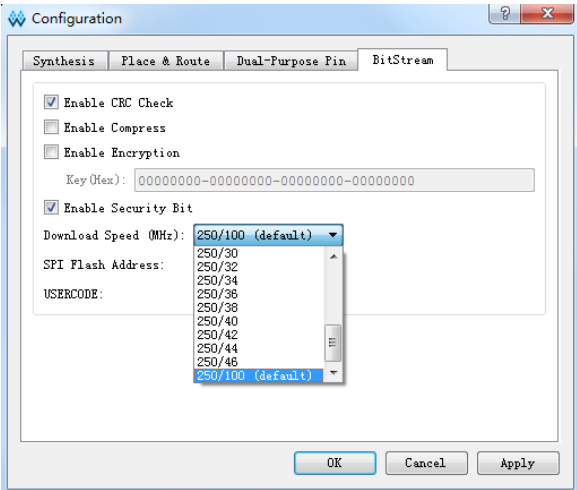
て、専用のコンフィギュレーションピンまたは通常のピンに設定できます。

表 5-3 ピンの機能

ピン名	機能の説明
RECONFIG_N	<p>コンフィギュレーションピンとして使用される場合、RECONFIG_N は内部の弱いプルアップを持つ入力ピンです。RECONFIG_N は、アクティブ Low であり、FPGA プログラミング・コンフィギュレーションのリセットのような機能を実現します。RECONFIG_N が Low にプルダウンされる時、FPGA はコンフィギュレーションできなくなります。FPGA のパワーアップ中は High レベルを維持する必要があります、電源が 1 ミリ秒間安定した後解放できます。</p> <p>コンフィギュレーションピンとして使用される場合、1 つのパルス幅が 25ns 以上の Low レベルで GowinCONFIG コンフィギュレーションモードを起動し、デバイスの MODE 設定値に従ってビットストリームデータをリロードする必要があります。また、ユーザーは、ロジックのプログラミングにより、このピンのトリガ条件をカスタマイズできます。GPIO として使用される場合は、出力にのみ使用できます。コンフィギュレーションを成功させるには、多重化するとき RECONFIG_N の初期値を High にする必要があります。</p>
READY	<p>inout ピン。READY はアクティブ High であり、High にプルアップされた場合にのみ FPGA はコンフィギュレーションできます。READY が Low にプルダウンされた後は、その状態を回復するには、デバイスのパワーアップまたは RECONFIG_N のトリガが必要です。</p> <p>コンフィギュレーションピンとして使用される場合、出力ピンの場合、現在 FPGA をコンフィギュレーションできるかどうかを示すことができます。コンフィギュレーション条件が満たされると、READY 信号が High になります。コンフィギュレーションが失敗した場合、READY 信号が Low になります。入力タイプの場合、ユーザーは READY 信号を意図的に Low にプルダウンして、コンフィギュレーションプロセスを遅延させることができます。</p> <p>GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。GPIO 入力として使用する場合、コンフィギュレーションする前に READY の初期値を 1 にする必要があります。そうしないと FPGA をコンフィギュレーションできません。</p>
DONE	<p>inout ピン。DONE は、FPGA コンフィギュレーションの成功を示す信号で、コンフィギュレーションが成功したら、DONE 信号は High にプルアップされます。</p> <p>コンフィギュレーションピンとして使用される場合、出力ピンの場合、FPGA のコンフィギュレーションが成功したかどうかを示すことができます。コンフィギュレーションが成功した場合、DONE 信号は High になり、デバイスは動作状態になります。コンフィギュレーションプロセスが未完成またはコンフィギュレーションが失敗した場合、DONE 信号は Low のままになります。入力タイプの場合、ユーザーは DONE 信号を意図的に Low にプルダウンして、ユーザー</p>

ピン名	機能の説明
	<p>モードへのエントリを遅らせることができます。RECONFIG_N または READY が Low のままである場合、DONE 信号も Low のままになります。JTAG 回路を使用して SRAM をコンフィギュレーションする場合、DONE 信号を無視してください。</p> <p>GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。GPIO 入力として使用する場合、コンフィギュレーションする前に DONE の初期値を 1 にする必要があります。そうしないと FPGA はコンフィギュレーションの終了後にユーザーモードに入ることができません。</p>
MODE	<p>GowinCONFIG モード選択信号 GowinCONFIG モードの選択ピンとして、MODE は内部の弱いプルアップを持つ入力ピンです。最大ビット幅は 3 ビットです。FPGA がパワーアップまたは Low レベルパルスが RECONFIG_N をトリガすると、デバイスは MODE 値に従って対応する GowinCONFIG 状態に入ります。GOWIN セミコンダクターの各 FPGA 製品シリーズの MODE 値に対応するコンフィギュレーションモードは多少異なります。パッケージによっては、MODE ピンが完全にボンディングされていないことがあります。ボンディングされていない MODE ピンは、デバイス内で接地されています。詳しくは、対応するデバイスの Pinout マニュアルを参照してください。</p> <p>MODE を GPIO として使用する場合は、input タイプまたは output タイプとして使用できます。</p> <p>MODE 値が変わった場合は、それを有効にするために再パワーアップするか、または Low レベルで RECONFIG_N をトリガする必要があります。</p>
JTAGSEL_N	<p>コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。Gowin ソフトウェアで JTAG ピンを GPIO として多重化するように設定した場合、パワーアップして正常にコンフィギュレーションした後、JTAG ピンは GPIO になり、JTAG のコンフィギュレーション機能は無効になります。ユーザーは JTAGSEL_N 信号を Low にプルダウンすることによって復元できます。ユーザーが JTAG ピンの多重化を設定していない場合には、JTAG のコンフィギュレーション機能が常に使用できます。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p> <p>注記：</p> <p>GPIO の場合、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO) は相互に排他的なピンです：JTAGSEL_N が GPIO に設定された場合、JTAG ピンはコンフィギュレーションピンとしてのみ使用できます。JTAG が GPIO に設定された場合、JTAGSEL_N ピンはコンフィギュレーションピンとしてのみ使用できます。</p> <p>LittleBee®ファミリーFPGA では、MODE [2:0]=001 の場合、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として設定できますが、JTAGSEL_N によって JTAG ピンをコンフィギュレーションピンとして復元する</p>

ピン名	機能の説明
	ことはできません。次の編集モードでは復元することができます。
TCK	コンフィギュレーションピンとして使用される場合、入力ピンです。 JTAG モードにおけるシリアルクロック入力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
TMS	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 JTAG モードにおけるシリアルモード入力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
TDI	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 JTAG モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
TDO	コンフィギュレーションピンとして使用される場合、出力ピンです。 JTAG モードにおけるシリアルデータ出力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
SCLK	コンフィギュレーションピンとして使用される場合、入力ピンです。 SSPI 、 SERIAL および CPU モードにおけるクロック入力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
CLKHOLD_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 SSPI と CPU モードにおけるクロックロックピン : High レベル入力では SCLK に対応する操作が有効になり、 Low レベル入力では SCLK に対応する操作が無効になります。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
SSPI_CS_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 SSPI モードにおけるチップセレクト信号で、アクティブ Low 。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
SI	コンフィギュレーションピンとして使用される場合、入力ピンです。 SSPI モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
SO	コンフィギュレーションピンとして使用される場合、出力ピンです。 SSPI モードにおけるシリアルデータ出力ピンです。 GPIO として使用される場合は、 input タイプまたは output タイプとして使用できます。
MCLK	コンフィギュレーションピンとして使用される場合、出力ピンです。 MSPI コンフィギュレーションモードの出力クロックは、 FPGA のオ

ピン名	機能の説明
	<p>オンチップオシレータから生成されます。オシレータの出力周波数の範囲は 2.5 MHz～125 MHz で、出力周波数はデフォルトで 2.5 MHz です。MSPI コンフィギュレーションモードは 125 Mhz のクロックをサポートしません。オンチップオシレータの詳細については、対応するデバイスのデータシートを参照してください。</p> <p>MCLK の周波数の値は、図 5-2 に示すように、Gowin ソフトウェアインターフェースで変更することができます。メニューバーから “Project>Configuration” を選択し、“BitStream” タブをクリックして、“Download Speed” ドロップダウンリストから MCLK の周波数の値を選択します。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p> <p>図 5-2 MCLK 周波数の設定</p> 
MCS_N	<p>コンフィギュレーションピンとして使用される場合、出力ピンです。MSPI モードにおけるチップセレクト信号で、アクティブ Low。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p>
MI	<p>コンフィギュレーションピンとして使用される場合、入力ピンです。MSPI モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p>
MO	<p>コンフィギュレーションピンとして使用される場合、出力ピンです。MSPI モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p>
FASTRD_N	<p>コンフィギュレーションピンとして使用される場合、入力ピンです。MSPI コンフィギュレーションモードでは、SPI フラッシュ速度選択信号が読み出されます：FASTRD_N がハイの場合は通常の読み出しモード(命令 0x03)、FASTRD_N がローの場合は高速読み出しモードです。詳細については対応するフラッシュメモリのデータシートを参照してください。GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。</p>

ピン名	機能の説明
WE_N	コンフィギュレーションピンとして使用される場合、入力ピンです。 CPU コンフィギュレーションモードの読み出し/書き込みイネーブル信号選択ピン：WE_N がハイの場合は読み出し、WE_N がローの場合は書き込みです。 GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
D0~D7	inout ピン。 CPU コンフィギュレーションモードにおけるデータ入出力ピン (8-bit) です。D0~D7 の入出力方向は、WE_N の値によって決まります。 GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
DIN	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 SERIAL モードにおけるシリアルデータ入力ピンです。 GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
DOUT	コンフィギュレーションピンとして使用される場合、出力ピンです。 SERIAL コンフィギュレーションモードのシリアルデータ出力ピンで、FPGA がカスケード接続されている場合にのみ後者のデバイスへの入力として使用されます。 GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。
SCL	コンフィギュレーションピンとして使用される場合、入力ピンです。 GPIO として使用される場合は、入力タイプとしてのみ使用できます。
SDA	コンフィギュレーションピンとして使用される場合、入力/出力ピンです。 GPIO として使用される場合は、input タイプまたは output タイプとして使用できます。

6 コンフィギュレーションモード

GOWIN セミコンダクターFPGA 製品には、SRAM プロセスに基づいた Arora ファミリーの高性能デバイスと、オンチップ Flash を含む LittleBee® ファミリーの小容量不揮発性デバイスがあります。SRAM プロセスをベースにしたデバイスの内部コンフィギュレーションデータは、パワーダウンすると失われるので、パワーアップ後に再コンフィギュレーションする必要があります。組み込み Flash を備えた不揮発性デバイスは、パワーダウン後もデータはチップに保存されるので、デバイスは、再パワーアップ時に AUTO BOOT コンフィギュレーションまたは DUAL BOOT コンフィギュレーションによって自動的に再コンフィギュレーションできます。

各パッケージでサポートされているコンフィギュレーションモードは、ボンディングされているコンフィギュレーションピンの数に関連しています：すべてのデバイスが汎用の JTAG コンフィギュレーションをサポートし、不揮発性デバイスのみが AUTO BOOT コンフィギュレーションまたは DUAL BOOT コンフィギュレーションをサポートします。各コンフィギュレーションモードの MODE 値は異なります。

6.1 コンフィギュレーションの注意事項

GOWIN セミコンダクターFPGA 製品には、Arora ファミリーと LittleBee®ファミリーがあります。デバイス名に R が含まれているかどうかは、コンフィギュレーション特性の相違を示すわけではありません。デバイス名に R が付いているデバイスは、SDRAM/PSRAM を統合しているだけです。デバイス名に S が付いている FPGA は、DUAL BOOT コンフィギュレーションの特性を除いて、GW1N シリーズと同じ特性を持っています。

パワーアップおよびコンフィギュレーションの手順

FPGA の VCC、VCCO、および VCCX 電源電圧が最小電源振幅を満たすと、FPGA は起動プロセスに入ります。電圧は安定しており、RECONFIG_N は外部回路によってプルダウンされていません> FPGA 内部回路は

READY および DONE ピンをプルダウン> FPGA を初期化> READY はプルをプルアップして、MODE 値をサンプリング>コンフィギュレーションモードに従ってコンフィギュレーションデータを読み出し、検証> FPGA をウェイクアップ> DONE をプルアップ>ユーザーモードに入ります。

FPGA のスタートアッププロセス中は、電源を安定させる必要があります。FPGA の電源安定後の 1ms 以内、および FPGA の初期化中、RECONFIG_N ピンをプルダウンしてはなりません。ユーザーは RECONFIG_N ピンをフローティングのままにするか、外部からプルアップすることができます。FPGA がウェイクアップされるまで、すべての通常の I/O 出力は高インピーダンスです。

コンフィギュレーションデータの格納場所と命令の対象位置によって、GOWIN セミコンダクターFPGA 製品の操作には、SRAM に対する操作、オンチップ Flash に対する操作、オフチップ Flash に対する操作があります。そのうちオンチップ Flash に対する操作は LittleBee®ファミリー製品のみでサポートされ、SRAM およびオフチップ Flash に対する操作は、すべての製品でサポートされています。

SRAM に対する操作

SRAM の操作には、デバイスの ID CODE と USER CODE の読み出し、デバイスのステータスレジスタの情報の読み出し、および SRAM のコンフィギュレーションが含まれます。デバイス ID はコンフィギュレーション前に確認する必要があります。USER CODE は ID CODE を共有するデバイスを区別するために使用されます。デバイスのステータスレジスタには FPGA のコンフィギュレーション前後のステータス情報が記録され、ユーザーはこの情報を使用してデバイスのステータスを分析することができます。ステータスレジスタの意味については表 6-11 を参照してください。SRAM コンフィギュレーション中の検証をサポートします。セキュリティビットのあるデータはリードバックまたは検証できません。

オンチップ/オフチップ Flash 操作

オンチップ Flash に対する操作には、消去、プログラミング、および検証などがあります。オンチップ Flash は JTAG インターフェース経由でのみ操作でき、クロック周波数は 1MHz 以上です。クロック周波数の詳細については、表 6-8 を参照してください。

注記：

オンチップ Flash(AUTO BOOT コンフィギュレーション及び DUAL BOOT コンフィギュレーション)を使用した SRAM のコンフィギュレーションおよびオンチップ Flash のプログラミング中に、FPGA はパワーアップ状態を維持する必要があります、かつ RECONFIG_N をローパルスでトリガしてはなりません。

LittleBee®ファミリーの A バージョンのデバイスは、オンチップ Flash またはオフチップ Flash をプログラムする前に SRAM の内容をクリアする必要があります。LittleBee®ファミリーの FPGA 製品の B バージョンには、JTAG バックグラウンドアップグレードという機能があります。つまり、デバイスは、現在の動作状態に影響を与えることなく、JTAG インターフ

ュースを介してオンチップ Flash またはオフチップ Flash をプログラムできます。プログラミング中、デバイスは以前のコンフィギュレーションに従って動作可能です。プログラミング後、RECONFIG_N に 1 つのローパルスを与えてオンラインアップグレードを完了します。この機能は、オンライン時間が長く、定期的にアップグレードされないアプリケーションに適用されます。

ピンの多重化

異なるコンフィギュレーションモードを使用する場合、ユーザーはコンフィギュレーションピン機能によって FPGA が選択されたコンフィギュレーションモードで動作することを確認する必要があります。ピンが足りない場合、これらのピンは他の接続方法で柔軟に処理し、データ伝送に関連するピンのみを保持します。MODE[2 : 0] は GowinCONFIG のプログラミング・コンフィギュレーションモードを選択するために使用され、モードを変更する必要がある場合は、プルアップ抵抗またはプルダウン抵抗を使用して特定のモードに固定できます。プルアップ抵抗の場合、4.7K を推奨し、プルダウン抵抗の場合、1K を推奨します。

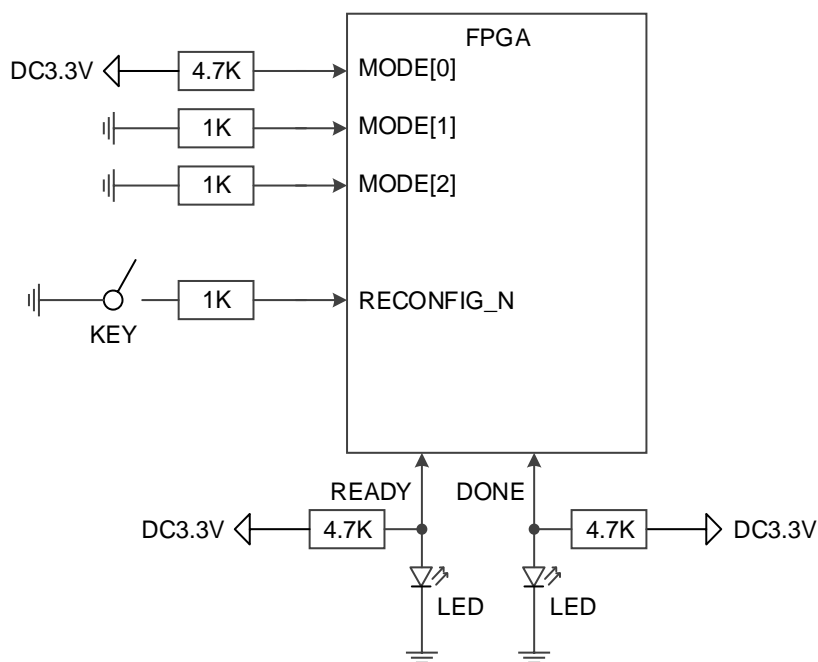
注記：

RECONFIG_N、READY、および DONE ピンは各コンフィギュレーションモードに関連付けられており、ユーザーがそれらを GPIO に設定するかどうかにかかわらず、コンフィギュレーション操作が完了する前に、初期値またはピン接続状態がプログラミング・コンフィギュレーション条件を満たす必要があります。

推奨されるピン接続

推奨されるピン接続は図 6-1 に示すとおりです。

図 6-1 推奨されるピン接続



注記：

- ユーザーが **MODE** 値を変更したいときは、ダイヤルスイッチを追加することができます。いくつかのデバイスは **MODE** ピンが完全にボンディングされておらず、ボンディングされていない **MODE** ピンは内部で接地されています。
- **JTAG** 回路を介してコンフィギュレーションする場合、**READY** 信号と **DONE** 信号を無視してください；
- ボンディングされていない **RECONFIG_N**、**READY**、および **DONE** ピンは内部で処理され、コンフィギュレーションに影響を与えません。

再パワーアップおよび Low レベルで **RECONFIG_N** をトリガするタイミング図

再パワーアップおよび Low レベルで **RECONFIG_N** をトリガするタイミング図は、図 6-2 と図 6-3 に示すとおりです。

図 6-2 再パワーアップのタイミング図

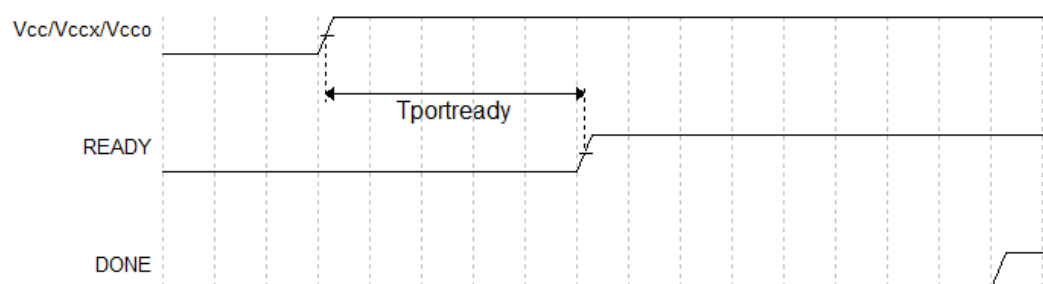
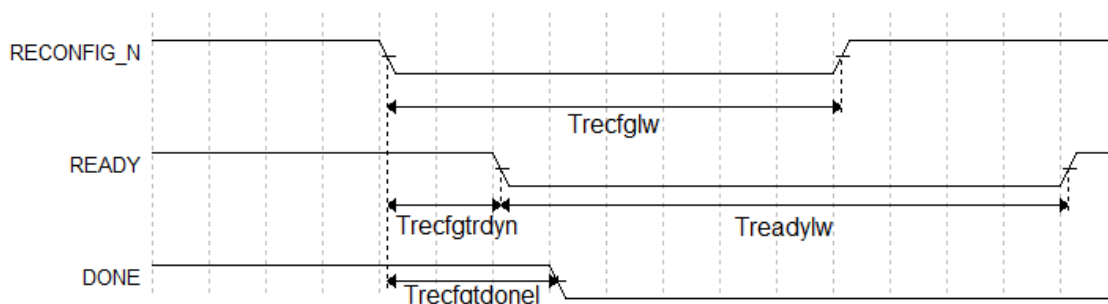


図 6-3 トリガのタイミング図



LittleBee®ファミリーFPGA 製品に関するタイミングパラメータは、表 6-1 に示すとおりです。

表 6-1 LittleBee®ファミリーFPGA 製品の再パワーアップと **RECONFIG_N** トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{portready}^1$	パワーアップ条件を満たす時から立ち上がりエッジに至るまでの時間(Time from application of V_{CC} , V_{CCX} and V_{CCO} to the rising edge of READY)	50 μ s	200 μ s
$T_{recfglw}$	RECONFIG_N Low レベルパルスの幅 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N 立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns

パラメータ名	パラメータの意味	最小値	最大値
T _{readylw}	READYLow レベルパルスの幅(READY low pulse width)	TBD	-
T _{recfgtdonel}	RECONFIG_N 立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

注記：

MODE0 = 0 の場合、デバイスのパワーアップ待ち時間は 200 μ s です。MODE0 = 1 の場合、デバイスのパワーアップ待ち時間は 50 μ s です。

Arora ファミリーFPGA 製品に関連するタイミングパラメータは、表 6-2 に示すとおりです。

表 6-2 Arora ファミリーFPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T _{portready}	パワーアップ条件を満たす時から立ち上がりエッジに至るまでの時間(Time from application of V _{CC} , V _{CCX} and V _{CCO} to the rising edge of READY)	-	23ms
T _{recfglw}	RECONFIG_N Low レベルパルスの幅 (RECONFIG_N low pulse width)	25ns	-
T _{recfgtrdyn}	RECONFIG_N 立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns
T _{readylw}	READYLow レベルパルスの幅(READY low pulse width)	TBD	-
T _{recfgtdonel}	RECONFIG_N 立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

6.2 JTAG コンフィギュレーション

GOWIN セミコンダクターFPGA 製品の JTAG コンフィギュレーションモードは、IEEE1532 および IEEE1149.1 バウンダリスキャンスタンダードに準拠しています。

JTAG コンフィギュレーションモードでは、GOWIN セミコンダクターFPGA 製品の SRAM にビットストリームデータを書き込み、コンフィギュレーションデータはパワーダウン後に失われます。GOWIN セミコンダクターFPGA 製品はすべて JTAG コンフィギュレーションモードをサポートしています。

6.2.1 JTAG モードのピン

JTAG コンフィギュレーションモードに関連するピンは表 6-3 に示すとおりです。

表 6-3 JTAG コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
JTAGSEL_N ^[1]	I、内部の弱いプルアップ	JTAG ピンを GPIO からコンフィギュレーションピンに復元、アクティブ Low
TCK ^[2]	I	クロック入力
TMS ^[2]	I、内部の弱いプルアップ	モード選択
TDI	I、内部の弱いプルアップ	データ入力
TDO	O	データ出力

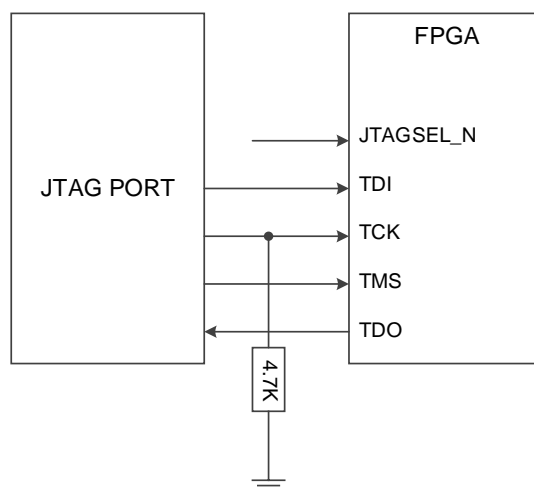
注記：

- [1] JTAGSEL_N 信号は、JTAG ピンが GPIO に設定されていてデバイスが起動したときにのみ有効になります。LittleBee®ファミリーFPGA では、MODE[2 : 0]=001 の場合、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として設定できますが、JTAGSEL_N によって JTAG ピンをコンフィギュレーションピンとして復元することはできません。次の編集モードでは復元することができます。
- [2] TCK を PCB で 4.7K のプルダウン抵抗へ接続する必要があります。

6.2.2 JTAG コンフィギュレーションモードの接続図

JTAG コンフィギュレーションモードの接続は図 6-4 に示すとおりです。

図 6-4 JTAG コンフィギュレーションモードの接続図



注記：

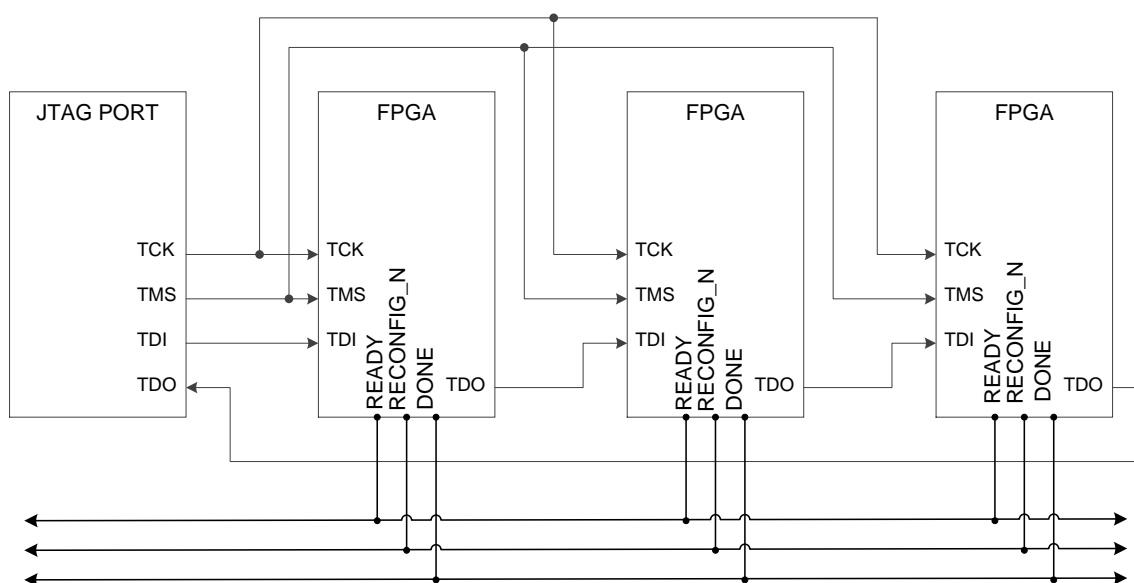
- JTAGSEL_N がボンディングされていないデバイスの場合、JTAG ピンの多重化をデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前に MODE 値を非自動コンフィギュレーションモード(即ち、AUTOBOOT、DUALBOOT、MSPI 以外のモード)に設定することを推奨します。パワーアップ後の手動 JTAG コンフィギュレーション後、デバイスはユーザー MODE に入り、JTAG ピンは GPIO になります。
- JTAG コンフィギュレーションモードのクロック周波数は 40MHz を超えてはなりません。

通常の JTAG を介した SRAM コンフィギュレーションに加えて、GOWIN セミコンダクターの不揮発性 FPGA デバイス(LittleBee®ファミリ

一)のオンチップ Flash および他のすべてのシリーズの FPGA 製品のオフチップ SPI Flash プログラミング操作も JTAG ピンを介して実行することができます。不揮発性デバイスに内蔵されるオンチップ Flash のプログラミング操作の接続モードは JTAG コンフィギュレーションモードと同じです。オフチップ SPI Flash のプログラミング操作については図 6-45 および 9 バウンダリスキャンを参照してください。

さらに、GOWIN セミコンダクター FPGA 製品は JTAG デイジーチェーン操作をサポートします。つまり、ある FPGA の TDO ピンを次の FPGA の TDI ピンに接続すると、Gowin プログラミングソフトウェアは接続された FPGA デバイスを自動的に識別して順番にコンフィギュレーションします。デイジーチェーンコンフィギュレーションの接続図は図 6-5 に示すとおりです。

図 6-5 JTAG デイジーチェーンコンフィギュレーションの接続図



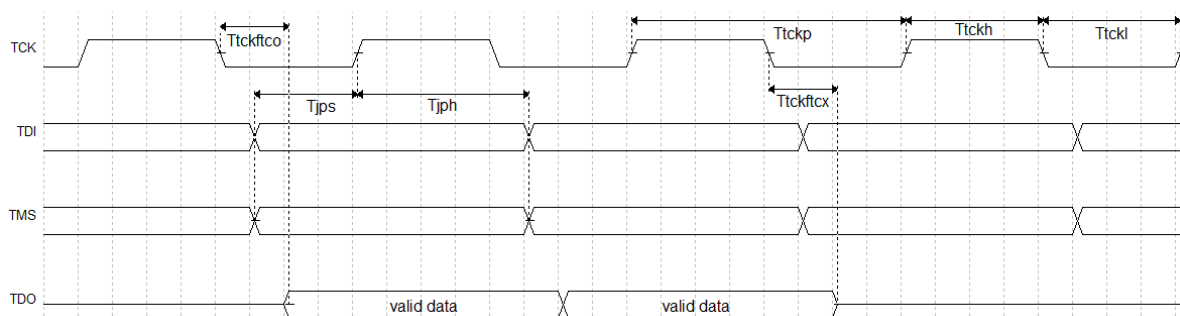
注記：

DONE、RECONFIG_N、および READY 信号の接続は状況に応じて決定されます。

6.2.3 JTAG コンフィギュレーションモードのタイミング図

JTAG モードのタイミング図は、図 6-6 に示す通りです。

図 6-6 JTAG コンフィギュレーションモードのタイミング図



各パラメータの意味は、表 6-4 に示す通りです。

表 6-4 JTAG コンフィギュレーションモードのタイミングパラメータ

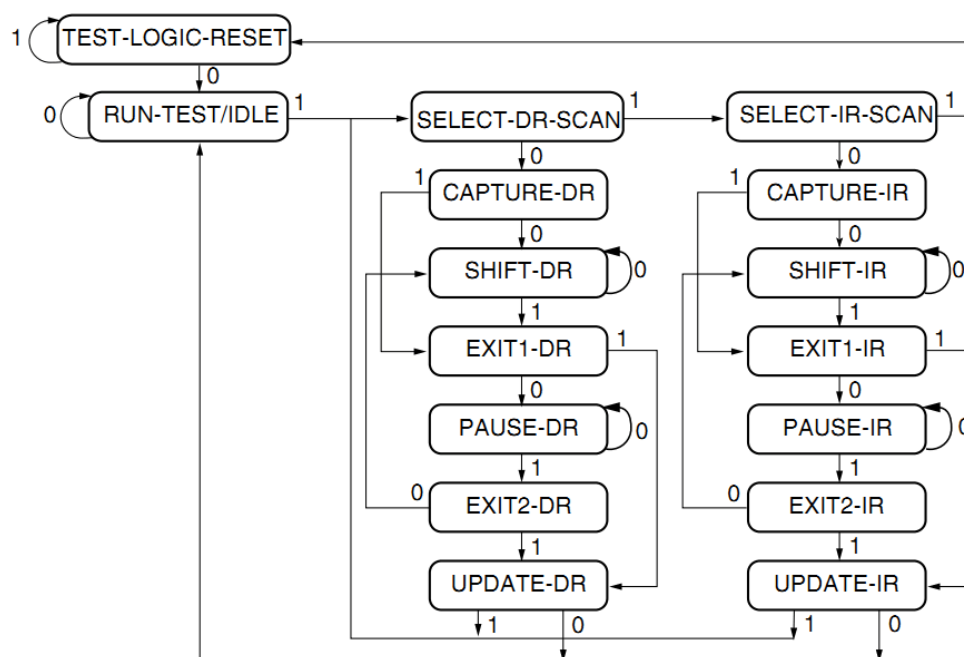
パラメータ名	パラメータの意味	最小値	最大値
T_{tckftco}	TCK 立ち下がりエッジから出力に至るまでの時間 (Time from TCK falling edge to output)	-	10ns
T_{tckftcx}	TCK 立ち下がりエッジからハイインピーダンスに至るまでの時間 (Time from TCK falling edge to high impedance)	-	10ns
T_{tckp}	TCK クロックのサイクル(TCK clock period)	40ns	-
T_{tckh}	TCK クロックの High レベル時間(TCK clock high time)	20ns	-
T_{tckl}	TCK クロックの Low レベル時間(TCK clock low time)	20ns	-
T_{jps}	JTAG PORT のセットアップ時間(JTAG PORT setup time)	10ns	-
T_{jph}	JTAG PORT のホールド時間(JTAG PORT hold time)	8ns	-

6.2.4 JTAG コンフィギュレーションの手順

TAP 状態機械

テストアクセスポートの状態機械は、命令レジスタまたはデータレジスタを選択し、TDI と TDO の間に接続します。通常、命令レジスタはスキャンしたいデータレジスタを選択する際に使用されます。状態機械のダイアグラムで矢印が示す数字は TCK が高くなった時の TMS のロジック状態を表します。

図 6-7 TAP 状態機械



TAP リセット

TMS を High レベル(ロジック “1”)に保持し、TCK ピンで 5 つ以上のストロブ信号(High の後 Low)を入力した後、TAP ロジックをリセットすることで、他の状態の TAP 状態機械をテストロジックのリセット状態に変換し、JTAG インターフェースとテストロジックをリセットします。

注記：

この状態は、CPU と外部機器をリセットしません。

注記：

- Shift_DR または Shift_IR の状態に入る時、TDO のデータは TCK の立ち下がりエッジから有効になります。
- Shift_DR または Shift_IR の状態に入る時、データはシフトしません。
- Shift_DR または Shift_IR から出る時、データはシフトされます。
- 一番先にシフトされるのは、データの最下位ビット LSB です。
- 一旦リセットすると、すべての命令はリセットされるか、無効になります。

命令レジスタとデータレジスタ

テストロジックをリセットするほか、状態機械は以下の 2 つの基本操作が可能です。

- 命令レジスタ(IR)スキャン
- データレジスタ(DR)スキャン

命令レジスタスキャン操作では、Shift_IR 状態の場合、データまたは命令が LSB ファースト順で命令レジスタに送信されます。Run-Test-Idle に入った後、命令の送信が完了します(図 6-8)。

データレジスタスキャンの操作では、在 Shift_DR 状態の場合、データまたは命令がデータレジスタに送信されます(図 6-9)。LSB ファーストか MSB

ファーストかは操作に依存します。

図 6-8 命令レジスタのアクセスタイミング

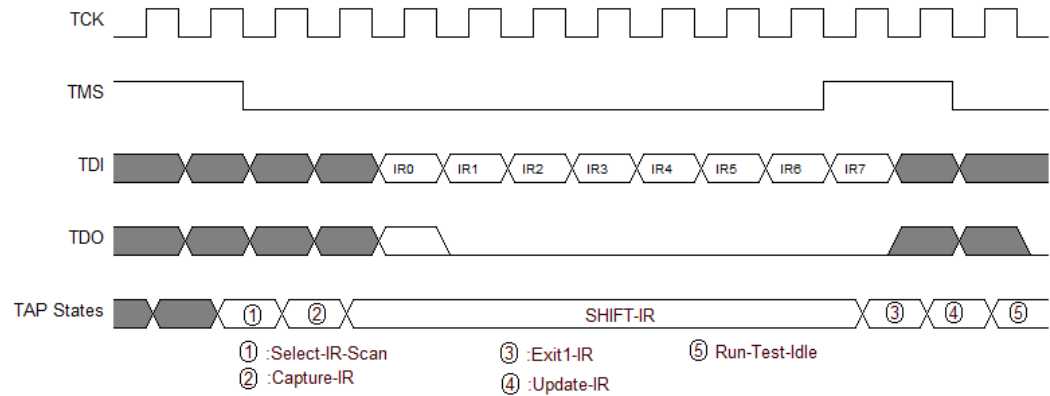
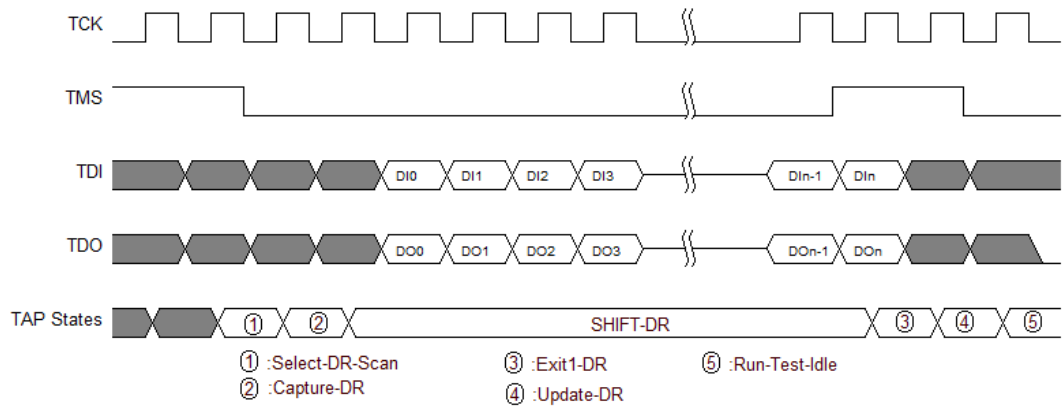


図 6-9 データレジスタのアクセスタイミング



注記：

- GOWIN セミコンダクターGW1N(R)、GW2A(R)シリーズ FPGA において、命令レジスタの合計長さは 8 ビットです。
- 選択したレジスタによって、データレジスタの長さは異なります。

ID CODE 読み出し実例

ID Code(即ち JEDEC ID Code)は、FPGA デバイスの基本的な識別情報です。

GOWIN FPGA ID Code の長さは 32 ビットで、下表は GOWIN FPGA の ID Code の一部です。

表 6-5 Gowin FPGA IDC CODE

Gowin FPGA Device Family IDC CODE			
Device Family	Device Part	Manufacturer ID	IDCODE
	Bits 31-12	Bits 11-0 h81B	
GW1N-1	h09002	h81B	h0900281B
GW1N-1S	h09003		h0900381B
GW1NZ-1	h01006		h0100681B
GW1NS-2	h03000		h0300081B
GW1NS(R)-2C	h03001		h0300181B
GW1NSE-2C	h03001		h0300181B
GW1N-2/2B	h01206		h0120681B
GW1N-1P5/1P5B	h01206		h0120681B
GW1N(R)-4	h01001		h0100381B
GW1N(R)-4B	h11003		h1100381B
GW1N(R)-4C	h11003		h0100181B
GW1NS(ER)-4C	h01009		h0100981B
GW1N(R)-9	h11005		h1100581B
GW1N(R)-9C	h11005		h1100481B
GW2A(R)-18/18C	h00000		h0000081B
GW2A-55/55C	h00002		h0000281B

GOWIN FPGA の読み出し命令は 0x11 です。以下は、GW1N-4 ID Code を読み出すことを例に、JTAG の動作を説明します。

1. TAP リセット : TMS を High にし、5 クロックサイクル以上を連続して送信します。
2. 状態機械を Test-Logic-Reset から Run-Test-Idle に遷移させます。
3. 状態機械を Shift-IR に遷移させ、最下位ビットから Read ID 命令 0x11 を送信し、最上位ビット(最後のビット)が送信すると同時に、状態機械を Exit1-IR に遷移させます。すなわち、最上位ビットの送信前に TMS は High になる必要があります。表 6-6 では、8 回のクロックサイクル内に 0x11 を送信する過程における TDI と TMS の値の変化を示しています。タイミングは図 6-11 に示すとおりです。

表 6-6 命令送信中の TDI と TMS 値の変化

	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
--	-------	-------	-------	-------	-------	-------	-------	-------

	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

4. 状態機械を遷移させ、Exit1-IR から Update-IR を経由して Run-Test-Idle に戻し、Run-Test-Idle で 3 つ以上のクロックサイクルを実行します。
5. 状態機械を Shift-DR に遷移させ、32 クロックサイクルを送信し、32 クロックサイクル目の送信前に、TMS を High にし、32 クロックサイクルの完了と同時に Shift-DR から Exit1-DR にジャンプします。32 クロックサイクルを送信するうちに 32 ビットのデータ(0x1100381B)が読み出されます(図 6-12)。
6. 状態機械を Run-Test-Idle に戻します。

図 6-10 ID Code 読み出し状態機械プロセスチャート

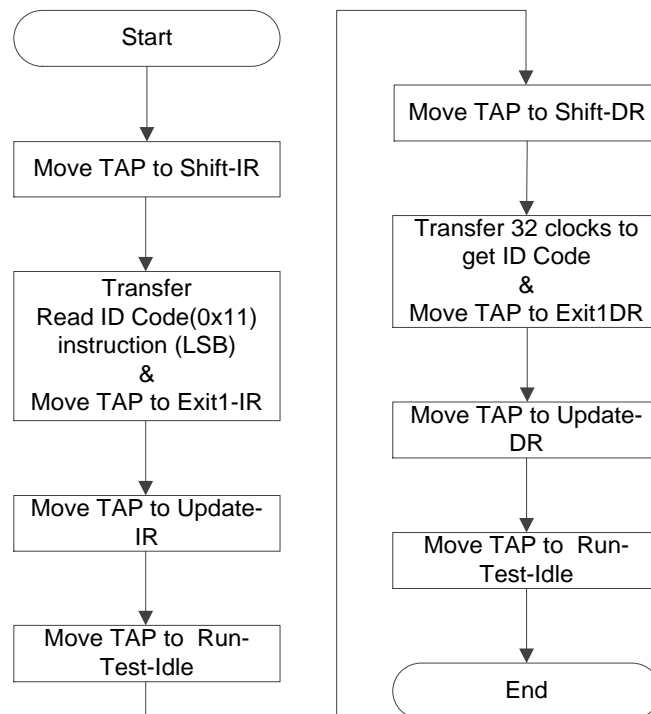


図 6-11 ID Code 読み出し命令-0x11 のアクセスタイミング

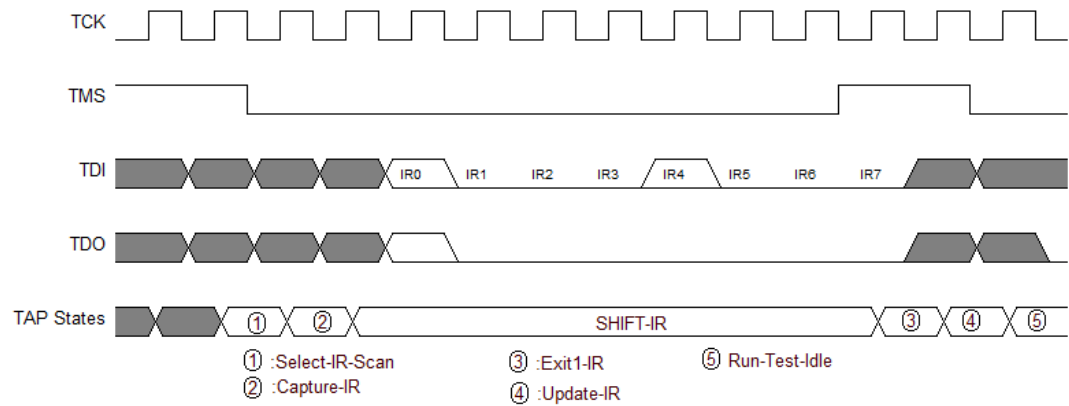
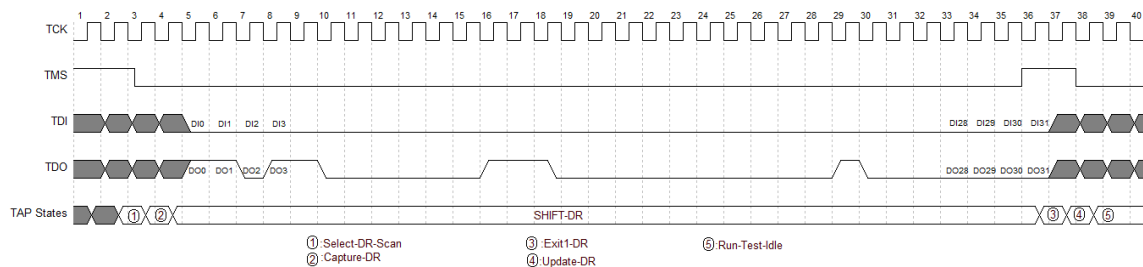


図 6-12 ID Code 読み出し際のデータレジスタのアクセスタイミング



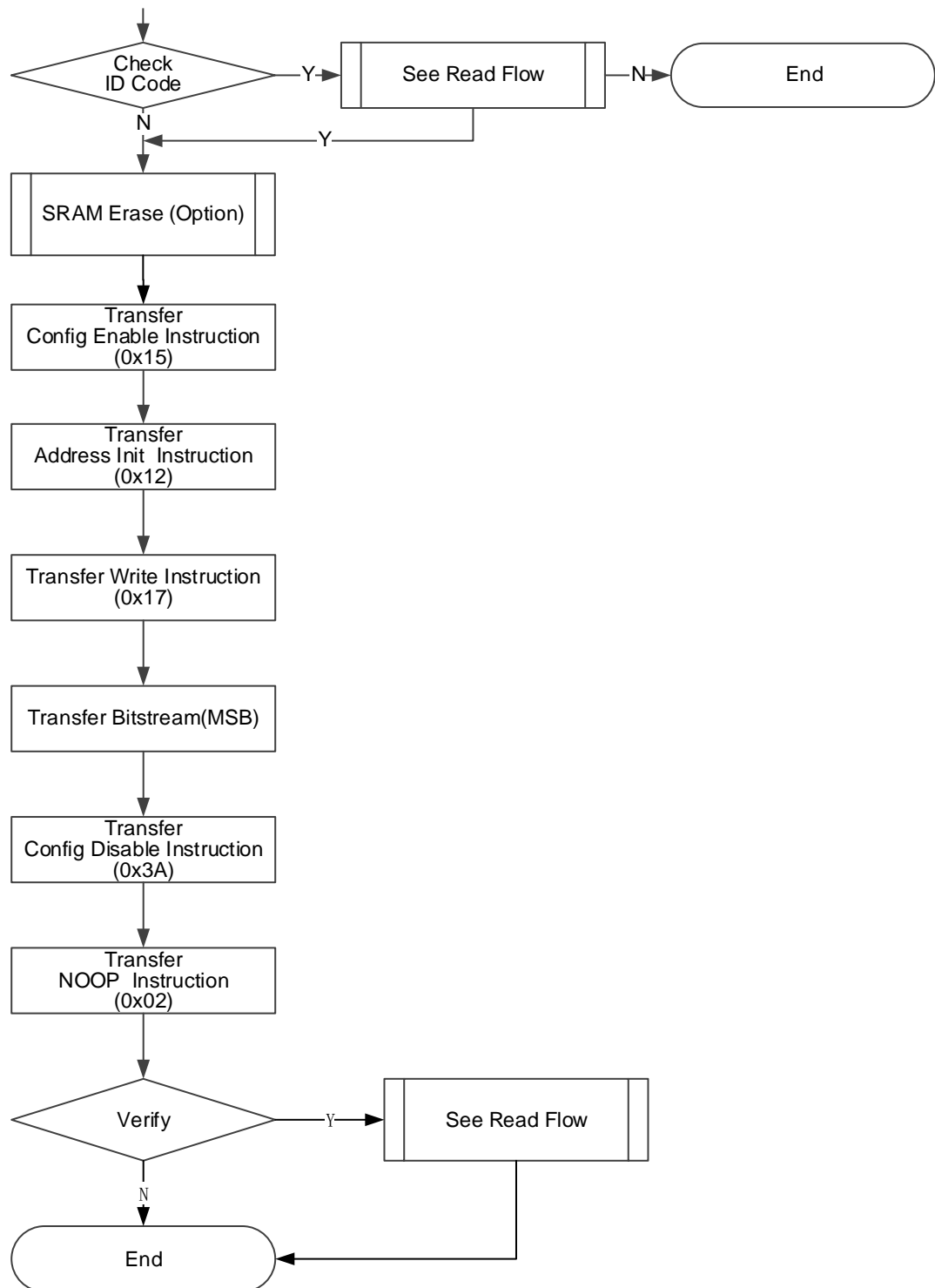
SRAM コンフィギュレーションの手順

外部 Host を通じて FPGA SRAM をコンフィギュレーションします。JTAG を介した SRAM コンフィギュレーションは Configuration Mode Pins の影響を受けません。

Gowin ソフトウェアでデータストリームファイルを生成します。JTAG を介してして SRAM のコンフィギュレーションを完了します。以下に外部 Host による SRAM コンフィギュレーションのプロセスを紹介します(図 6-13)。

1. JTAG リンクを作成し、TAP をリセットします。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。
3. SRAM がコンフィギュレーションされた場合、SRAM を消去する必要があります。[SRAM を消去する手順](#)を参照してください。
4. ConfigEnable 命令 0x15 を送信します。
5. Address Initialize 命令 0x12 を送信します。
6. Transfer Configuration Data 命令 0x17 を送信します。
7. 状態機械を Shift-DR(データレジスタ)に遷移させ、すべての Bitstream Data を最上位ビット(MSB)から順に送信して Run-Test-Idle 状態に戻ります。
8. Config Disable 命令 0x3A を送信します。
9. Noop 命令 0x02 を送信し、コンフィギュレーションプロセスが終了します。
10. Configuration Data をリードバックしたい場合、SRAM 読み出しプロセスを参照してください。

図 6-13 SRAM のコンフィギュレーションプロセス



SRAM 読み出しプロセス

ご注意：SRAM データはデフォルトでリードバックできません。

FPGA の SRAM エリアから SRAM データを読み出します。まず、SRAM の書き込み時にセキュリティビット(Security Bit)がコンフィギュレーションされていないことを保証してください。セキュリティビットは実行時のデータを保護し、データセキュリティを守るために使用されます。セキュ

リティビットの設定が完了後、SRAM から取得するデータはすべて 1(High レベル)です。

ロード中に、FPGA は書き込まれたデータに対して CRC チェックを実行します

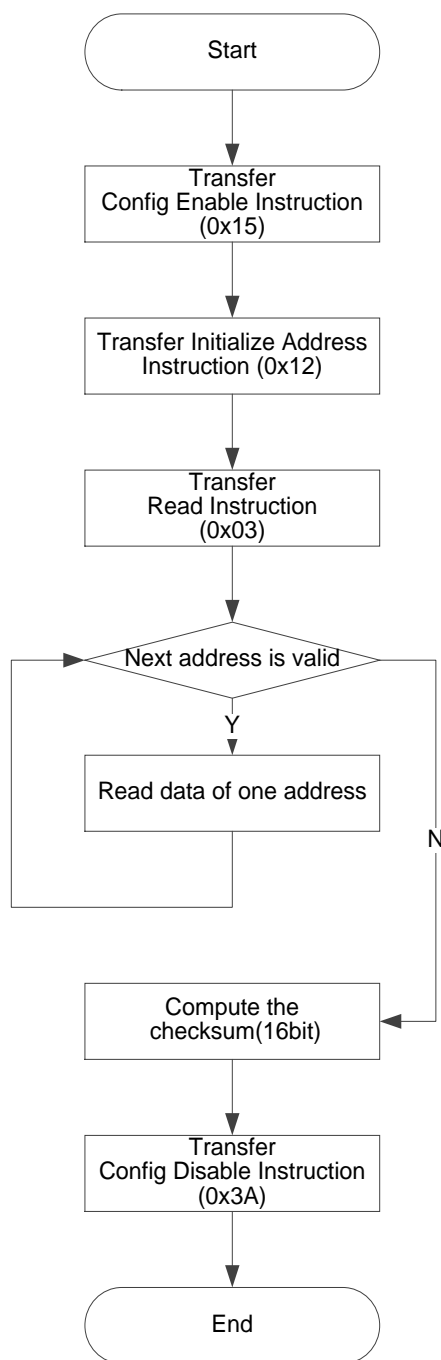
表 6-7 各デバイスの SRAM アドレス数とアドレス長さ

デバイス	アドレス長さ (ビット/アドレス)	アドレス数
GW1N-1/GW1N-1S/ GW1NZ-1	1216	274
GW1N-2/GW1N(R)-4B/ GW1NS(E/R)-2(C)	2296	494
GW1N(R)-6/GW1N(R)-9	2836	712
GW2A(R)-18	3376	1342
GW2A(R)-55(ES)	5536	2038

図 6-14 は読み出しプロセスの詳しい紹介です。

1. ConfigEnable 命令 0x15 を送信します。
2. Address Initialize 命令 0x12 を送信します。
3. SRAM Read 命令 0x03 を送信します。
4. 状態機械を Shift-DR(データレジスタ)に遷移させ、アドレス長さに相当するクロック信号を送信します(表 6-7 参照)。最後のクロックを送信すると同時に、TMS を High にし、Exit1-DR にジャンプします。この場合、TDO 経由で対応する長さのデータを読み出します。最後に、Run-Test-Idle に戻します。
5. 手順 4 を繰り返し、毎回 1 つのアドレスのデータを読み出すと、このアドレスは自動的に累積されます。
6. Config Disable 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、読み出しプロセスが終了します。

図 6-14 SRAM の読み出しプロセス



SRAM を消去する手順

SRAM を再コンフィギュレーションする場合、既存の SRAM を消去する必要があります。手順：

1. ConfigEnable 命令 0x15 を送信します。
2. SRAM Erase 命令 0x05 を送信します。
3. Noop 命令 0x02 を送信します。
4. 遅延するか、または Run Test 2~10ms。
5. SRAM Erase Done 命令 0x09 を送信します。

6. Config Disable 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、プロセスが終了します。

注記：

EraseSram(0x05)命令、Noop(0x02)の送信後、消去完了まで十分な時間が必要です。

- GW1N(*)-1 の場合は 1ms が必要です。
- GW1N(*)-4 の場合は 2ms が必要です。
- GW1N(*)-9 の場合は 4ms が必要です。
- GW2A(*)-18 の場合は 6ms が必要です。
- GW2A(*)-55 の場合は 10ms が必要です。

オンチップ Flash のプログラミング

オンチップ Flash のプログラミングには、通常のプログラミングとバックグラウンドプログラミングがあります。2つのプログラミングのフローチャートを図 6-15 と図 6-16 に示します。

図 6-15 通常のプログラミング手順

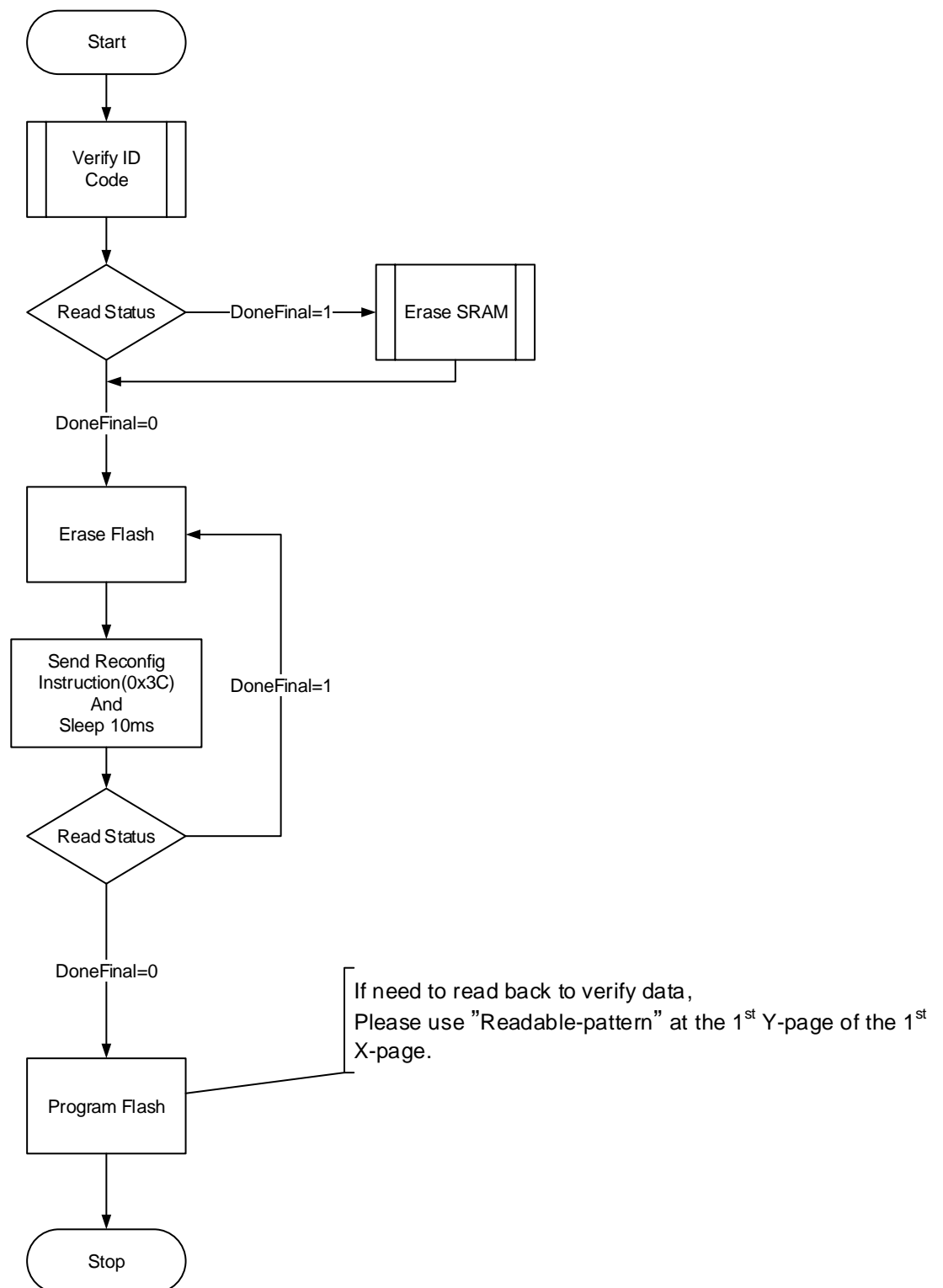
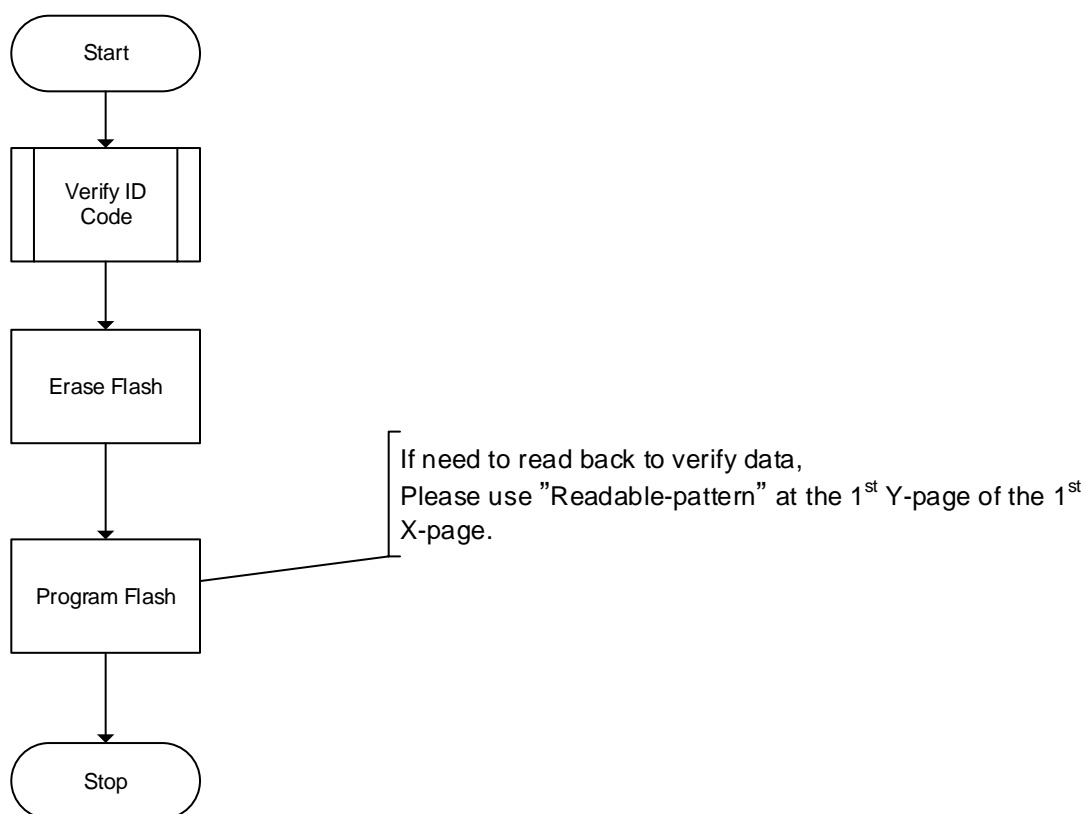


図 6-16 バックグラウンドプログラミング手順



オンチップ Flash の消去

GOWIN GW1N シリーズのオンチップ Flash メモリは、プログラミング前にオンチップ Flash を消去する必要があります。データセキュリティのため、オンチップ Flash はチップ全体の消去のみをサポートします。

現在、GW1N シリーズのオンチップ Flash の、JTAG プログラミング周波数の要件は、それぞれ異なります(表 6-8)。

表 6-8 JTAG の TCK 周波数要求

デバイス	TCK 周波数範囲	プロセスコード
GW1N-1 GW1N-1S	1.4MHz ~ 5MHz	H
GW1N(RF)-4B GW1N(SER)-4C GW1N(R)-9(C) GW1NZ-1	1MHz ~ 5MHz	T
GW1NS(E)-2(C)	1MHz ~ 5MHz	S

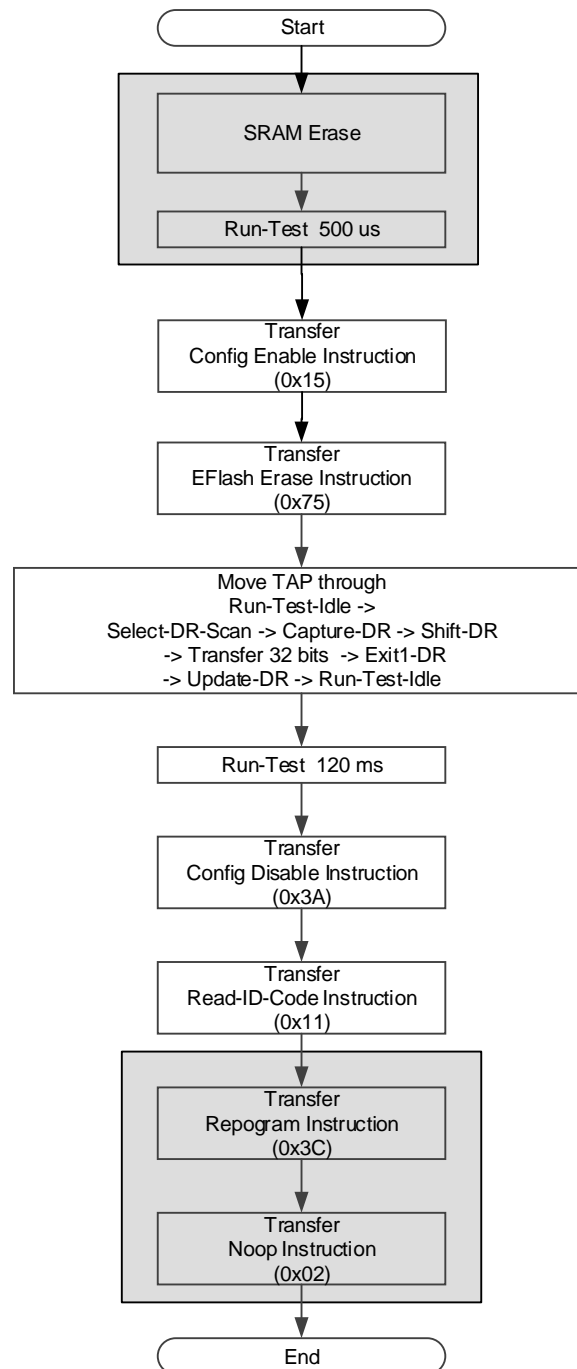
T プロセスの場合の FPGA 消去手順

図 6-17 に、T プロセスの場合の GW1NZ-1 チップ消去の詳しい手順を示します(他のモデルの場合はスキップしてください)。

1. JTAG リンクを作成し、TAP をリセットします。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。

3. SRAM がコンフィギュレーションされた場合、SRAM をまず消去します。
4. ConfigEnable 命令 0x15 を送信します。
5. EFlash Erase 命令 0x75 を送信します。
6. Run-Test-Idle(Run-Test)の間に継続的にクロックを 500 μ s 生成します。
7. 以下の順に状態機械を遷移させます : Run-Test-Idle -> Select-DR-Scan-> Update-DR -> Capture-DR -> Shift-DR -> Transfer 32 bits-> Exit1-DR -> Update-DR -> Run-Test-Idle(GW1N-4 以外のデバイスはこのステップを無視していいです)。
8. Run-Test-Idle(Run-Test)の間に継続的にクロックを 120ms 生成します。ここには周波数の要件があります(表 6-8 参照)。
9. Config Disable 命令 0x3A を送信します。
10. Noop 命令 0x02 を送信し、消去プロセスが終了します。
11. Reprogram 命令 0x03 を送信してデバイスを再コンフィギュレーションし、消去が成功したかどうかを確認します。

図 6-17 T プロセスの場合のオンチップ Flash 消去手順



注記：

Background Programming の場合、シェードエリアの操作は飛ばします。

H プロセスの場合の FPGA 消去手順

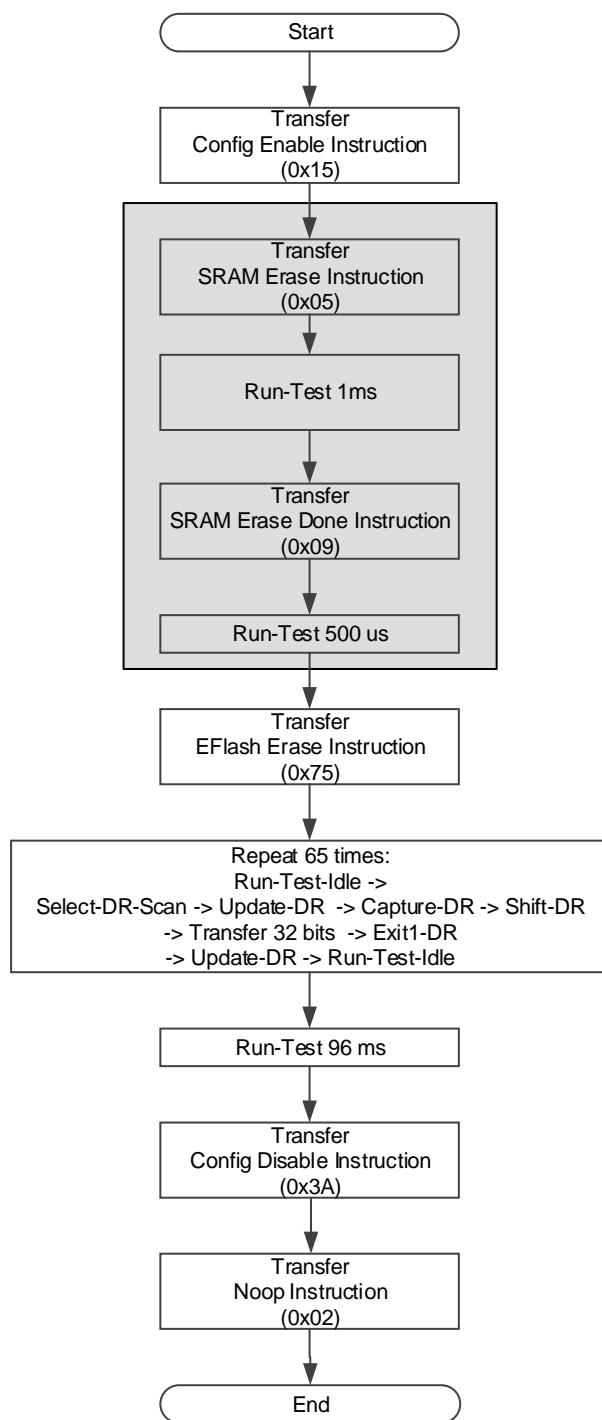
H プロセスの場合の FPGA 消去手順：

1. ConfigEnable 命令 0x15 を送信します。
2. EFlash Erase 命令 0x75 を送信します。
3. 状態機械を Run-Test-Idle から Shift-DR に遷移させ、32 クロック信号を生成します(TDI 信号は Low のまま)。32 クロックサイクル目と同時

に、状態機械を **Exit1-DR** に遷移させ、そして **Update-DR** を経由して **Run-Test-Idle** に戻ります。

4. 上記の手順を 65 回繰り返します。
5. **Run-Test-Idle(Run-Test)**の間に継続的にクロックを 95ms 生成します。ここには周波数の要件があります(表 6-8 参照)。
6. **Config Disable** 命令 **0x3A** を送信します。
7. **Reprogram** 命令 **0x03C** を送信し、消去が成功したかどうかを確認します。
8. **Noop** 命令 **0x02** を送信し、消去プロセスが終了します。

図 6-18 H プロセスの場合のオンチップ Flash 消去手順



S プロセスの場合の GW1NS(E)-2(C) オンチップ Flash 消去手順

GW1NS(E)-2(C)には2つのFlashがあるので、プログラミングの際は注意してください。

1. デバイス ID がマッチするかチェックします。
2. ConfigEnable 命令 0x15 を送信します。
3. 2 番目の Flash を消去したい場合、Flash 2nd Enable 命令 0x78 を送信します。

注記：

2 番目の Flash を消去するには、FPGA を Wakeup 状態にする必要があります(Status Code の Done Final=1)。

4. EFlash Erase 命令 0x75 を送信します。
5. 状態機械を Shift-DR に遷移させ、110ms のクロックを生成します。ここには周波数の要件があります(表 6-8 参照)。次に Run-Test-Idle に戻ります。
6. Config Disable 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、消去プロセスが終了します。

オンチップ Flash のプログラミングプロセス

オンチップ Flash の 1 X-page(256 バイト)には 64 の 4 バイトの Y-page があります。

1 つ目の X-page の 1 つ目の Y-page は、Flash が Autoboot(自動ロード)機能またはリードバック機能を備えられるかどうかの標識に使用されます。表 6-9 に示す通りです。1 つ目の Y-page が Readable-pattern に書き込まれた後、Flash データは読み出し可能です。1 つ目の Y-page が Autoboot-pattern に書き込まれた後、デバイスは autoboot mode で Flash データを SRAM に自動的にロードします。Readable-pattern の書き込み後にのみ Flash は読み出し可能となり、その他の状況では読み出しできません。Background programming 機能を備えたデバイスの場合、Autoboot-pattern のみが必要です。

データをリードバックする必要がない場合は、データストリームファイルのヘッダーに Autoboot-pattern データを挿入する必要があります。

X-Page あたりの容量が 256 バイト未満の場合、0xFF または 0x00 で埋めることができます。

現在、GW1N シリーズのオンチップ Flash の、JTAG プログラミング周波数の要件は、それぞれ異なります(SRAM を消去する手順>表 6-8 JTAG の TCK 周波数要求)。

表 6-9 Readback-pattern / Autoboot-pattern

デバイス	Readable-pattern(4 Bytes)	Autoboot-pattern(4 Bytes)
GW1N-1/ GW1N-1S	0x07,0x07,0x30,0x40	0x47,0x57,0x31,0x4E
GW1N(R)-2/4 GW1N(R)-2B/4B/9 GW1NZ-1 GW1NS(E)-2(C)	0xF7,0xF7,0x3F,0x4F	

図 6-19 は、オンチップ Flash のプログラミングプロセスです。

1. ID Code がマッチするかチェックします。
2. オンチップ Flash を消去します。
3. 消去が成功したかどうかを確認するには、ステータスレジスタを読み出してデバイスがダイの初期状態に復元されたかどうかを確認します。バックグラウンドプログラミングおよび GW1NS シリーズデバイスの場合は、この方法で判断できません。
4. ConfigEnable 命令 0x15 を送信します。
5. プログラミングが完了するまで 1 X-page ごとに書き込みます。
6. Config Disable 命令 0x3A を送信します。
7. Reprogram 命令 0x3C を送信し、データを Flash から SRAM にロードします。
8. Status Code/User Code を読み出してロードが成功したかどうかを確認します。

図 6-19 オンチップ Flash のプログラミングのフローチャート

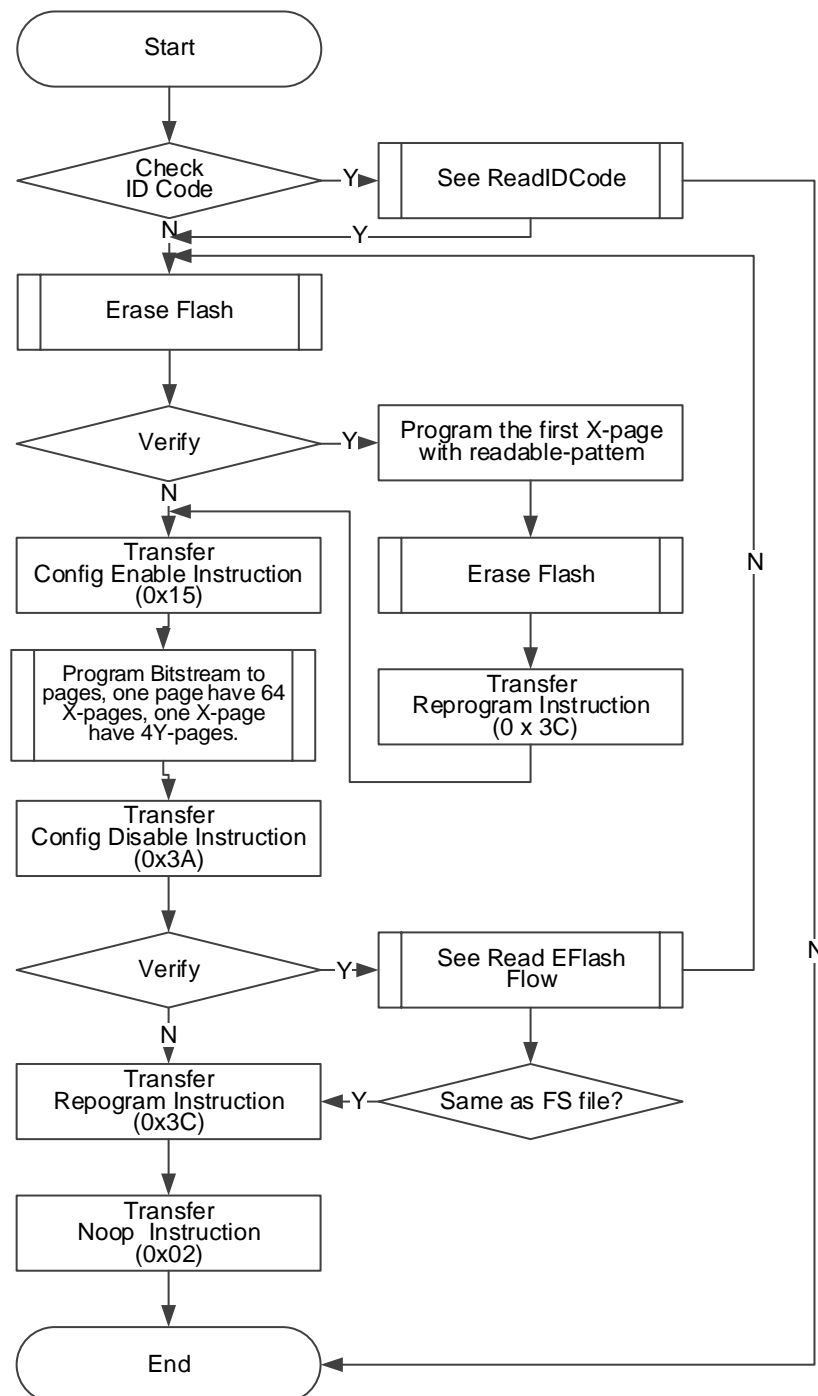
**X-page プログラミング手順**

図 6-20 は、X-page をプログラミングするプロセスです

1. ConfigEnable 命令 0x15 を送信します。
2. EF-Program 命令 0x71 を送信します。
3. Shift-DR に入ってアドレスデータ 1 を送信します¹。
4. 1 X-page のデータを書き込みます。
X-page は 256 バイトで構成されています。64 回 x4 バイト/回のよう

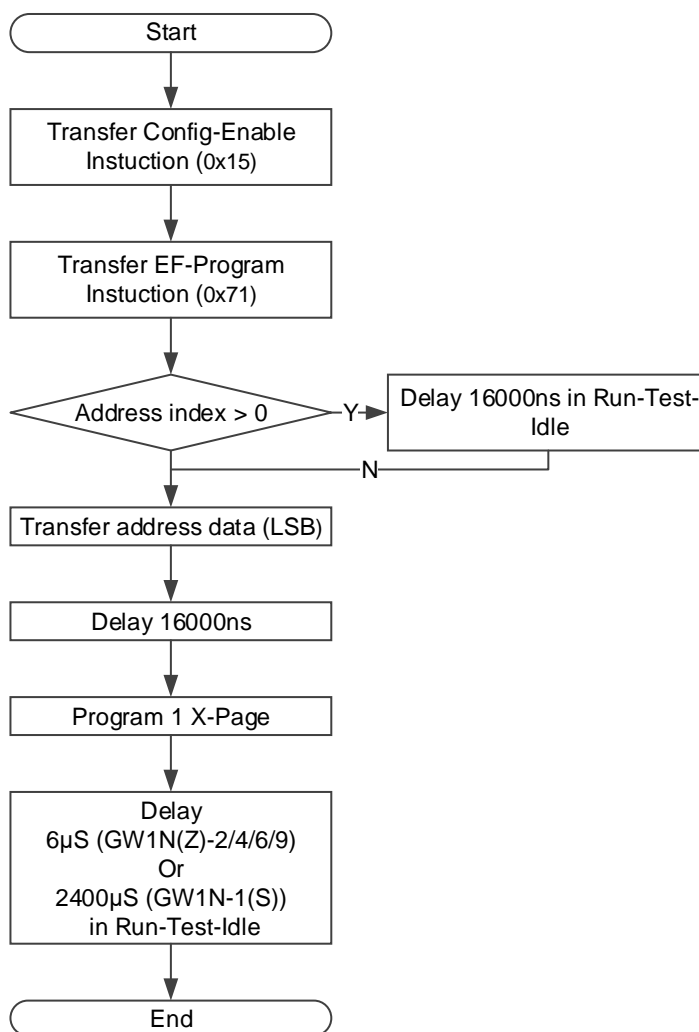
にプログラミングされます。Y-page のデータ書き込みは LSB ファーストです。図 6-20 を参照してください。

5. X-page の書き込み後、GW1N-1(S)デバイスには 2400us のクロック、GW1N(Z)-2/4/6/9 シリーズには 6us のクロックが必要です。
6. X-page プログラミングが終了します。

注記：

[1]アドレスは計 **32bits** で、そのうち下位 **6 ビット** は予約されます。例えば、アドレスが **b'00010011(0x13)** の場合、書き込まれるアドレスは **b'000000000000000000000000**1001100****0000**** になります。このアドレスデータは **LSB** ファーストの順で書き込まれます。に従い書き込まれます。最後のビットは **Shift-DR** から飛び出します。

図 6-20 X-page プログラミングのフローチャート



Y-page プログラミングプロセス

プログラミングプロセスの最小単位としての **Y-page** プログラミングにおいては、4 バイトごとに **LSB** ファーストの順で書き込まれます(図 6-21)。

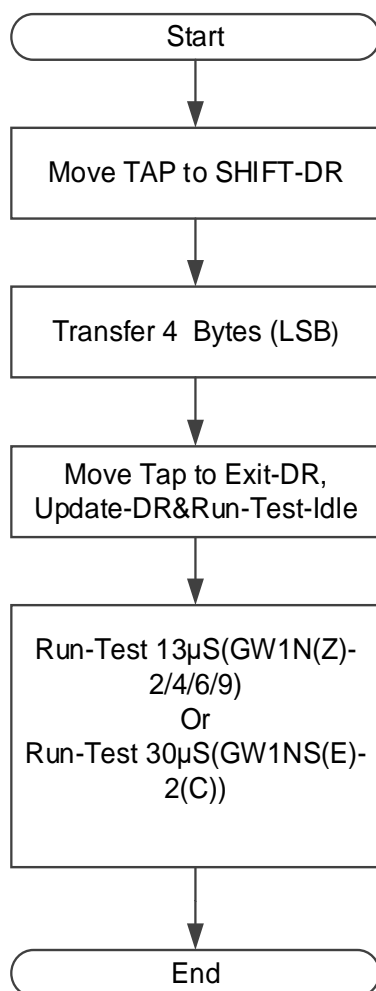
書き込まれたあと、書き込み完了を確認するために **Run-Test** を実行する必要があります。かつ **JTAG** クロックは最小周波数要件を満たす必要があります(表 6-8 参照)。

Y-page を書き込むたびに、**GW1N(Z)-2/4/6/9** シリーズには **13-15 μ S** の **Run-Test**、**GW1N(S)-2(C)** シリーズには **30-35 μ S** の **Run-Test** が必要です。

注記：

Configuration Data から上位 4 バイトを取得しますが、**Shift-DR** のデータ書き込み時には、最下位ビットから書き込みます。

図 6-21 **Y-page** プログラミングのフローチャート

**オンチップ Flash 読み出しプロセス**

以下はオンチップ **Flash** 読み出しプロセスの概要です。**JTAG** の **TCK** には速度要求がありません。図 6-22 に示す通りです。

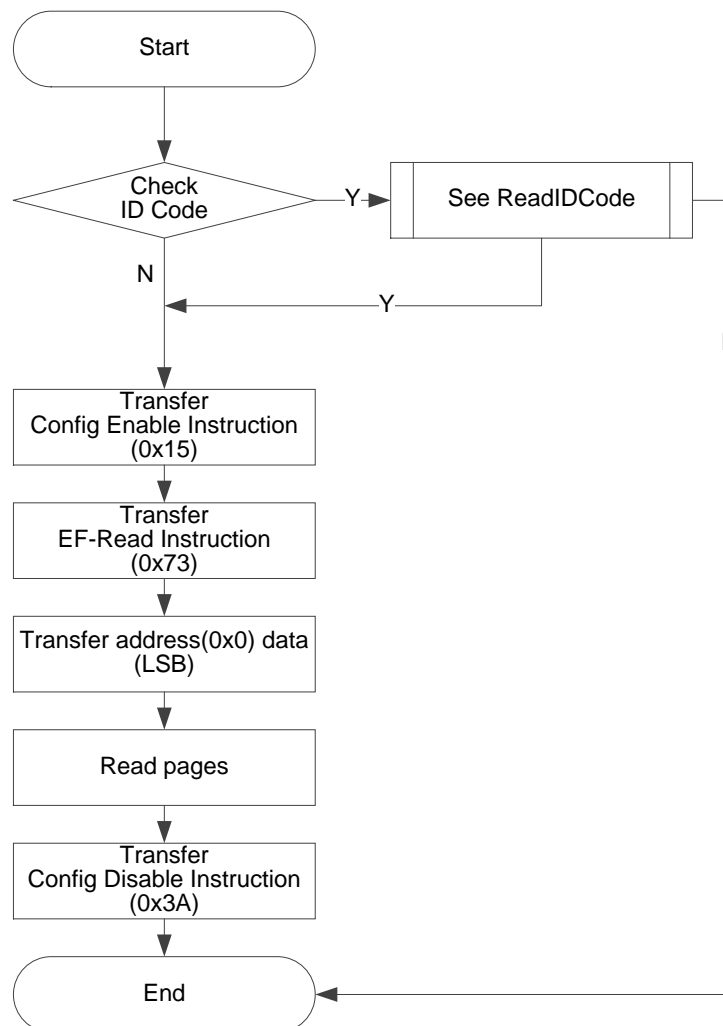
オンチップ **Flash** の読み出しは、**Flash** プログラミングの逆プロセスと見なすことができます。ただし、まず書き込む **Readable-pattern** が既に有

効であることを保証しなければなりません。GW1N では、Readable-pattern の書き込み後、順に Reprogram(0x3C)と Noop(0x02)を送信すると、オンチップ flash を Readable 状態にできます。

Flash 読み出しプロセスの概要：

1. IDCode をチェックします(オプション)。
2. ConfigEnable 命令 0x15 を送信します。
3. EF-Read 命令 0x73 を送信します。
4. Flash 読み出し開始アドレス 0x0 を送信します。方法は 0 の X-address 書き込みと同じです。
5. 64 個の Y-page を読み出すと、1 つの X-page になります。
6. X-page を 1 つ読み出すごとに、アドレスは再送信しなくても自動的に再帰します。
7. 読み出し完了後、Config Disble 命令 0x3A を送信し、プロセスは終了します。

図 6-22 オンチップ Flash 読み出しプロセスチャート



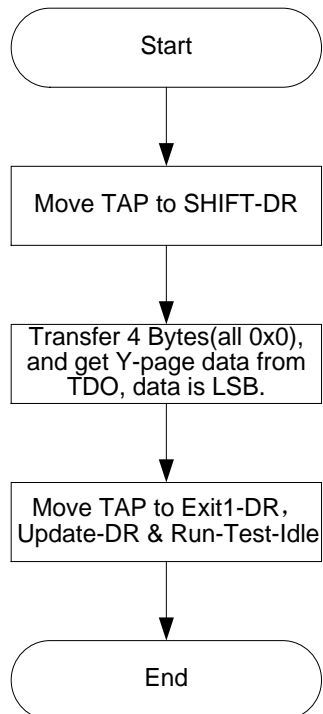
1 Page(Y-page)の読み出しプロセス

Y-page の書き込みと似ていますが、Flash 書き込みの待ち時間がありま

せん(図 6-23)。

最も早く出力されるデータは、最下位ビットです。

図 6-23 Y-page 読み出しプロセス



バックグラウンドプログラミング(Background Programming)

デバイスは、現在の機能に影響を与えずデータファイルをアップグレードし、Flash のプログラミングを行う場合があります。また、新しいデータストリームファイルをロードする時、IO 状態を保持できます下図は、GW1N4 がバックグラウンドプログラミング技術(Background Programming)を使用してオンチップ Flash データをアップグレードするフローチャートです。

図 6-24 GW1N-4 Background Programming プロセスチャート

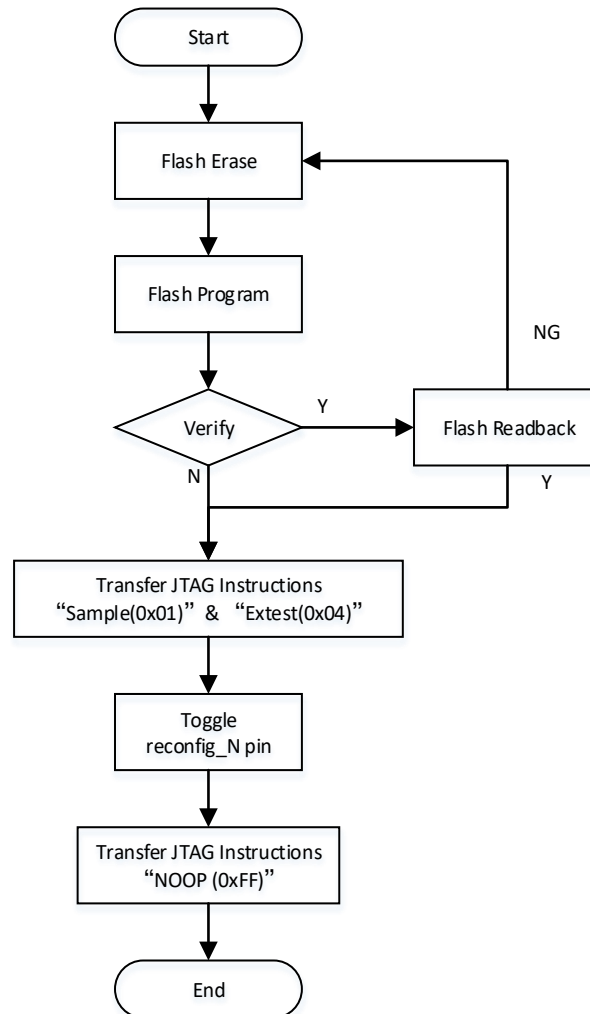
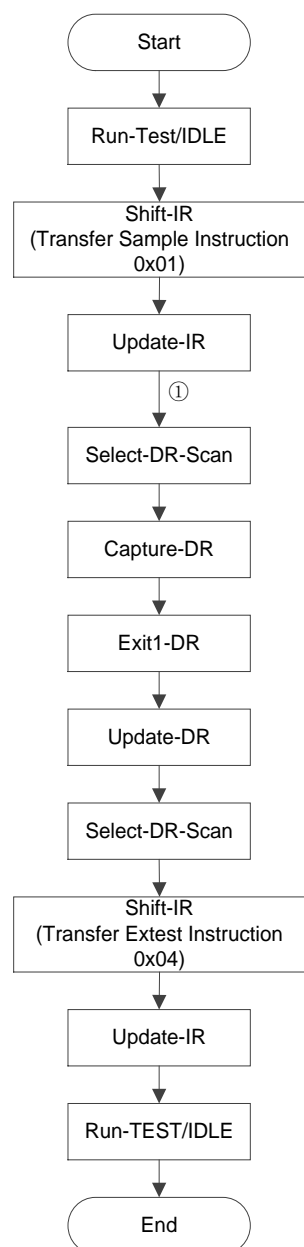


図 6-25 Transfer JTAG Instruction Sample & Exttest プロセスチャート



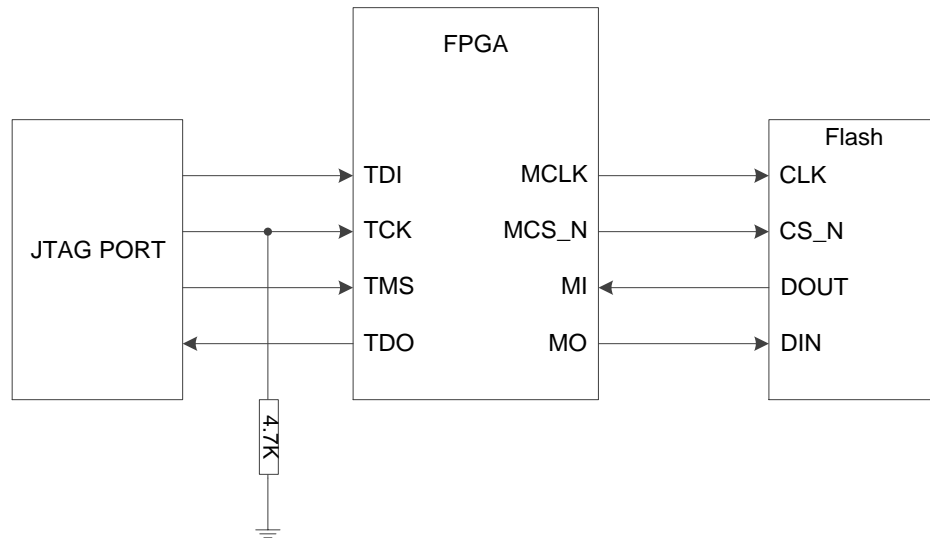
注記：

①は、直接 Update-IR から Select-DR-Scan にジャンプします。

オフチップ Flash のプログラミング

GOWIN FPGA は、オフチップ Flash からデータストリームファイルをロードし、JTAG を通じてオフチップ Flash を直接プログラミングできます。

図 6-26 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図



注記：

この図は JTAG インターフェースを介したオフチップ Flash プログラミングの最小システム図です。

JTAG-SPI 変換を利用したオフチップ Flash プログラミング

このモードでは、JTAG インターフェースを介してオフチップ Flash をプログラミングします。

その原理は、JTAG のインターフェースを転送で Flash のインターフェースに接続することです。ユーザーは、JTAG により Master SPI タイミングをシミュレーションして SPI Flash をプログラミングします。

図 6-27 SPI Flash プログラミングのフローチャート

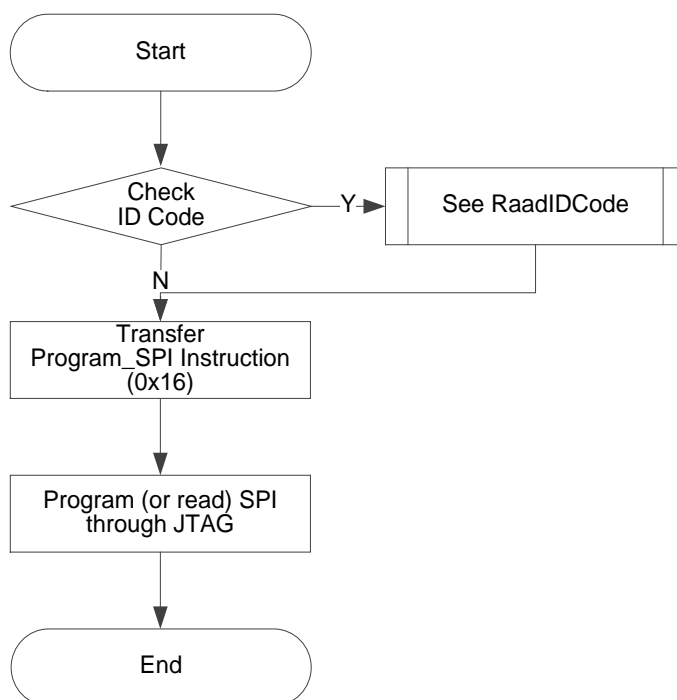


図 6-28 JTAG の SPI の 0x06 命令送信シミュレーションのタイミング図(GW2A シリーズ)

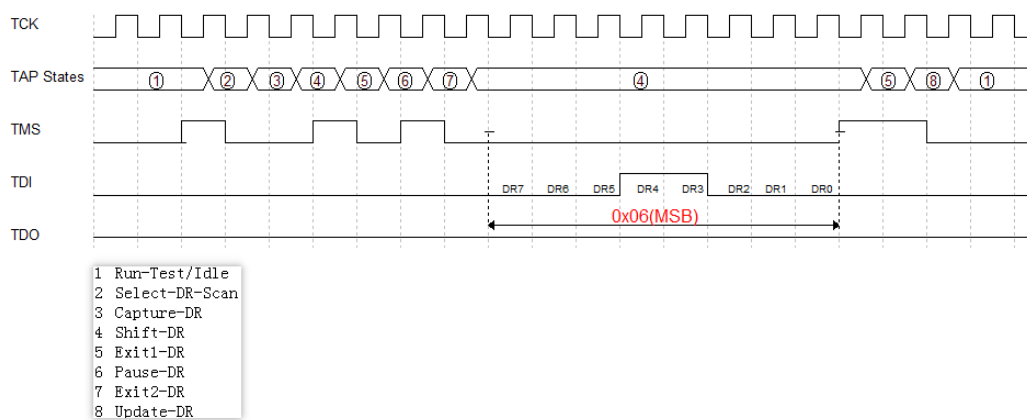
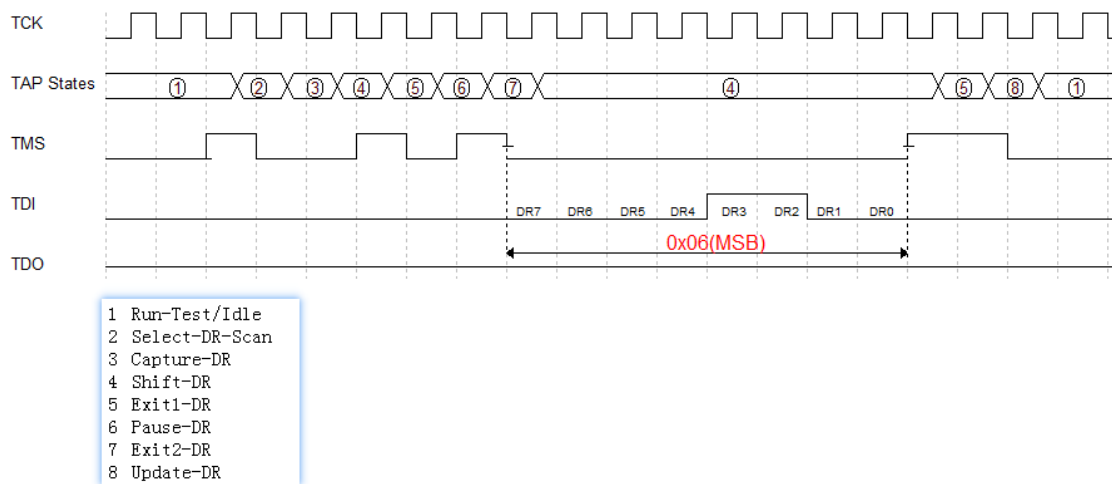


図 6-29 JTAG の SPI の 0x06 命令送信シミュレーションのタイミング図(GW1N シリーズ)



JTAG Boundary Scan での SPI Flash プログラミング

このモードの原理は、Boundary Scan の方法を使用して SPI と接続するピンの状態を変更することで、SSPI タイミングを実現し、オンチップ Flash をプログラミングします。

このモードで採用する Boundary Scan Chain の長さは 8 ビットで、2 の組み合わせごとにピンの状態に対応します(表 6-10)。Boundary Scan Chain を 2 回送信することにより、1 回の SCLK 駆動が完了します。

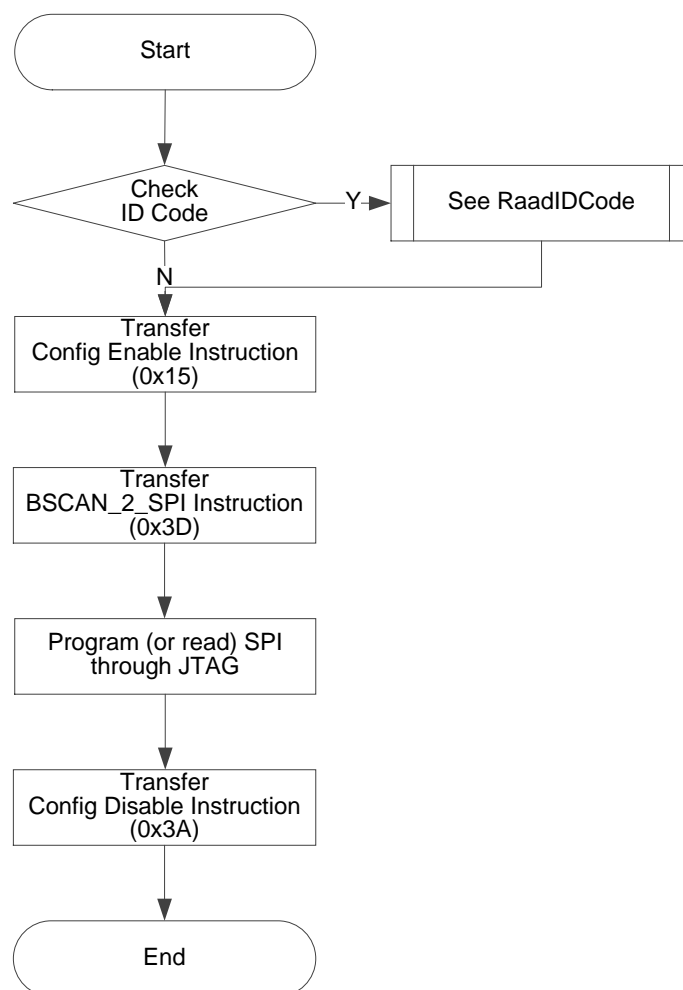
表 6-10 ピンの状態

SPI Flash のピン名	SCLK		CS		DI		DO	
Bscan Chain[7:0]	7	6	5	4	3	2	1	0
(ctrl & data)	0		0		0		1	

注記：

- ctrl:0 は出力、1 は入力を表します。
- data:0 は Low レベル、1 は High レベルを表します。

図 6-30 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート



Status Register の読み出し(0x41)

Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wakeup の成功、読み込みエラーの有無などを確認できます。

Status Register は合計 32 ビットあり、読み出し命令は 0x41 で、タイミングは Read ID Code と一致します。

Status Register の意味は、表 6-11 に示す通りです。

表 6-11 Status Register の意味

デバイス Status Register[31:0]	GW1N(R)-1/2/4	GW1NS-2 GW1NS(R)-2C	GW1N(R)-6/9 GW1NZ-1	GW2A-18/55
0	CRC Error (1 : エラーあり。0 : エラーなし)			
1	Bad Command Error(1 : エラーあり。0 : エラーなし)			
2	ID Verify Failed Error(1 : エラーあり。0 : エラーなし)			
3	Timeout Error(1 : エラーあり。0 : エラーなし)			
4-11	-			
12	Gowin VLD(1 : 正常。0 : 異常)			-
13	Done Final(通常、ロードが成功した場合は 1、ロードが失敗した場合は 0)			
14	Security Final(セキュリティビットありの場合は 1、セキュリティビットなしの場合は 0)			
15	Ready(1 : 正常。 0 : 異常)	0	Ready(1 : 正常。 0 : 異常)	Encrypted Format(1 : 暗号化されたデータストリームファイルが使用されている)
16	POR(1 : 正常。0 : 異常)			Encrypted Key Is Right(1 : キーが正しい。0 : キーが間違っている)
17-31	-			

* Gowin VLD はオンチップ Flash に関連するパラメータです。

User Code の読み出し(0x13)

User Code は合計 32 ビットあり、読み出し命令は 0x13 で、タイミングは Read ID Code と一致します。

User Code がデフォルトで使用するのは FS ファイルの checksum 値で、Gowin Designer において再定義できます。

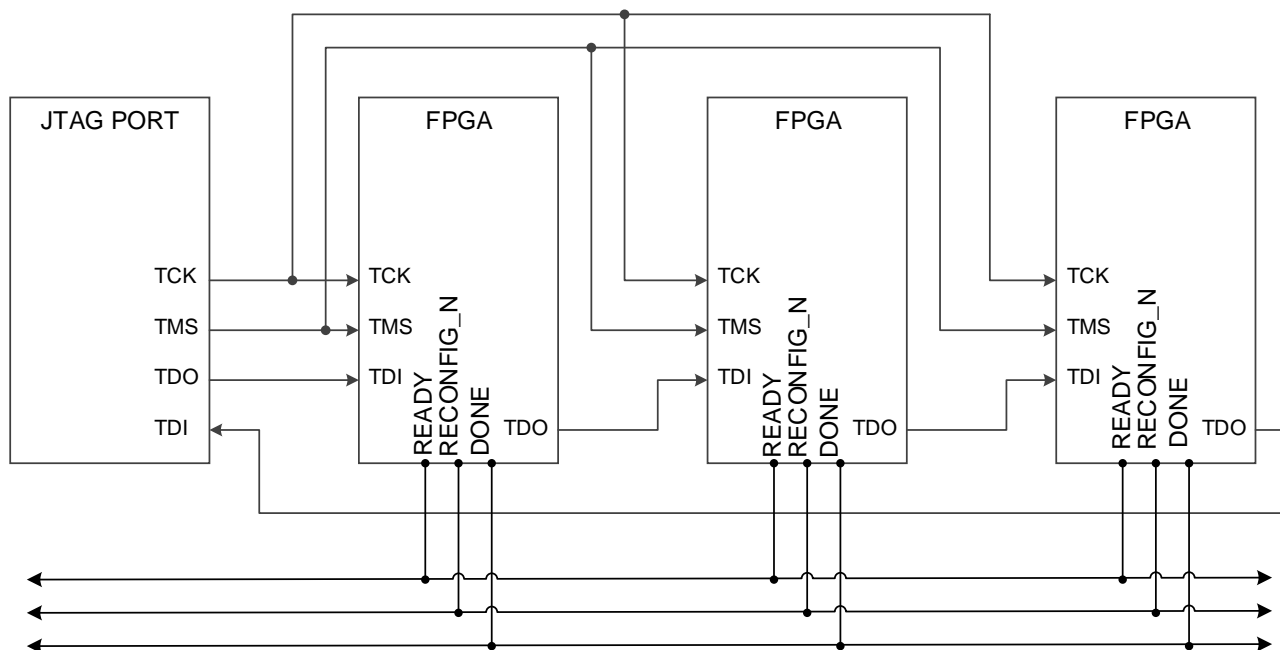
リロード(0x3C)

この命令の役割は、FPGA が Flash からデータストリームファイルを読み出し、SRAM にコンフィギュレーションできるようにすることです。

JTAG が Reprogram(0x3C)命令、Noop(0x02)命令を送信することで、デバイスはリロードできます。その効果は、Reconfig_N ピンのトリガと同じです。

デジチェーンの接続図

図 6-31 デジチェーンの接続図



ルーチンファイル

ルーチンファイルについては、当社のテクニカル・サポートにお問い合わせください。

6.3 AUTO BOOT コンフィギュレーション(LittleBee®ファミリでのみサポート)

AUTO BOOT コンフィギュレーションモードは、GOWIN セミコンダクターが LittleBee®ファミリ不揮発性 FPGA 製品の瞬時接続特性のために導入したコンフィギュレーションモードです。Arora ファミリーFPGA 製品は AUTO BOOT コンフィギュレーションモードをサポートしません。AUTO BOOT コンフィギュレーションモードでは、FPGA はパワーアップ後外部コンフィギュレーションインターフェースに接続することなくオンチップ Flash からビットストリームデータを読み出してコンフィギュレーションすることができます。

AUTO BOOT コンフィギュレーションモードを使用する場合、まずコンフィギュレーションデータを JTAG インターフェースを介して FPGA のオンチップ Flash にプログラムする必要があります(図 6-4 参照)、そして MODE 値を "000"に調整して再パワーアップまたはローパルスで RECONFIG_N ピンをトリガするときは、チップは自動的にビットストリームデータを読み出してコンフィギュレーションプロセスを完了します。ユーザーが

MODE 値を"000"に設定すると、Gowin プログラミングソフトウェアを使用してオンチップ Flash をプログラムした後、FPGA は自動的に SRAM をコンフィギュレーションして AUTO BOOT を完了します。オンチップ Flash の瞬時接続機能により、コンフィギュレーションのダウンロード時間が短縮され、作業効率が向上しました。

GW1N(R)-9、および GW1NS シリーズ FPGA は、LittleBee®ファミリーの他の FPGA 製品と違って、2 回の AUTO BOOT コンフィギュレーション再試行をサポートします。つまり、パワーアップ後に AUTO BOOT コンフィギュレーションが失敗した場合、デバイスは自動的にコンフィギュレーションを 2 回再試行できます。コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC 検証エラー、および命令エラーがあります。

注記：

オンチップ Flash に保存できるビットストリームデータは 1 つだけです。再試行アドレスは変更できません。

6.4 SSPI コンフィギュレーションモード

SSPI(Slave SPI)では、FPGA をスレーブデバイスとして、外部 Host が SPI インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。

6.4.1 SSPI コンフィギュレーションモードのピン

SSPI コンフィギュレーションモードに関連するピンは表 6-12 に示すとおりです。

表 6-12 SSPI コンフィギュレーションモードのピン

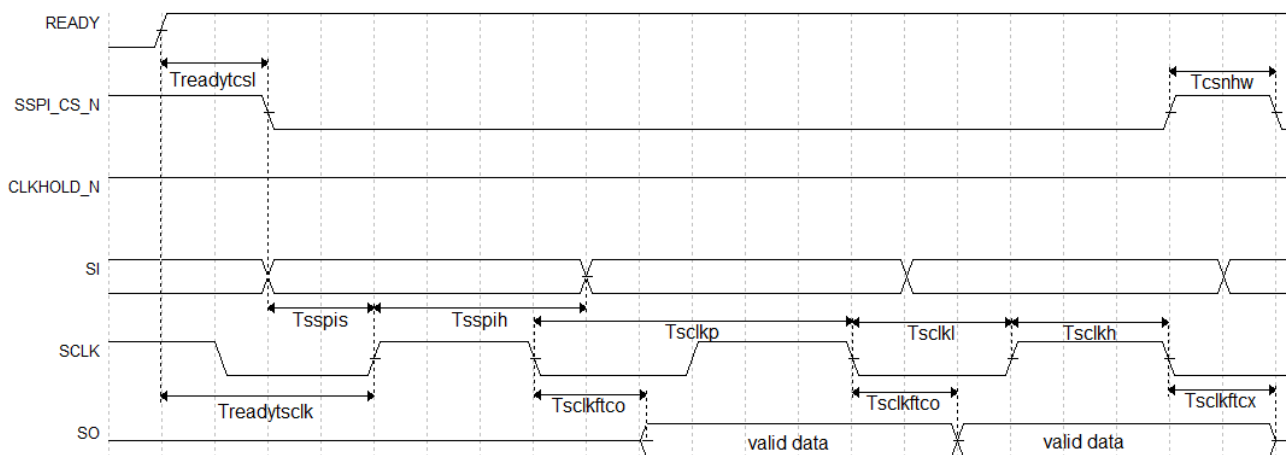
ピン名	I/O タイプ	説明
RECONFIG_N	I, 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[2:0]	I, 内部の弱いプルアップ	コンフィギュレーションモードの選択用で、READY の立ち上がりエッジでサンプリング
SCLK	I	クロック入力
CLKHOLD_N	I,	High レベル：SCLK に対応する SP 操作が有効

ピン名	I/O タイプ	説明
	内部の弱いプルアップ	ローレベル：SCLK に対応する SPI 操作が無効
SO	O	FPGA が Host にデータを出力
SI	I	Host が FPGA にデータを入力
SSPI_CS_N	I, 内部の弱いプルアップ	SSPI のチップセレクト信号、アクティブ Low

6.4.2 SSPI コンフィギュレーションモードのタイミング図

SSPI モードのタイミング図は、図 6-32 に示す通りです。

図 6-32 SSPI コンフィギュレーションモードのタイミング図



関連するタイミングパラメータは、表 6-13 に示す通りです。

表 6-13 SSPI コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T_{sclkp}	SCLK クロックのサイクル(SCLK clock period)	15ns	-
T_{sclkh}	SCLK クロックの High レベル時間(SCLK clock high time)	7.5ns	-
T_{sclcl}	SCLK クロックの Low レベル時間(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT のセットアップ時間(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT のホールド時間(SSPI PORT hold time)	0ns	-
$T_{sclktco}$	SCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from SCLK falling edge to output)	-	10ns
$T_{sclktcx}$	SCLK の立ち下がりエッジからハイインピーダンスまでの時間(Time from SCLK falling edge to	-	10ns

パラメータ名	パラメータの意味	最小値	最大値
	high impedance)		
T _{csnhw}	CSN の High レベルパルスの幅(CSN high time)	25ns	-
T _{readytcsi}	READY の立ち上がりエッジから CSN の Low レベルまでの時間(Time from READY rising edge to CSN low)	10μs	
T _{readytsclk}	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	10μs	-

上記の電源要件のほか、SSPI モードを使用するには、以下の条件を満たす必要があります。

- SSPI インターフェースイネーブル
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG_N を通常の I/O に設定していません。
- 新しいコンフィギュレーションの開始
再パワーアップするか、Low レベルで RECONFIG_N ピンをトリガします。

6.4.3 SSPI の一般的なコンフィギュレーション命令

SSPI モードの場合、SSPI を介して FPGA SRAM へのプログラミングや ID CODE ≠ USER CODE ≠ STATUS CODE などの読み出し、または外部記憶装置(SPI Flash など)へのプログラミングを実現できます。

FPGA 用の SSPI 命令は通常 1~4 バイトからなります。それには少なくとも 1 つの命令バイトと複数の冗長情報バイトが含まれます。情報バイトが指定されていない場合、冗長情報バイトは任意の数にすることができます(次の表では 0x00 で表されます)。

表 6-14 コンフィギュレーション命令

命令名	完全な命令(命令バイト+冗長情報バイト)
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00

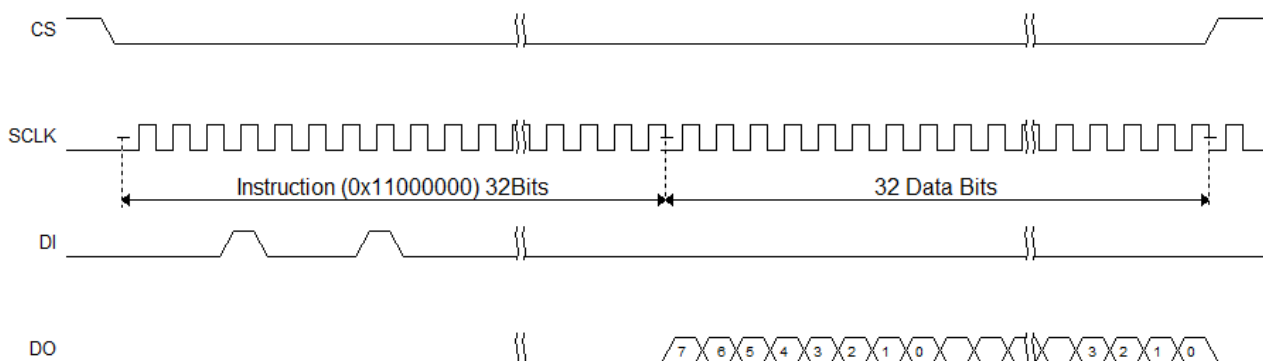
Write Data	0x3B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500

Read ID Code

FPGA の ID Code の長さは 32 ビットであり、ID を読み出すための命令の長さは 32 ビット(0x11000000)です。命令が送信される前に、CS を High にし、FPGA が CS の状態を認識できるようにこの状態を 2 クロックサイクル以上維持します。

CS が Low にプルダウンされると、MSB フォーマットで命令 0x11000000 を書き込み、この 4 バイトの命令を書き込んだ後、32 クロックを生成する必要があります。このとき、ID Code データは DO から MSB の形式で順次シフトされます。

図 6-33 ID Code の読み出しのタイミング図

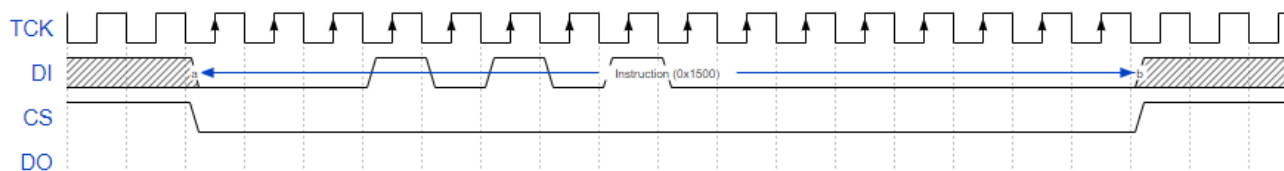


StatusCode/UserCode の読み出しも、ID Code の読み出しと同様です。

Write Enable (0x1500)

SRAM をコンフィギュレーションする前、Write Enable(0x15)命令を使用してデバイス編集モードに入り、デバイスが Write Data(0x3B)命令を受信できるようにします。

図 6-34 Write Enable(0x15)タイミング説明図



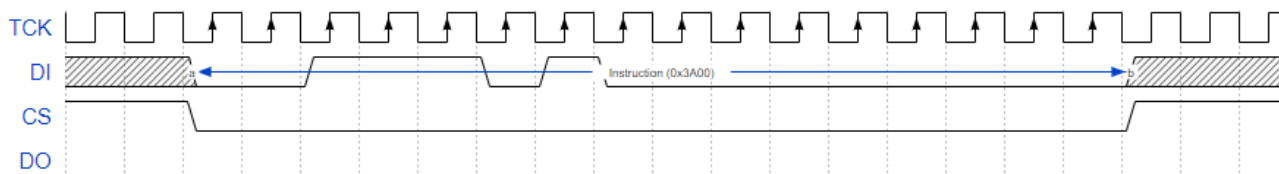
注記：

SCLK 駆動ルール：CS が High の場合、FPGA を駆動して CS 信号を認識させるために 2 サイクル以上の SCLK が必要です。他の命令の送信もこのルールに従います。

Write Disable (0x3A00)

データ送信後、Write Disable を使用して編集モードを終了してください。終了後、デバイスを起動し、動作状態にすることができます。

図 6-35 Write Disable (0x3A00)のタイミング図



上記の 0x1500 と 0x3A00 命令のタイミングはほぼ同じです。CS が Low にプルダウンされた後、命令の送信が開始し、命令の送信が完了した後、CS が High にプルアップされます。0x3C00(Reconfig/Reprogram)、0x1500(Write Enable)、0x3A00(Write Disable)、0x1600(Program SPI Flash)、0x1200(Init Address)、0x0500(Erase SRAM)などの命令もこのようなタイミングです。

また、SSPI は外部クロックによって駆動されるため、これらの命令の前後で CS が High の場合、FPGA が CS 状態をキャプチャできるようになるまで 2 つ以上のクロックサイクルが必要です。

Erase SRAM(0x0500)

この命令のタイミングは WriteEnable/WriteDisable と同じであり、命令の内容を 0x0500 に置き換えただけです。

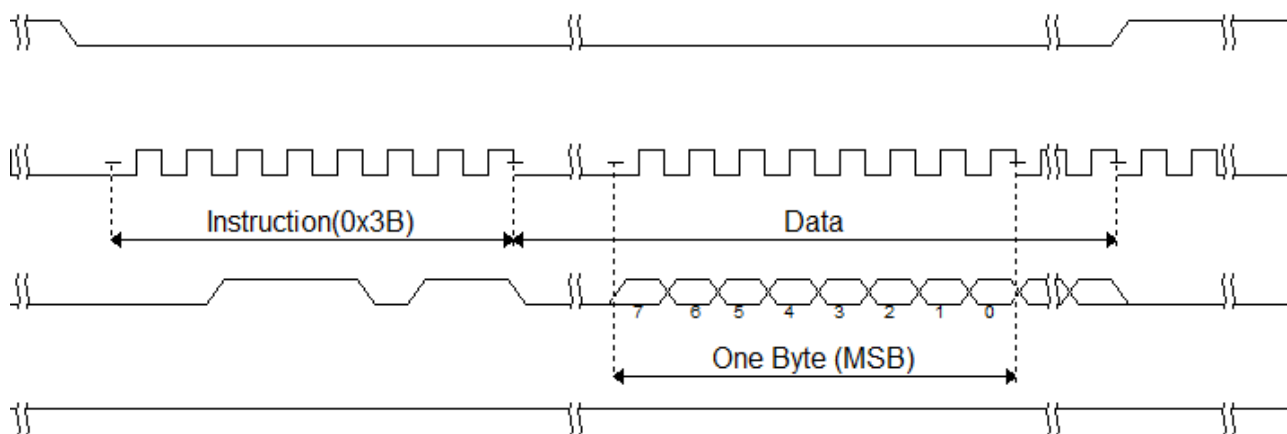
命令を送信した後、命令が実行されるまでに少なくとも 10ms の遅延が必要です。

Write Data (0x3B)

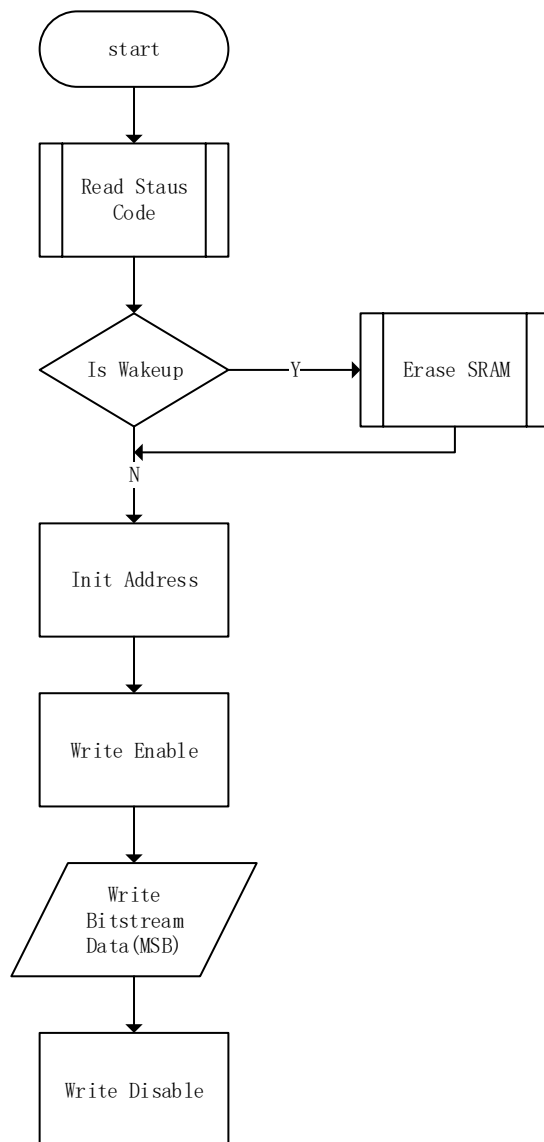
WriteData(0x3B)命令を使用して FPGA デバイスにデータストリームファイルを直接送信します。

データの書き込み中、CS は常に Low であることに注意してください。

図 6-36 Write Data(0x3B)のタイミング図



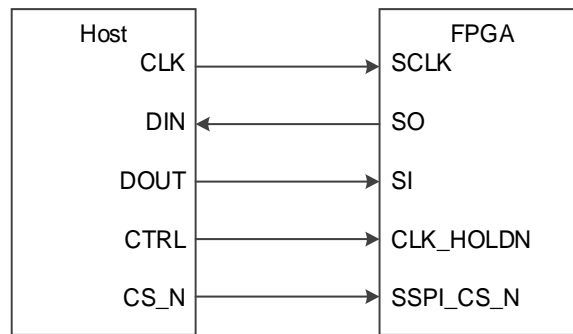
6.4.4 SSPI Configure SRAM のフローチャート



6.4.5 SSPI コンフィギュレーションモードの接続図

SSPI コンフィギュレーションモードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 6-37 に示すとおりです。

図 6-37 SSPI コンフィギュレーションモードの接続図



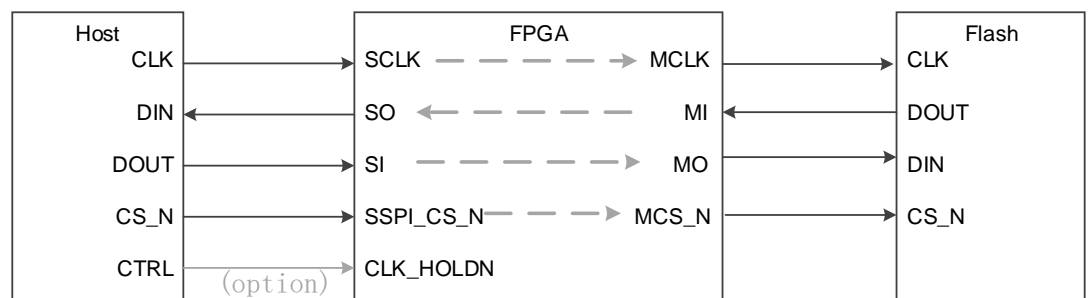
注記：

この図は SSPI コンフィギュレーションモードの最小システム図を示しています。SSPI モードの MODE 値は“001”で、他の固定ピンの接続については図 6-1 を参照してください。

通常の SRAM コンフィギュレーション操作に加えて、SSPI コンフィギュレーションピンは FPGA 外部の SPI フラッシュもプログラムでき、フラッシュプログラミングの MODE 値は SSPI コンフィギュレーションモードの MODE 値と同じです。ユーザーは Gowin プログラミングソフトウェアでコンフィギュレーションデータを SRAM またはオフチップ Flash に書き込むことができます。オフチップ Flash からロードする前に、MODE を MSPI MODE に調整してから、再パワーアップするか RECONFIG_N をトリガーして MSPI ロードをトリガーする必要があります。

SSPI インターフェースを介したオフチップ Flash プログラミングの接続図は図 6-38 に示すとおりです。

図 6-38 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図



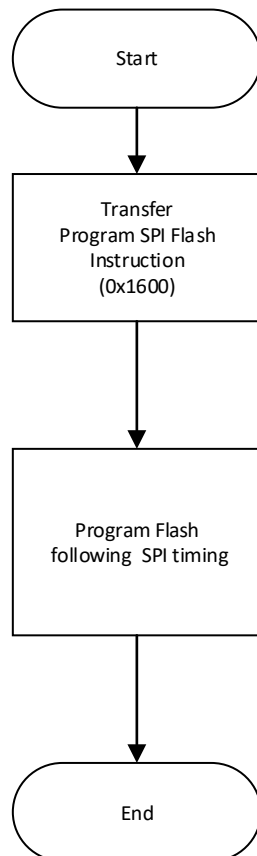
注記：

- Arora ファミリー製品はすべて SSPI モードでの Flash プログラミングをサポートします。
- Little Bee®ファミリー製品は GW1N(R)-9 デバイスのみが SSPI モードでの Flash プログラミングをサポートします。

Flash プログラミングのフローチャートを図 6-39 に示します。まず、「Program SPI Flash」(0x1600)命令を SSPI を介して FPGA に送信します。その後、FPGA は SSPI を Flash に転送できます。これにより、Host は SSPI を介して Flash に直接アクセスできます。次に、Flash の関連するタイミングに従って Flash をプログラムできます。

Flash からデータを読み出す場合、データは 1 ビット遅延することに注意してください。たとえば、SSPI が Flash の ID Code を読み出すとき、最後のビットを取得するために追加の 1 クロックを送信する必要があります。

図 6-39 SSPI モードでの Flash プログラミングのフローチャート



6.4.6 SSPI モードでの複数 FPGA 接続

図 6-40 複数 FPGA の接続図 1

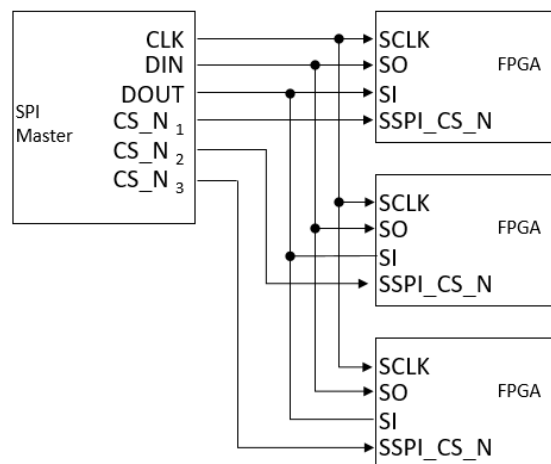
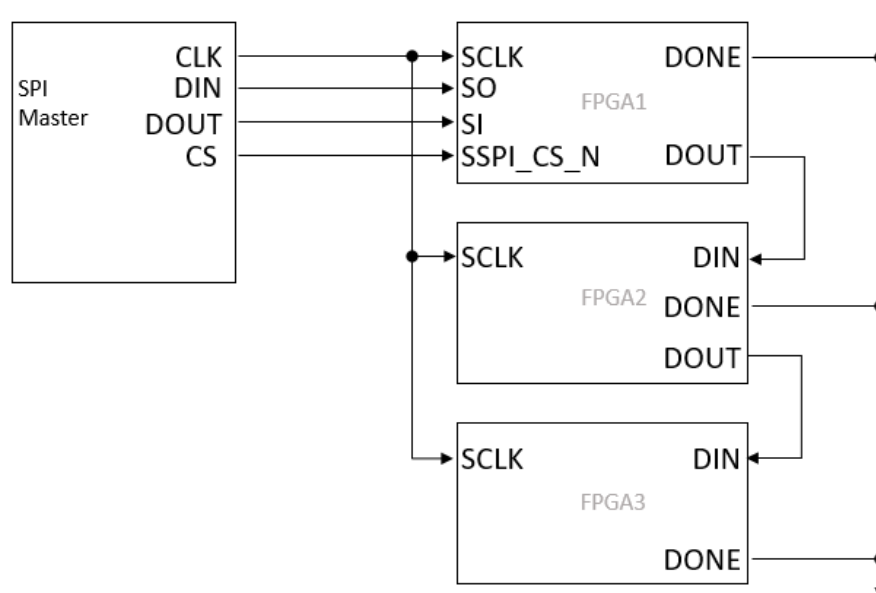


図 6-41 複数 FPGA の接続図 2



6.5 MSPI コンフィギュレーションモード

MSPI(Master SPI)モードでは、FPGA はマスター(master)として、SPI インターフェースを介して能動的にオフチップ Flash からビットストリームデータを読み出し、コンフィギュレーションします。

MSPI コンフィギュレーションの手順 : MODE ピンを MSPI 状態に設定すると、再パワーアップするかローパルスで RECONFIG_N をトリガすることで、デバイスはオフチップ Flash からビットストリームデータを読み出してコンフィギュレーションを完了します。

ユーザーは、MSPI のコンフィギュレーション特性によってリモートアップグレード実現できます。FPGA の動作開始後、アップグレードが必要な場合、ユーザーはコンフィギュレーションデータを FPGA 外の Flash にリモートで書き込んで、アップグレード条件が満たされたら、

RECONFIG_N をトリガするか再パワーアップしてアップグレードを完了します。

MSPI コンフィギュレーションモードのピン

MSPI コンフィギュレーションモードに関連するピンは表 6-15 に示すとおりです。

表 6-15 MSPI コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I, 内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O	High レベル : 現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル : デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[2:0]	I, 内部の弱いプルアップ	MODE 選択信号、READY の立ち上がりエッジでサンプリング
MCLK	O	FPGA 出力クロック
MCS_N	O	チップセレクト信号、アクティブ Low
MO	O	FPGA が Slave にデータを出力
MI	I	Slave が FPGA にデータを入力
FASTRD_N	I	READY 信号の立ち上がりエッジでサンプリング High レベル : Read SPI モード(SPI 命令 0x03)。Low レベル : Fast Read SPI モード(SPI 命令 0x0B)

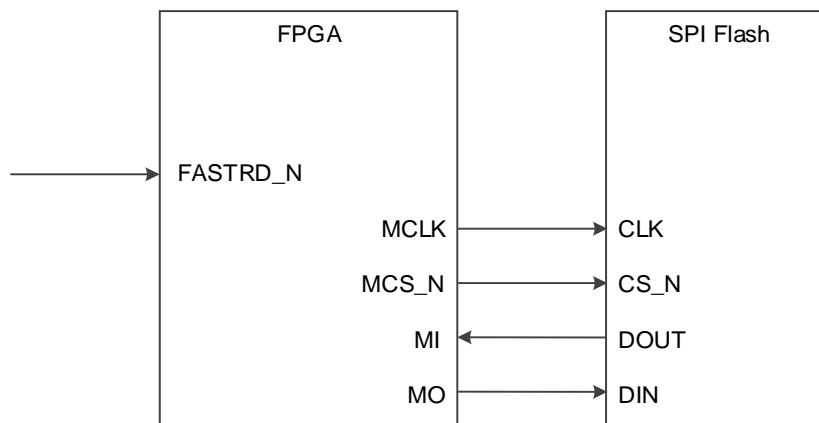
注記 :

MSPI コンフィギュレーションモードのクロック周波数は 70MHz を超えてはなりません。クロック周波数が 30MHz より大きく 70MHz より小さい場合、Flash の高速アクセスモードを使用して外部で FASTRD_N ピンをプルダウンする必要があります。クロック周波数が 30MHz 以下の場合、FASTRD_N ピンはフローティングのままにします。

MSPI コンフィギュレーションモードの接続図

MSPI コンフィギュレーションモードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 6-42 に示すとおりです。

図 6-42 MSPI コンフィギュレーションモードの接続図

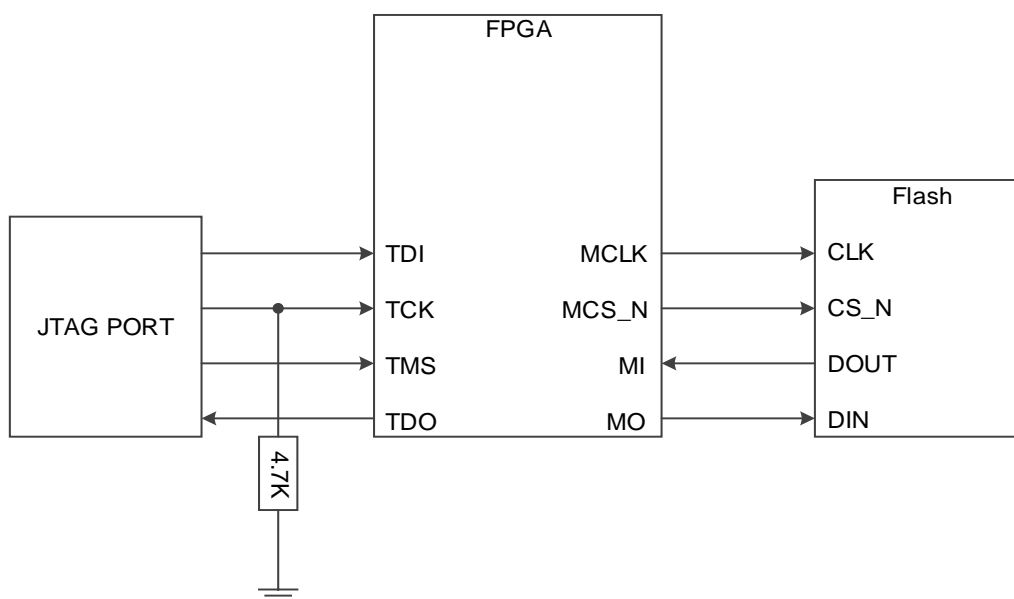


注記：

この図は MSPI コンフィギュレーションモードの最小システム図を示しており、MSPI モードでは、GW1N(R)の MODE の値は“010”、GW2A(R)の MODE の値は“000”です。その他の固定ピンの接続については図 6-1 を参照してください。MSPI コンフィギュレーションモードのクロック周波数が 30MHz 以下の場合、FASTRD_N ピンはフローティングのままにします。

JTAG インターフェースを介したオフチップ Flash プログラミングの接続図を図 6-43 に示します。SSPI インターフェースを介したオフチップ Flash のプログラミングの接続図については、図 6-38 を参照してください。

図 6-43 JTAG インターフェースを介したオフチップ Flash のプログラミングの接続図



注記：

この図は JTAG インターフェースを介したオフチップ Flash プログラミングの最小システム図であり、他の固定ピンの接続については図 6-1 を参照してください。

GOWIN セミコンダクターFPGA 製品は通常、パワーアップ後に 1 回の自動 MSPI コンフィギュレーション操作のみをサポートしますが、GW1N(R)-9、GW2A(R)-18 と GW1NS シリーズ製品は、この点で最適化されています: GW2A(R)-18 シリーズ FPGA は 1 回のコンフィギュレーション再試行をサポートし、GW1N(R)-9、および GW1NS シリーズ FPGA は 2 回のコンフィギュレーション再試行をサポートします。パワーアップ後に MSPI コンフィギュレーションが失敗した場合、デバイスはサポートされている再試行回数に従って自動的に再コンフィギュレーションできます。コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC 検証エラー、および命令エラーがあります。ユーザーはコンフィギュレーション再試行の SPI Flash アドレスを指定し、Gowin ソフトウェアインターフェースを利用して書き込むことができます。この特性により、コンフィギュレーション失敗のリスクが大幅に減少します。これによって、ユーザーデザインの信頼性が向上します。

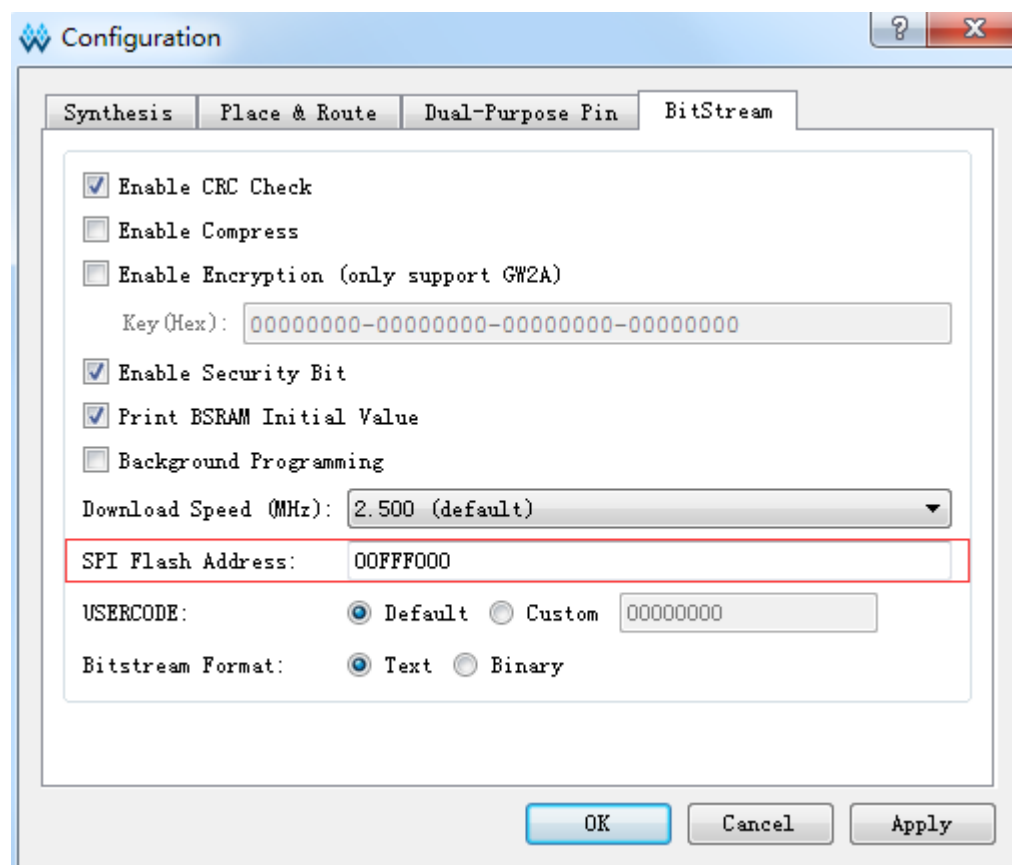
MULTI BOOT コンフィギュレーション

MSPI コンフィギュレーションモードの派生概念である MULTI BOOT コンフィギュレーションモードでは、FPGA がオフチップ Flash の異なるアドレスからビットストリームデータを読み出し、コンフィギュレーションします。現在の Programmer ソフトウェアは、消去することなくオフチップ Flash へ複数のビットストリームデータを順次書き込むことをサポートしており、そのうち最初のプログラミングアドレスは 0 です。ユーザーが前のビットストリームデータに次のコンフィギュレーションのビットストリームデータの読み込みアドレスを書き込み、パワーオンのとき RECONFIG_N をトリガしてデータストリームファイルを切り換えてコンフィギュレーションします。MSPI モードをサポートする FPGA 製品はいずれもこのモードをサポートします。

MULTI BOOT コンフィギュレーションの具体的な手順は以下のとおりです:

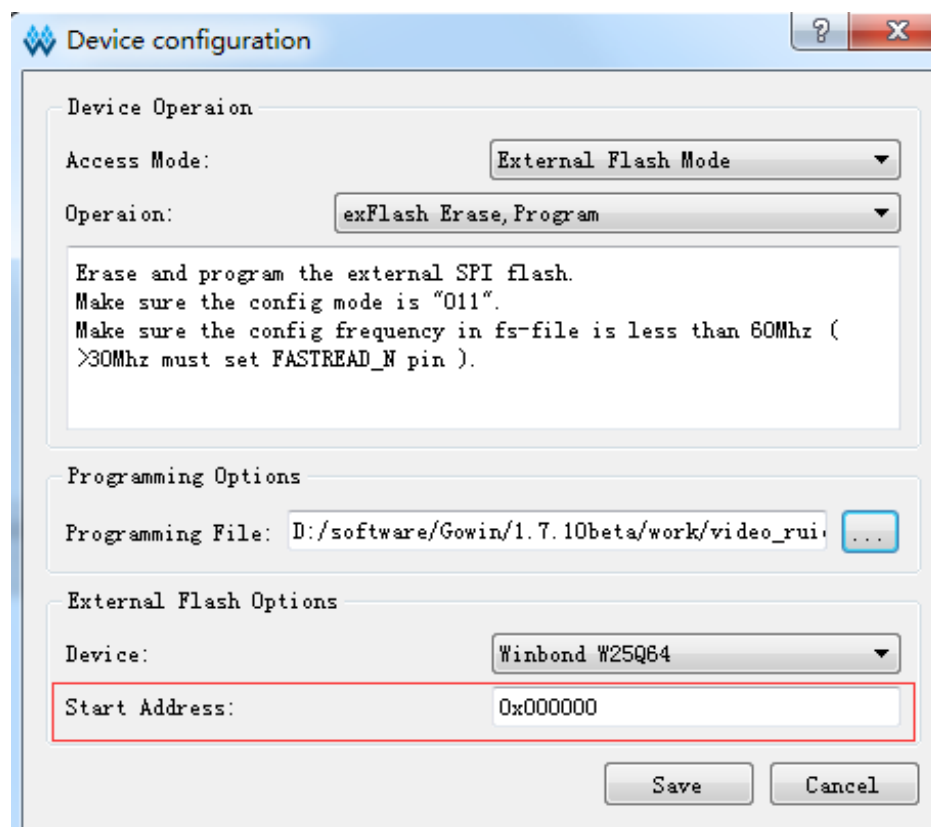
1. Gowin ソフトウェアで BitStream を開き、SPI Flash Address 入力ボックスに次の BitStream のスタートアップアドレスを入力します(図 6-44)。

図 6-44 次の BitStream のスタートアップアドレスの設定



2. Programmer ソフトウェアでオフチップ Flash プログラミングモードを選択して BitStream の起動アドレスを設定します。ここでのプログラミングアドレスは、ステップ 1 で設定した起動アドレスと同じである必要があります(図 6-45)。

図 6-45 オフチップ Flash のプログラミングアドレスの設定



3. “Save” をクリックして、すべての BitStream の起動アドレスとプログラミングアドレスの設定を完了します。
4. Low レベルパルスを使用して RECONFIG_N をトリガし、複数の BitStream 機能を切り替えます。

注記：

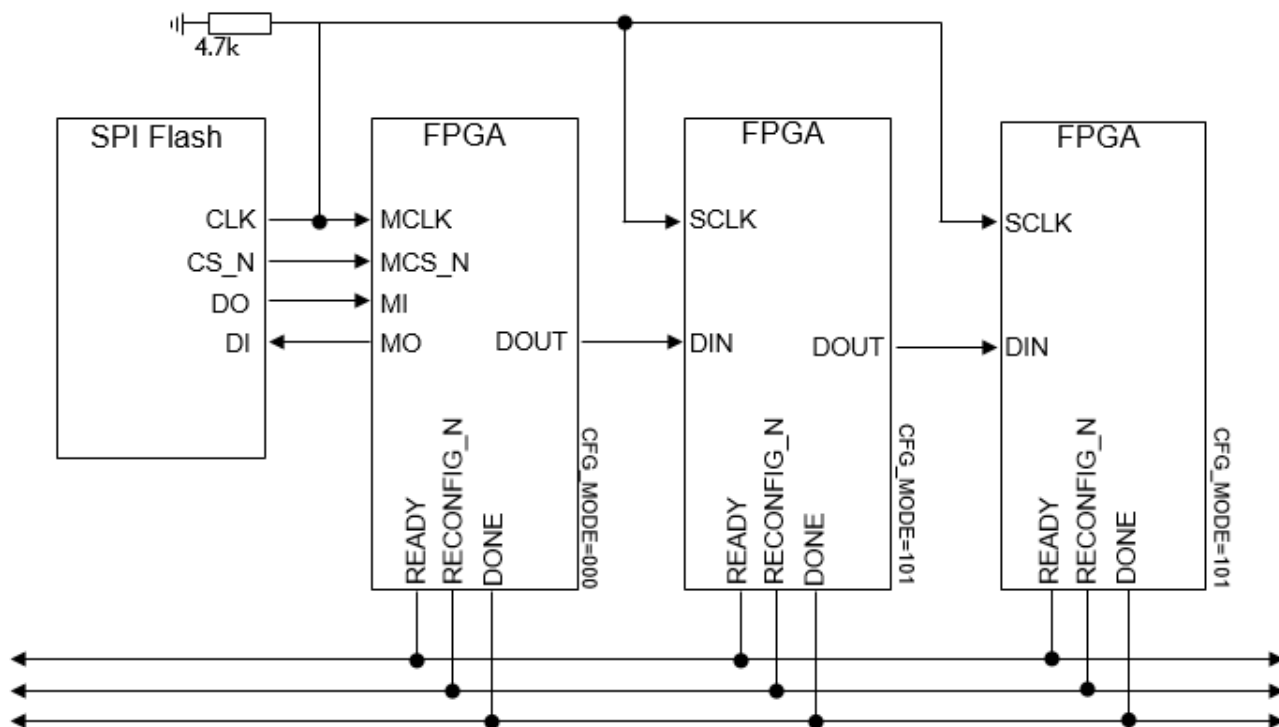
- MULTI BOOT コンフィギュレーションでは、パワーオンの際に RECONFIG_N をトリガしてコンフィギュレーションデータを切り替える必要があります。デバイスがパワーダウンすると、起動アドレスはクリアされます。
- 起動アドレスが前のビットストリームデータで上書きされないように、MULTI BOOT コンフィギュレーションを使用する前にビットストリームデータのサイズを計算する必要があります。
- SPI Flash の起動アドレスの下位 12 ビットが無効で、ユーザーは ADDR [23:12] のアドレス空間を設定できます。

上記の 1 つの Flash で 1 つの FPGA をコンフィギュレーションすることに加えて、GOWIN セミコンダクターFPGA 製品は 1 つの Flash で複数の FPGA をコンフィギュレーションすることもサポートしています。SPI Flash に直接接続された FPGA デバイスは MSPI コンフィギュレーションモード、他の FPGA は SSPI または SERIAL コンフィギュレーションモードを使用します。具体的な操作については、更新版を参照してください。接続図は図 6-46 に示します。

注記：

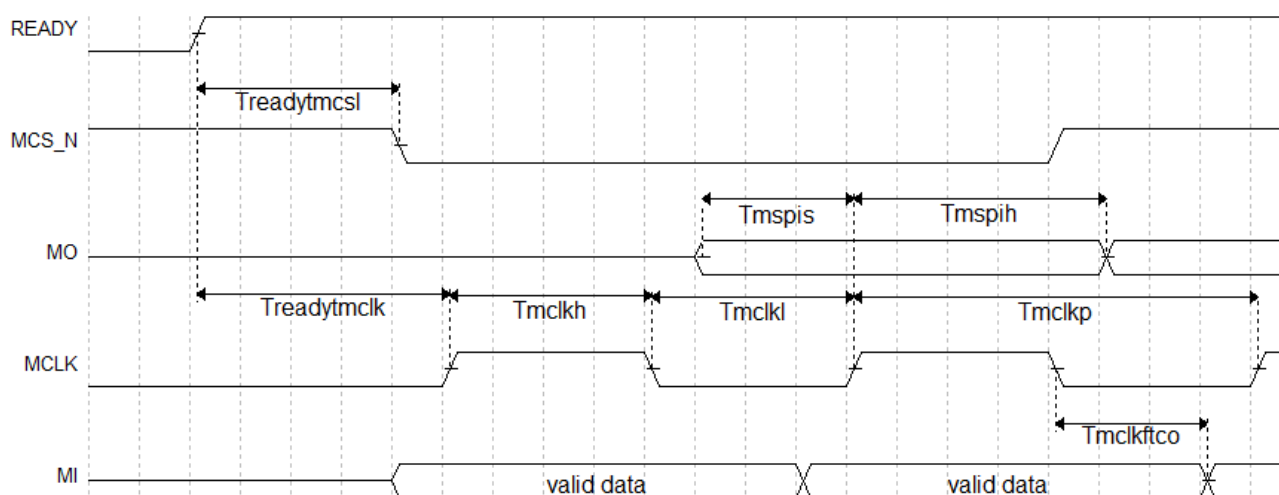
コンフィギュレーションする前に、関連する **FPGA の MODE 値**を **MSPI と SERIAL** コンフィギュレーションモードまたは **MSPI と SSPI** コンフィギュレーションモードに調整する必要があります。**GOWIN** セミコンダクター **FPGA** 製品は、現在のところ、複数の **Flash** で **1 つの FPGA** をコンフィギュレーションすることをサポートしていません。

図 6-46 1つの Flash で複数の FPGA をコンフィギュレーションする場合の接続図



MSPI ダウンロードモードのタイミング図は、図 6-47 に示す通りです。

図 6-47 MSPI ダウンロードモードのタイミング図



関連するタイミングパラメータは、表 6-16 に示す通りです。

表 6-16 MSPI コンフィギュレーションモードのタイミングパラメータ

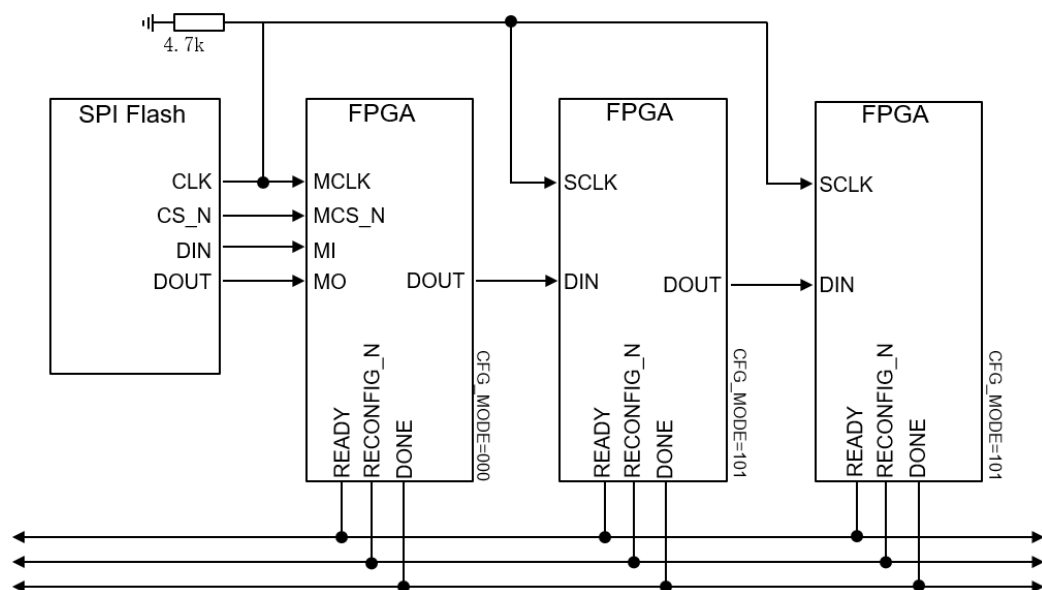
パラメータ名	パラメータの意味	最小値	最大値
--------	----------	-----	-----

パラメータ名	パラメータの意味	最小値	最大値
T_{mclkp}	MCLK のクロックサイクル(MCLK clock period)	15ns	-
T_{mclkh}	MCLK クロックの High レベル時間(MCLK clock high time)	7.5ns	-
T_{mclkl}	MCLK クロックの Low レベル時間(MCLK clock low time)	7.5ns	-
T_{mspis}	MSPI PORT のセットアップ時間(MSPI PORT setup time)	5ns	-
T_{mspih}	MSPI PORT のホールド時間(MSPI PORT hold time)	1ns	-
$T_{mclkftco}$	MCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from MCLK falling edge to output)	-	10ns
$T_{readytmcs1}$	READY の立ち上がりエッジから MCS_N の Low レベルに至るまでの時間(Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY の立ち上がりエッジから 1 つ目の MCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	2.8 μ s	4.4 μ s

上記の電源要件のほか、MSPI モードを使用するには、以下の条件を満たす必要があります。

- **MSPI インターフェースイネーブル**
 パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG_N を通常の I/O に設定していません。
- **新しいコンフィギュレーションを開始します**
 再パワーアップまたは Low レベルで RECONFIG_N ピンをトリガします。

図 6-48 MSPI モードでの複数 FPGA 接続



6.6 DUAL BOOT コンフィギュレーション(LittleBee®ファミリでのみサポート)

デュアルブート(DUAL BOOT)コンフィギュレーションモードは、GOWIN セミコンダクター LittleBee®ファミリ不揮発性 FPGA 製品向けコンフィギュレーションモードです。DUAL BOOT モードでは、FPGA は優先的にオフチップ Flash からビットストリームデータを読み出してコンフィギュレーションします。

注記：

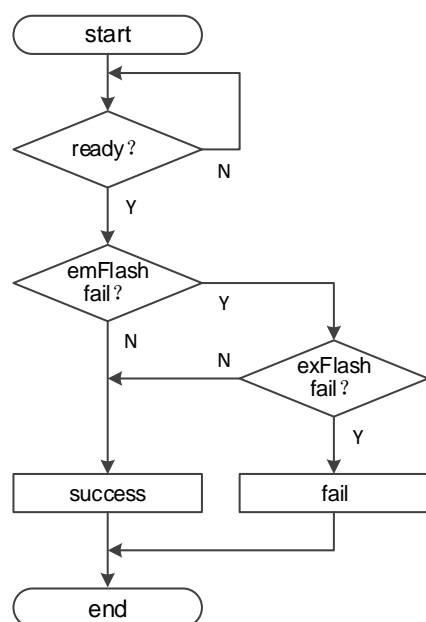
DUAL BOOT モードでは、オフチップ Flash が空であるか存在しない場合、FPGA はオンチップ Flash からデータをロードします。

DUAL BOOT モードでは、特定の MODE 値を選択する必要があります。オンチップ Flash から起動する場合、外部配線は必要ありません。オフチップ Flash から起動する場合の配線は、MSPI コンフィギュレーションモードと同じです(図 6-42)。DUAL BOOT モードでは、より多くのコンフィギュレーションパスを選択でき、ユーザーは自分のニーズに応じてコンフィギュレーションデータの保存場所を選択できます。

GW1NS-2/GW1NS-2C デバイスでサポートされる DUAL BOOT モードは、LittleBee®ファミリの他のデバイスとは少し異なります。GW1NS-2/GW1NS-2C デバイスにはデュアルオンチップ Flash があるため、DUAL BOOT モードを使用する場合、2 つのオンチップ Flash が切り替えられることがあります。

DUAL BOOT モードのフローチャートは図 6-49 に示すとおりです。

図 6-49 DUAL BOOT モードのフローチャート



注記：

MODE 値が “110” の場合、オフチップ Flash からの起動を優先します。

GW1N(R)-9、および GW1NS シリーズ製品の場合、どの DUAL BOOT コンフィギュレーションのモードであるかに関わらず、FPGA は 4 回のコンフィギュレーション試行をサポートします。

- 優先ストレージパスから 3 回起動し、3 回失敗した後、別のパスからコンフィギュレーションされます。オンチップ Flash の起動は 0 からしか起動できません。
- MODE の値が "110" の場合、オフチップ Flash から異なるアドレスで 3 回起動することができますが、起動前に Gowin ソフトウェアを介してアドレスをビットストリームデータに書き込む必要があります。3 回のコンフィギュレーション試行がすべて失敗した場合、オンチップ Flash からデバイスを起動します。
- GW1NS シリーズ製品では、起動失敗後の複数回の再起動の試行はサポートされますが、起動アドレスは変更できません。

注記：

SPI Flash の起動アドレスの下位 12 ビットが無効で、ユーザーは ADDR [23:12] のアドレス空間を設定できます。

GW1N(R)-4 デバイスは現在のところ自動的な DUAL BOOT コンフィギュレーションをサポートしていません。GOWIN セミコンダクターは、ユーザーにこの 2 つのデバイスの DUAL BOOT コンフィギュレーション方法を提供しています。詳細については、『GOWIN セミコンダクター GW1N-4 チップに基づく DUAL BOOT ダウンロード方法(TN101)』を参照してください。

6.7 CPU コンフィギュレーションモード

CPU コンフィギュレーションモードでは、ホストは 8 ビット幅のデータ

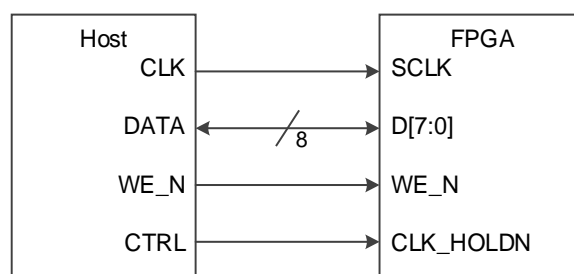
バスインターフェースを介して **GOWIN** セミコンダクター **FPGA** 製品をコンフィギュレーションします。**CPU** コンフィギュレーションモードでのピンは表 6-17 に示すとおりです。

表 6-17 CPU モードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号、 READY の立ち上がりエッジでサンプリング
SCLK	I	クロック入力
CLKHOLD_N	I、内部の弱いプルアップ	High レベル：CPU 操作が有効 Low レベル：CPU 操作が無効
WE_N	I	読み出し書き込みイネーブル 0：書き込み 1：読み出し
D[7:0]	I/O	データ入出力ポート：CPU コンフィギュレーションモードの入力ピンとして、コンフィギュレーション完了後に検証用の出力ピンに変換できます。

CPU コンフィギュレーションモードの接続図は図 6-50 に示すとおりです。

図 6-50 CPU コンフィギュレーションモードの接続図



注記：

この図は **CPU** コンフィギュレーションモードの最小システム図を示しています。モードの **MODE** 値は“111”で、他の固定ピンの接続については図 6-1 を参照してください。

上記の電源要件のほか、CPU モードを使用するには、以下の条件を満たす必要があります。

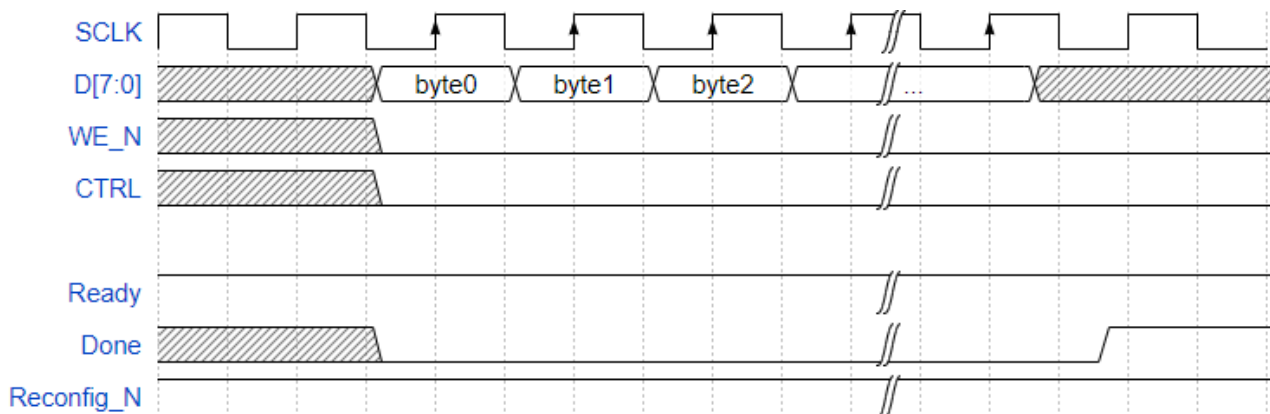
- **CPU インターフェースイネーブル**
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG_N を通常の I/O に設定していません。
- **新しいコンフィギュレーションを開始します**
再パワーアップまたは Low レベルで RECONFIG_N ピンをトリガします。

6.7.1 コンフィギュレーションタイミング

コンフィギュレーションする前に、MODE[2:0]が 111 に設定されていることを確認してください。コンフィギュレーションが完了すると、DONE が High にプルアップされます。DONE または READY が Low である場合、設定は失敗します。

コンフィギュレーションにおいて、データバス D[7:0]はビッグエンディアンモード(MSB ファースト)で処理され、FPGA は SCLK の立ち上がりエッジでデータを読み出します。

図 6-51 CPU モードのコンフィギュレーションタイミング



6.8 SERIAL コンフィギュレーションモード

SERIAL モードでは、Host はシリアルインターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。SERIAL コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの1つです。SERIAL コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、SERIAL コンフィギュレーションモードでは ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことができません。SERIAL コンフィギュレーションモードのピンの定義は表 6-18 に示すとおりです。

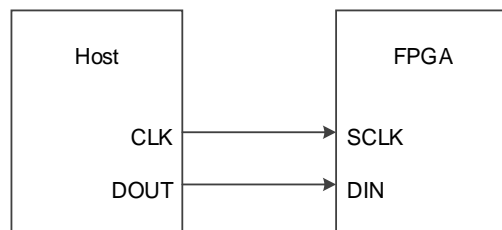
表 6-18 SERIAL コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
-----	---------	----

RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号、 READY の立ち上がりエッジでサンプリング
SCLK	I	クロック入力
DIN	I、内部の弱いプルアップ	入力データ
DOUT	O	データ出力。FPGA カスケード時の SERIAL コンフィギュレーションモードにのみ用います。

SERIAL コンフィギュレーションモードの接続図は図 6-52 に示すとおりです。

図 6-52 **SERIAL** コンフィギュレーションモードの接続図



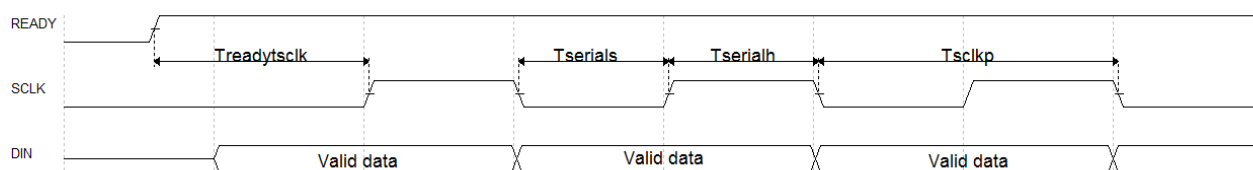
注記：

この図は **SERIAL** コンフィギュレーションモードの最小システム図を示しています。モードの **MODE** 値は “101” で、他の固定ピンの接続については図 6-1 を参照してください。

SERIAL コンフィギュレーションモードのタイミング図

SERIAL コンフィギュレーションモードのタイミングを図 6-53 に示します。

図 6-53 SERIAL コンフィギュレーションモードのタイミング図



関連するタイミングパラメータは、表 6-19 に示す通りです。

表 6-19 SERIAL コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T_{sclkp}	SCLK クロックのサイクル(SCLK clock period)	15ns	-
$T_{serials}$	SERIAL PORT のセットアップ時間(SERIAL PORT setup time)	2ns	-
$T_{serialh}$	SERIAL PORT のホールド時間(SERIAL PORT hold time)	0ns	-
$T_{readytsclk}$	READY の立ち上がりエッジから 1 目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	TBD	-

上記の電源要件のほか、SERIAL モードを使用するには、以下の条件を満たす必要があります。

- SERIAL インターフェースイネーブル
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき RECONFIG_N を通常の I/O に設定していません。
- 新しいコンフィギュレーションを開始します
再パワーアップまたは Low レベルで RECONFIG_N ピンをトリガします。

6.9 I²C コンフィギュレーションモード

注記：

- I²C コンフィギュレーションモードは一部の製品でサポートされます。LittleBee®ファミリFPGA 製品が I²C コンフィギュレーションモードの場合、AUTO BOOT モードもサポートされます。パワーアップすると、FPGA は最初に内蔵 Flash からビットストリームデータを読み込んでコンフィギュレーションを行います。AUTO BOOT コンフィギュレーション中は、I²C バスの SCL および SDA ラインを High にプルアップしたままにする必要があります。そうしないと、デバイスが正しくコンフィギュレーションされない場合があります。

I²C モードでは、Host は I²C インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。I²C コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。I²C コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、I²C コンフィギュレーションモードでは、ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことや、リードバックすることができません。I²C コンフィ

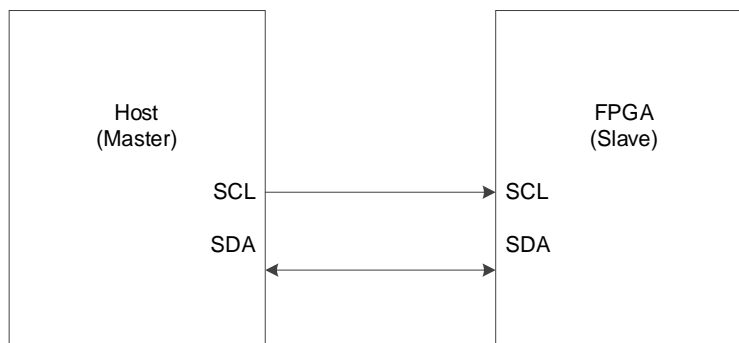
ギュレーションモードのピンの定義は表 6-20 に示すとおりです。

表 6-20 I²C コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルスの際、新しい GowinCONFIG を開始します
READY	I/O	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O	High レベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Low レベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
MODE[2:0]	I、内部の弱いプルアップ	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリング
SCL	I	クロック入力
SDA	I/O	データ入力、または ACK 出力

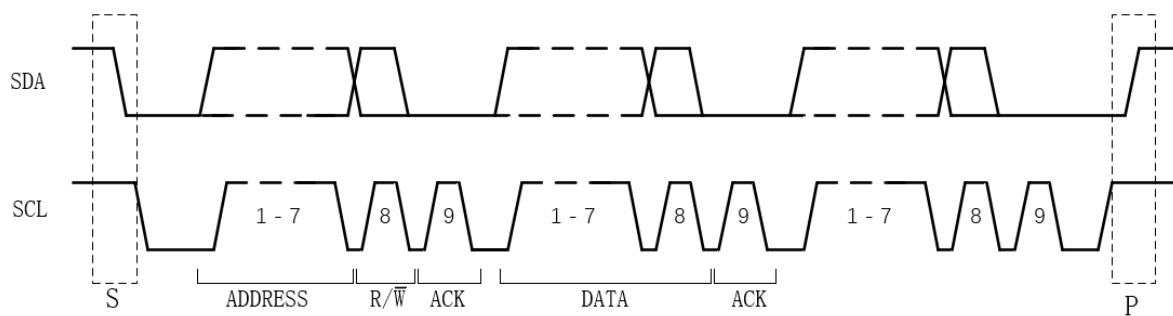
I²C コンフィギュレーションモードの接続図は、図 6-54 に示す通りです。

図 6-54 I²C コンフィギュレーションモードの接続図



注記：

この図は I²C コンフィギュレーションモードの最小システム図を示しています。モードの MODE 値は “100” で、他の固定ピンの接続については図 6-1 を参照してください。

図 6-55 I²C コンフィギュレーションモードのタイミング図

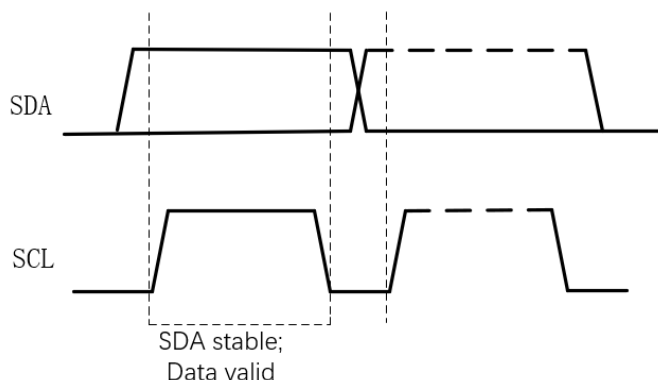
I²C はシリアル伝送バスであり、上図に示すプロトコルに従ってデータ伝送を実行します。アイドル状態では、SDA と SCL の両方が High レベルです。

表 6-21 I²C コンフィギュレーションモードのタイミングパラメータ

パラメータ	パラメータの意味	
S	(I2C Start) 開始条件	SCL が High の場合、SDA が High から Low になります。
P	(I2C Stop) 停止条件	SCL が High の場合、SDA が Low から High になります。
ADDRESS	アドレスフレーム	各スレーブデバイスの一意の 7 ビットまたは 10 ビットのシーケンスであり、マスターデバイスがスレーブデバイスと通信するときにこのスレーブデバイスを識別するために使用されます。
R/W	読み出し/書き込みビット	マスターデバイスがスレーブデバイスにデータを送信するか (0)、スレーブデバイスからデータを読み出すか (1) を指定します。
ACK	ACK/NACK ビット	メッセージ内の各フレームの後に ACK/NACK ビットが続き、Gowin FPGA が正しい場合に 0 を返します。
DATA	データ	1 つのデータは 8 ビットで、MSB(Most Significant Bit) First フォーマットで送信されます。

I²C バス上のすべてのデータはバイト(8 ビット)で転送されます。送信機がバイトを送信するたびに、データラインはクロックパルス 9 の間に解放され、受信機は応答信号をフィードバックします。Low の応答信号は、肯定応答ビット (ACK) として定義されます。これは、受信機がバイトを正常に受信したことを意味します。High の応答信号、否定応答ビット (NACK) として定義されます。これは通常、受信機がバイトの受信に成功しなかったことを意味します。肯定応答ビット ACK のフィードバックの要件は、受信機が 9 番目のクロックパルスの前の Low レベル期間中に SDA ラインを Low にプルダウンし、それがクロックの High レベル期間中に安定した Low レベルであることを保証することです。受信機がマスターの場合、最後のバイトを受信した後、NACK 信号を送信して、制御された送信機にデータ送信を終了し、SDA ラインを解放して、マスター受信機が停止信号を送信するように通知します。I²C バスで転送されるデータの各ビットには、対応するクロックパルス（または同期制御）があります。つまり、SCL シ

リアルクロックの協力により、データの各ビットは **SDA** でビットずつにシリアルに転送されます。データ転送の際、**SCL** の **High** レベル期間中、**SDA** のレベルは安定している必要があります。**Low** レベルはデータ **0**、**High** レベルはデータ **1** です。**SCL** が **Low** の場合にのみ、**SDA** ラインのレベルは状態を変更できます。次の図に示すとおりです。



Gowin デバイスでサポートされている **I²C** コンフィギュレーションモード情報を次に示します。

表 6-22 **I²C** コンフィギュレーションモードの周波数およびアドレス

モード	デバイス	周波数	アドレス
SRAM のコンフィギュレーション	GW1N-2 (IDCode:0x0120681B)	100KHz~1.33MHz	7'b1010_000
オンチップ Flash のプログラミング	GW1N-2 (IDCode:0x0120681B)	1.33MHz±1%	7'b1011_000
オフチップ Flash	-	-	-

注記：

I²C で **Flash** を操作するには、データストリームファイルを特定のデータストリームに変換する必要があります。変換ツールは **Programer** に含まれており、変換されたファイル名の拡張子は「.i2c」です。「.i2c」はバイナリファイルです。

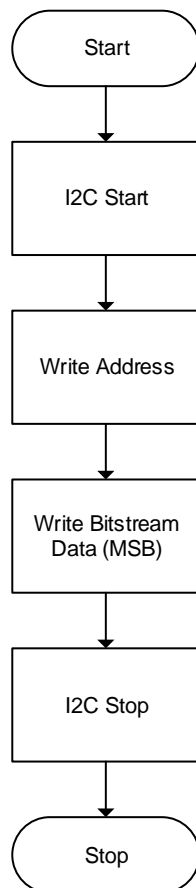
上記の電源要件のほか、**I²C** モードを使用するには、以下の条件を満たす必要があります。

- **I²C** インターフェースイネーブル
パワーアップ後の初めてのコンフィギュレーションまたはその前回のコンフィギュレーションのとき **RECONFIG_N** を通常の **I/O** に設定していません。
- 新しいコンフィギュレーションを開始します
再パワーアップまたは **Low** レベルで **RECONFIG_N** ピンをトリガします。

6.9.1 GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャート

SRAM のコンフィギュレーションに使用されるデータストリームファイルの形式は **FS**（拡張子は**.fs**）ファイルまたはバイナリ（拡張子は**.bin**）ファイルであり、オンチップ **Flash** に使用されるデータストリームファイルの形式は **I²C** ファイル（拡張子は**.i2c**）です。ファイル形式に関係なく、データは **MSB** ファーストでバイトごとに送信されます。

図 6-56 GW1N-2 SRAM/Flash のコンフィギュレーション/プログラミングのフローチャート



7 ビットストリームファイルの構成

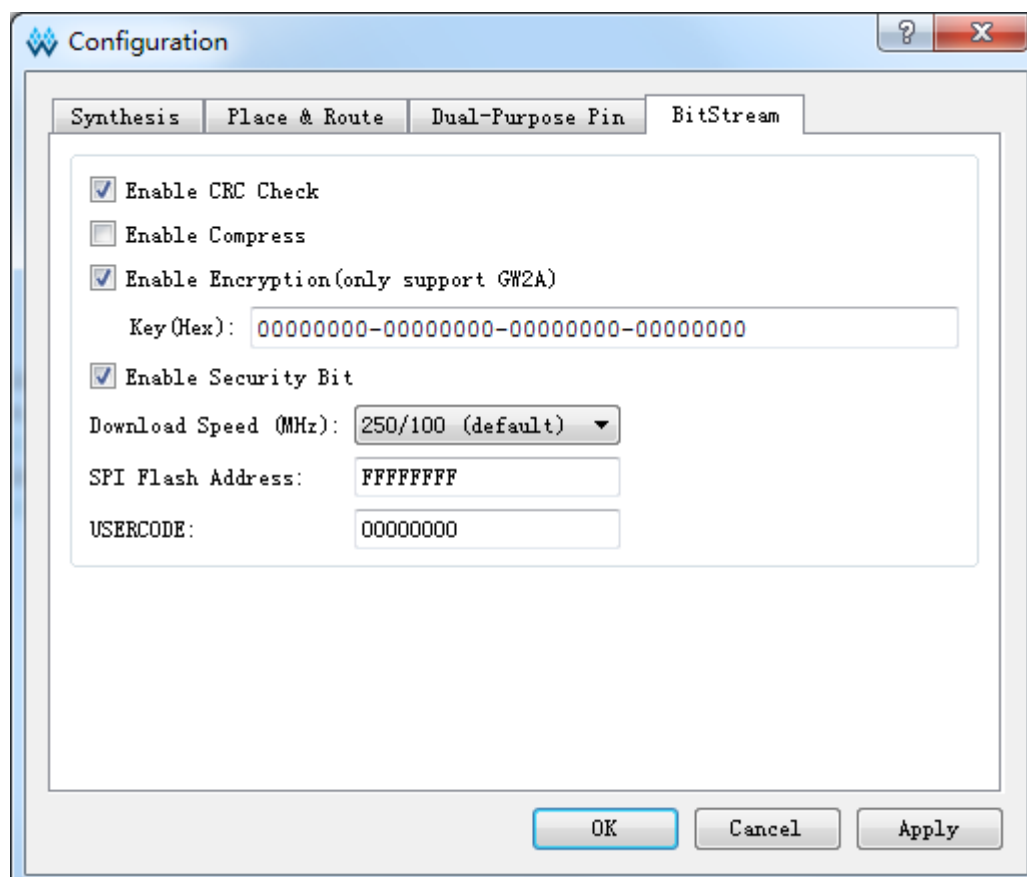
GOWIN セミコンダクターFPGA 製品のプログラミング・コンフィギュレーションの特性を実現するには、Gowin ソフトウェアで設定する必要があります。構成には主にコンフィギュレーションピンの多重化とビットストリームファイルの構成が含まれます。このセクションでは、主にビットストリームファイルの構成について説明します。コンフィギュレーションピンの多重化の詳細については、[5.1.2 ピンの多重化](#)を参照してください。

コンフィギュレーションデータの安全で正確な転送を保証するために、GOWIN セミコンダクターはFPGA 製品のビットストリームファイルにデフォルトでCRC アルゴリズムを追加してセキュリティビットを設定しています。データコンフィギュレーションの間、入力データはリアルタイムでチェックされ、誤ったデータがデバイスをウェイクアップさせることはできず、DONE 信号がプルダウンされます。セキュリティビットのあるビットストリームデータのコンフィギュレーションが完了した後、ユーザーはリードバックできません。

7.1 構成オプションの設定

CRC 設定、ビットストリームデータ圧縮、暗号化キー設定、セキュリティビット設定、MSPI コンフィギュレーション周波数選択、MULTI BOOT コンフィギュレーションモードでのSPI Flash 起動アドレス設定、USER CODE 設定などのビットストリームデータ関連設定インターフェースについては、[を参照してください](#)。SPI Flash の起動アドレスの下位 12 ビットが無効で、ユーザーはADDR [23:12]のアドレス空間を設定できます。

図 7-1 構成オプション



注記：

GOWIN セミコンダクターの Gowin ソフトウェアは暗号化キー設定オプションにチェックを入れてからセキュリティビット設定オプションにチェックを入れることを強制するので、このようなビットストリームデータをコンフィギュレーションに使用することによって、ユーザーはデータ送信中の安全性を確保し、いかなるリードバック動作も防ぐことができます。それによってユーザーデータの安全性を最大限に確保することができます。

7.2 コンフィギュレーションデータの暗号化(Arora ファミリーでのみサポート)

GOWIN セミコンダクター Arora ファミリー FPGA 製品は、ビットストリームデータの暗号化をサポートし、128 ビットの AES 暗号化アルゴリズムを使用しています。暗号化されたビットストリームデータのコンフィギュレーション手順は次のとおりです。

1. Gowin ソフトウェアに暗号化キーを入力してビットストリームファイルを生成します。
2. Gowin プログラミングソフトウェアに復号化キーを入力して FPGA に保存します。
3. 暗号化されたビットストリームデータがデバイスにロードされた後、デバイスはデータ解析のために復号化キーを読み出します。
データの解析に成功した後、デバイスは正常にコンフィギュレーションされて動作します。データ解析が失敗した後、デバイスは動作でき

ず、READY および DONE 信号はプルダウンされます。

7.2.1 定義

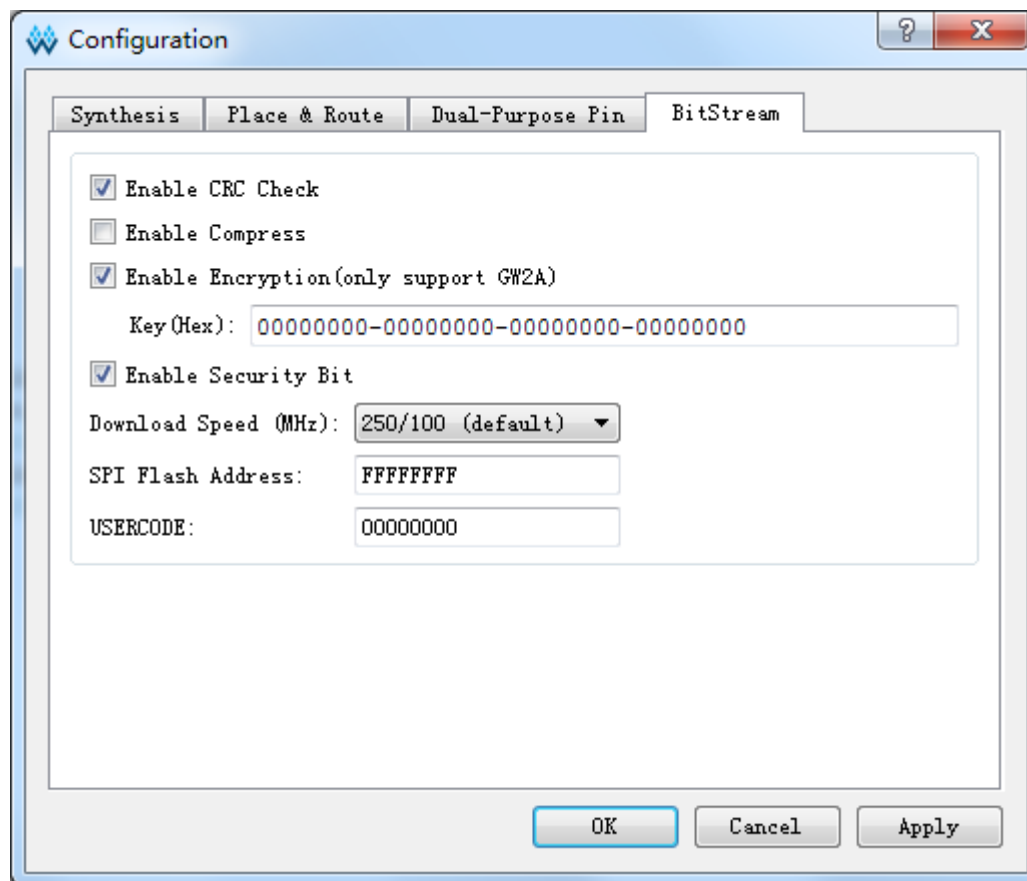
- **AES 暗号化キー** : AES プライベートキーとも呼び、AES 暗号アルゴリズムで使われるプライベートキーの部分です。アルゴリズム以外で指定され、本文では **key** と略称します。
- **AES 暗号化キーの長さ** : 128 ビット
- **Key** : AES 暗号化キーの略称。GW2A(R)シリーズ FPGA 製品では、128 ビット長さへのアドレスを **Key** の保存に使用します。
- **Lock** : AES 暗号化キーのセキュリティのため、この命令はキーの読み出し権限の制限に使用されます。本文では、このプロセスを **lock**(ロック)と略称します。ロック状態になると、リードバックされるデータはすべて 1 となります。

7.2.2 暗号化キーの入力

Gowin ソフトウェアに暗号化キーを入力する方法は次のとおりです。

1. Gowin ソフトウェアで対応するプロジェクトを開きます。
2. メニューバーで “**Project>Configuration**” を選択します。
3. “**BitStream**” タブをクリックし、“**Enable Encryption(only support GW2A)**” を選択して暗号化キーの値を入力します(図 7-2)。

図 7-2 暗号化キーの設定方法



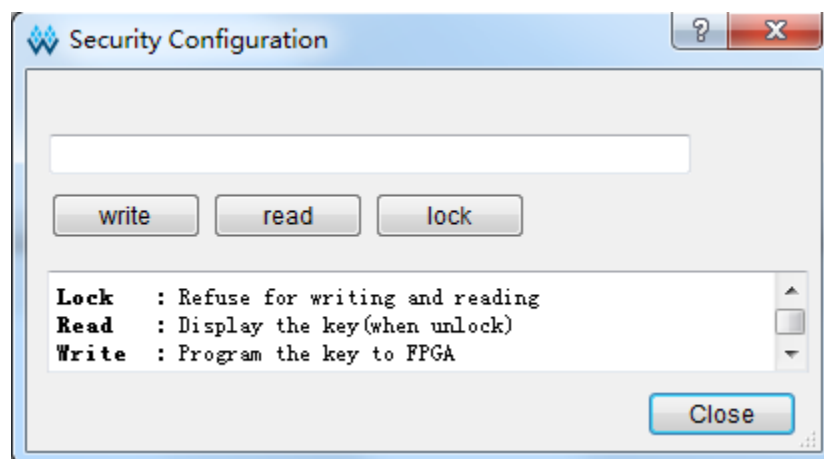
デバイスは暗号化されたビットストリームデータを解析してコンフィギュレーションを完了するには、暗号化キーを正しく設定して復号化キーをFPGAのキー格納領域に書き込む必要があります。

7.2.3 復号化キーの入力

復号化キーは次のように書き込まれます。

1. Gowin プログラミングソフトウェアを開きます。
2. FPGA デバイスをスキャンします。
3. デバイスを右クリックして **Configure Security** を選択します。
4. 図 7-3 のように、ポップアップしたインターフェースで以前に暗号化されたキー値を入力し、“write” をクリックして FPGA に書き込みます。

図 7-3 復号化キーの設定方法



復号化キーが首尾よく書き込まれた後、検証のためにインターフェース上の読み出し命令を選択して書き込まれた暗号化キーをリードバックすることができます。

暗号化キーが書き込まれたあと、ユーザーは **lock** 命令を選択して **FPGA** 内のキーをロックすることもできます。その後、キーの読み出しと書き込みはすべて無効になります。キー値は変更できず、読み出されたすべてのビットは "1" です。

復号化キーが設定された後、暗号化されたビットストリームデータは、復号化キーの照合に成功した後にのみ利用可能です。暗号化されていないビットストリームデータのコンフィギュレーションは、キーの影響を受けません。

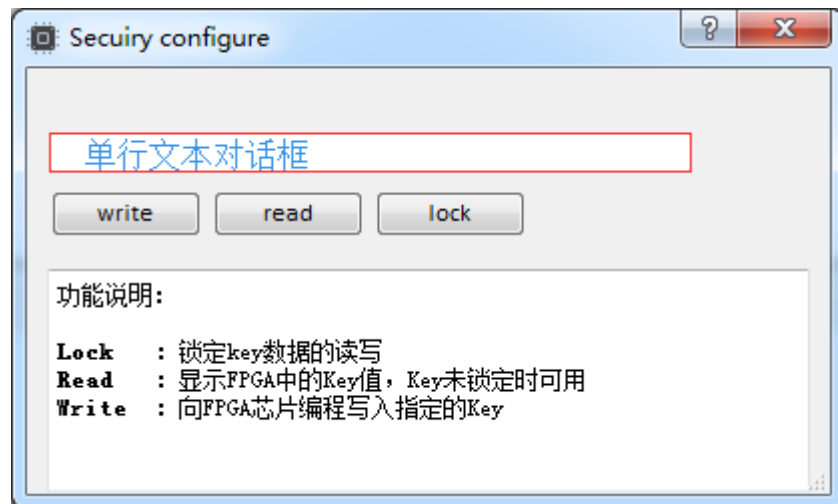
注記：

GOWIN セミコンダクターFPGA のキーの初期値のすべてのビットは **0** です。キー値のビットを **1** に変更した場合、**0** に戻すことはできません。たとえば、書き込まれたキー値が 00000000-00000000-00000000-00000001 の場合、このデバイスのキーの最下位ビットは常に **1** でなければなりません。

7.2.4 AES 暗号化キーのプログラミング操作

Gowin Programmer では、AES 暗号化キープログラミングツールを提供しています。Gowin ソフトウェアでメニューの “Tools” から “Security” オプションをクリックすると、このツールが開きます(図 7-4)。

図 7-4 AES プログラミングのダイアログ



このプログラムには以下の 3 つの機能があります。

- Write : Key のプログラミング
- Read : Key の読み出し
- Lock : Key の読み出し書き込み権限のロック

Key のプログラミング(Write)

1. ユーザー定義の Key(AES 暗号化キー)を“単行文本对话框(一行テキストダイアログ)”に入力します。
2. “Write” ボタンをクリックします。
3. ツールの動作が終了し、チェック結果に戻ります。

Key の読み出し(Read)

“read” ボタンをクリックすると、書き込んだ AES 暗号化キーを再度チェックし、読み出した AES は“単行文本对话框(一行テキストダイアログ)”に表示されます。

Key のロック(Lock)

“lock” ボタンをクリックすると、Key データの読み出し書き込みがロックされ、AES 暗号化キーの読み出し書き込みができなくなります。

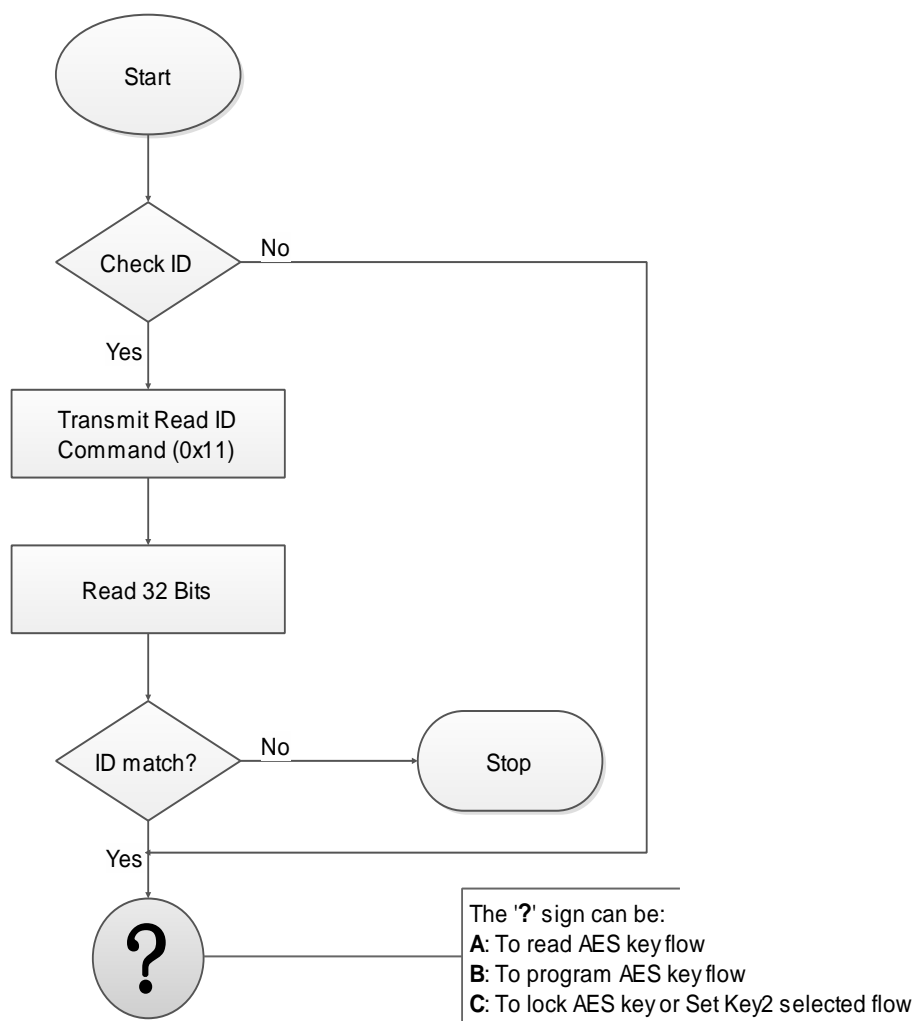
7.2.5 AES 暗号化キーのプログラミングプロセス

図 7-5~図 7-8 は、AES 暗号化キーのプログラミングまたはロックのプロセスです。これらのプロセスは JTAG プロトコルに基づいています。

ID CODE のチェック

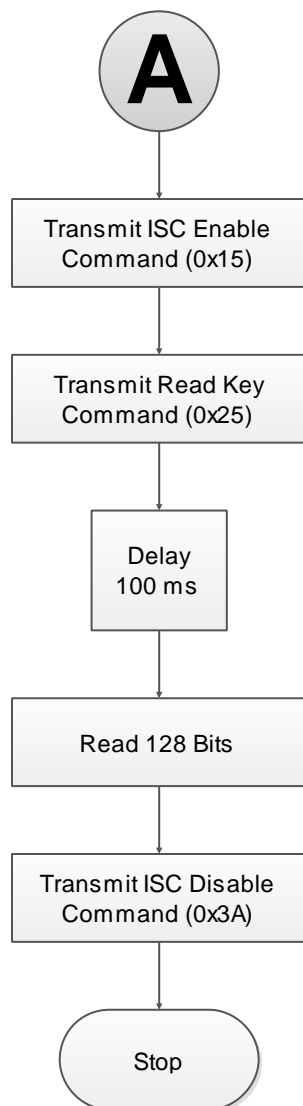
デバイス ID をチェックすることにより、JTAG プロトコルが正しく機能しているかどうかを判断できるとともに、プログラミングされるオブジェクトが正しいかどうかを確認できます。

図 7-5 Prepare



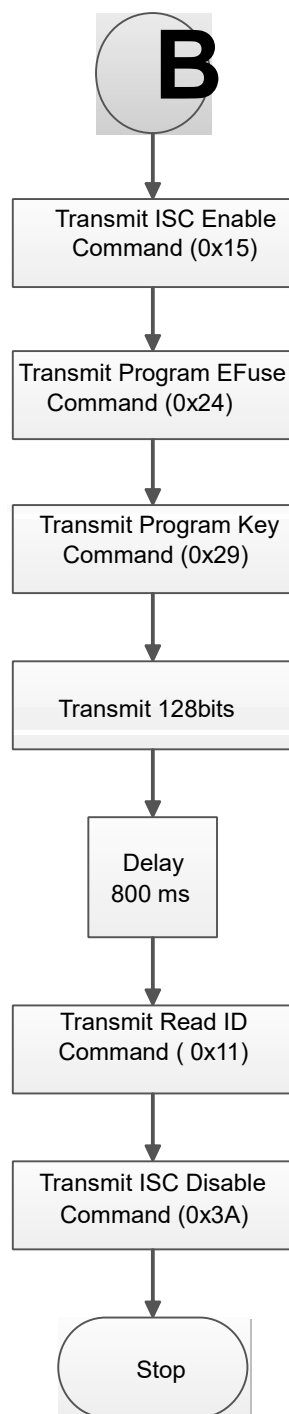
AES Key の読み出し

図 7-6 Read AES Key Flow



AES Key のプログラミング

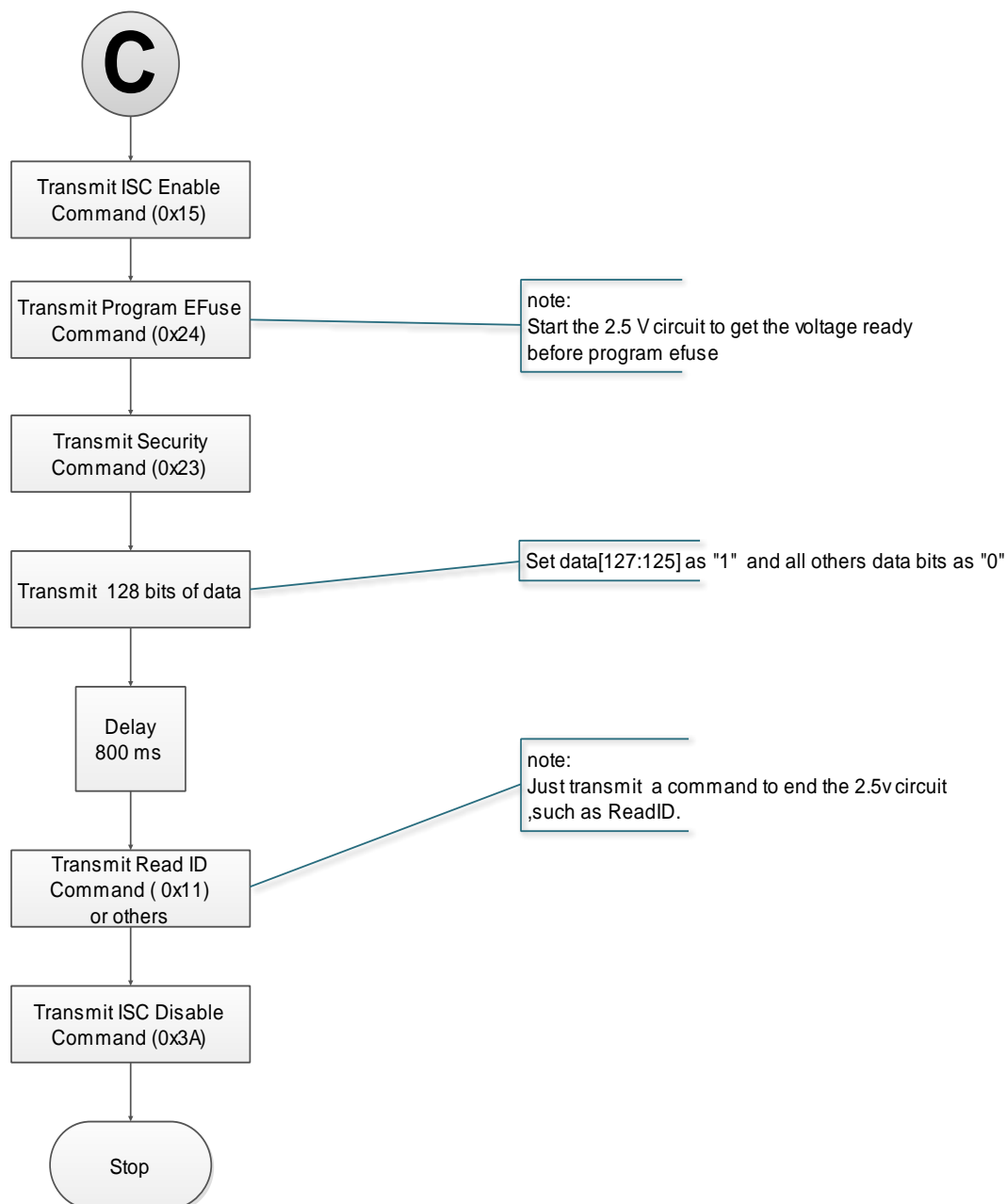
図 7-7 Program AES Key Flow



AES Key のロック

AES Key をロックすることにより、キーの漏洩を防ぐことができます。AES Key がロックされた後、キーを読み出し/書き込みすることはできません。

図 7-8 Lock AES Key Flow



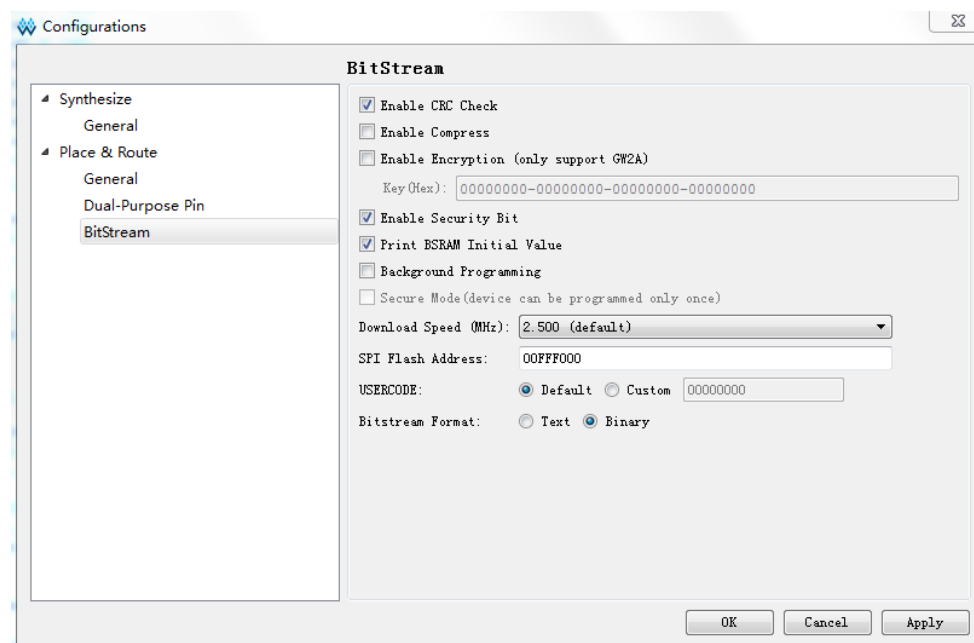
7.3 コンフィギュレーションファイルのサイズ

GOWIN セミコンダクターFPGA 製品のコンフィギュレーション用ビットストリームファイルのストレージ形式には、注釈情報を含むテキスト形式(ASCII)のファイルと、注釈情報のないバイナリ形式のファイルが含まれます。テキスト形式のファイル(拡張子は.fs)には、「//」で始まる行はコメ

ントであり、その他の部分はビットストリームデータです。バイナリ形式のファイル(拡張子は.bin)には、コメントは含まれていません。このファイル形式は、通常、組み込みプログラミングで使用されます。ユーザーは Gowin ソフトウェアでストレージ形式を設定できます。

1. Gowin ソフトウェアを開きます。
2. **Process** タブの **Place&Route** を右クリックして、**Configuration** でビットストリームを選択します。
3. 図 7-9 に示すように、**Bitstream Format** オプションでテキスト形式またはバイナリ形式を選択します。

図 7-9 ビットストリーム形式の生成



GOWIN セミコンダクターは、ビットストリームデータの圧縮をサポートしています。圧縮率はユーザーの設計によって異なります。このドキュメントでは、圧縮されていないコンフィギュレーションファイルのサイズのみを示しています(表 7-1)。

表 7-1 GOWIN セミコンダクター FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)

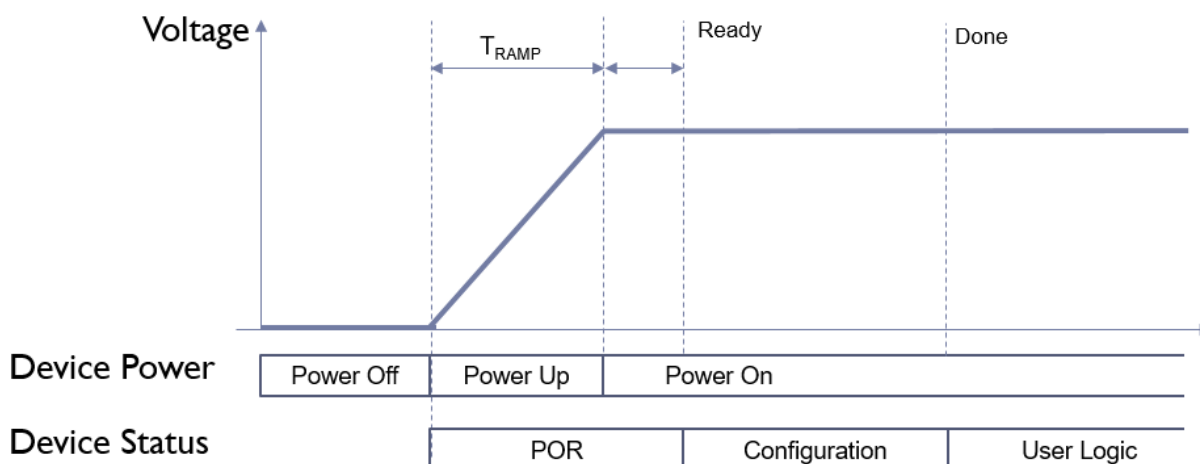
LUT 数	コンフィギュレーションファイルのサイズ(最大値)
1,152	84 KBytes
2,304	113 KBytes
4,608	217 KBytes
8,640	435 KBytes
20,736	887 KBytes
54,720	2269 KBytes

注記：

表に記載のデータは、圧縮されていないバイナリ形式のファイルのサイズです。SPI Flash を使用してデータストリームファイルを保存する場合、余裕が必要です。

7.4 コンフィギュレーションファイルのロード時間

FPGA はマスターとして Flash からデータストリームファイルを読み出して SRAM に書き込むことができます。この場合、AUTO BOOT(オンチップ Flash の場合)と MSPI(オフチップ Flash の場合)の 2 つのモードがあります。下図に示すように、FPGA は Ready 後にコンフィギュレーションを開始します。その後、FPGA は User Logic 状態になります。



Gowin の LittleBee®ファミリーおよび Arora ファミリーは MSPI モードをサポートしています。つまり、デバイスはオフチップ SPI Flash からデータを読み出してコンフィギュレーションします。コンフィギュレーションファイルの読み出しのデフォルトの周波数は 2.5MHz です。SPI クロックごとに 1 ビットが読み出されます。これにより、読み込みに必要な時間はファイルのサイズに応じて計算できます。MSPI モードでの SPI Flash 読み出しクロックの周波数は最大 125MHz です。また、Fast Read SPI(0x0B)を使用する場合、FastRead_N ピンを接地する必要があります。

Gowin Little Bee®ファミリー製品は、MSPI モードだけでなく、AUTO BOOT モードもサポートしています。ロード(読み込み)の周波数はデフォルトで 2.5MHz です。AUTO BOOT モードでは、クロックごとに 1 バイト (8 ビット)がロードされます。

ロード時間は、コンフィギュレーションファイルのサイズ、ロードの周波数、およびクロックごとのロード数により異なります。

AUTO BOOT モードでのロード周波数はデバイスにより異なります(表 7-2 参照)。

表 7-2 コンフィギュレーションファイルのロード周波数

デバイス	最大読み込み周波数(AUTO BOOT モード)	最大読み込み周波数(MSPI モード)
GW2A-55/55C	AUTO BOOT モードなし	125MHz
GW2A-18/18C		

デバイス	最大読み込み周波数(AUTO BOOT モード)	最大読み込み周波数(MSPI モー ド)
GW2AR-18/18C	26MHz	
GW2ANR-18C		
GW1N-1		
GW1N-1S		
GW1NS-2	33MHz	120MHz
GW1NSR-2		
GW1NS-2C		
GW1NSR-2C		
GW1NSE-2C		
GW1NZ-1	40MHz	
GW1N-2		
GW1N-2B		
GW1NSER-4C		
GW1NS-4		
GW1NSR-4		
GW1NS-4C		
GW1NSR-4C		
GW1N-4B		
GW1NR-4B		
GW1NRF-4B		
GW1N-4		
GW1NR-4		
GW1N-6		
GW1N-9		
GW1N-9C		
GW1NR-9		
GW1NR-9C		

MSPI モードでのデータストリームファイルのロード時間は表 7-3 のとおりです。

表 7-3 MSPI モードでのデータストリームファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=2.5MHz の場合のロード時間(ms)	ロード周波数=25MHz の場合のロード時間(ms)	ロード周波数=41.6MHz の場合のロード時間(ms)	ロード周波数=62.5MHz の場合のロード時間(ms)
1,152	84 KBytes	275	28	17	11
4,608	217 KBytes	711	71	42	28
8,640	435 KBytes	1425	142	85	57
20,736	887 KBytes	2906	290	174	116
54,720	2269 KBytes	7435	743	446	297

MSPI モードでのデータストリームファイルのロード時間は表 7-4 のとおりです。

表 7-4 AUTO BOOT モードでのデータストリームファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=2.5MHz の場合のロード時間(ms) (デフォルト周波数)	ロード周波数=25MHz の場合のロード時間(ms)	ロード周波数=31.25MHz の場合のロード時間(ms)
1,152	84 KBytes	34	4	3
4,608	217 KBytes	88	9	7
8,640	435 KBytes	178	17	14

上記のロード時間は参照用です。コンフィギュレーション時間に加えて、パワーアップ時間 **Tramp** とデバイスの初期化時間もあります。パワーアップ時間は、デバイスにより異なるので、自分で測定する必要があります。したがって、パワーアップから **FPGA** のロードが完了するまでのおよその時間は次のように計算できます。

AUTO BOOT モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/8/\text{クロックサイクル}$

MSPI モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/\text{クロックサイクル}$

8 安全上の考慮事項

ユーザーが **FPGA** を使用して設計する場合、セキュリティの問題が重要な考慮事項となります。**GOWIN** セミコンダクターのプログラミングソフトウェアでは、デバイスの機能を考慮して一連のセキュリティ対策が開発され、ユーザーのビットストリームデータを確実に保護できます。

セキュリティ対策は、大きく **3** つのフェーズに分けられます。

- コンフィギュレーションが始まる前に、プログラミングソフトウェアは自動的にビットストリームデータの有効性をチェックします。
- コンフィギュレーション中に、デバイスはリアルタイムで送信データの正当性をチェックします。
- コンフィギュレーションが完了した後、デバイスは動作状態に入り、あらゆる形式のリードバック要求をブロックします。

3 つのフェーズの詳細な説明は以下のとおりです。

コンフィギュレーションが始まる前

GOWIN セミコンダクターのプログラミングソフトウェアを使用してコンフィギュレーションするには、以下の手順を参照してください。

1. コンフィギュレーション回路のハードウェア接続を実行します。
2. プログラミングソフトウェアを起動してデバイススキャンを実行し、接続されている **FPGA** 製品は自動的に識別されます。
3. ビットストリームデータとプログラミングコンフィギュレーションモードを選択してデバイスをプログラム・コンフィギュレーションします。

上記のプロセスでは、プログラミングソフトウェアは最初に接続されたデバイスの **ID** を読み出し、次にそれをユーザーによって選択されたビットストリームデータ内の **ID** と比較し、この **2** つの **ID** が一致した場合にのみプログラム/コンフィギュレーションし続けられます。そうでない場合、プログラム/コンフィギュレーションすることができません。

注記：

GOWIN セミコンダクターFPGA 製品には、他のシリーズと区別するための固有の ID があります。Gowin ソフトウェアによって生成されたビットストリームデータにはデバイスの ID 検証命令が自動的に追加されています。ユーザーは、プロジェクトを作成するときにデバイスを選択するだけで済みます。

コンフィギュレーション中

コンフィギュレーションが開始された後、デバイスは最初に検証のためにビットストリームデータの ID を読み出し、検証がパスした後にプログラミング・コンフィギュレーションを開始します。ビットストリームデータの改ざんや送信中に発生する可能性のあるエラーを防ぐために、GOWIN セミコンダクターデバイスは CRC 方法を使用して、ビットストリームファイル内のすべてのデータビットが FPGA に正しく書き込まれるようにします。

Gowin ソフトウェアによって生成されたビットストリームデータの各アドレスには、当該アドレスに対応するデータの CRC チェックコードが追加され、データを受信中にも GOWIN セミコンダクターデバイスは継続的にチェックコードを生成し、それを受信されたチェックコードと比較します。チェックエラーが発見されると、それ以降のデータは無視され、コンフィギュレーションが完了すると、DONE インジケータは点灯せず、CRC チェックエラーがプログラミングソフトウェア GUI に表示されます。

コンフィギュレーション完了後

コンフィギュレーションが完了すると、ユーザーが選択したプログラミング・コンフィギュレーションモードに従って、デバイスのビットストリームデータが SRAM にロードされて起動するか、オンチップ Flash に格納されます(オンチップ Flash 内の格納は LittleBee®ファミリーFPGA 製品でのみサポートされます)。

- Gowin ソフトウェアがビットストリームデータの生成中にセキュリティビットを自動的に設定したため、ユーザーは SRAM のデータを読み出すことができません。
- オンチップ Flash に格納されているデータの場合、Flash へのプログラミングが完了した後、Flash は AUTO BOOT モードに入り、すべての読み出しが禁止されます。

さらに、LittleBee®ファミリーFPGA 製品の AUTO BOOT コンフィギュレーションモードは、外部ダウンロードインターフェースとの接続を必要とせず、それによってコンフィギュレーション中のデータ傍受のリスクが大幅に低減され、セキュリティが高くなります。DUAL BOOT モードにより、ユーザーは要件に応じてオフチップ Flash にデータをバックアップすることができます。

注記：

GOWIN セミコンダクターは、オフチップ Flash のストレージセキュリティに対して責任を負いません。

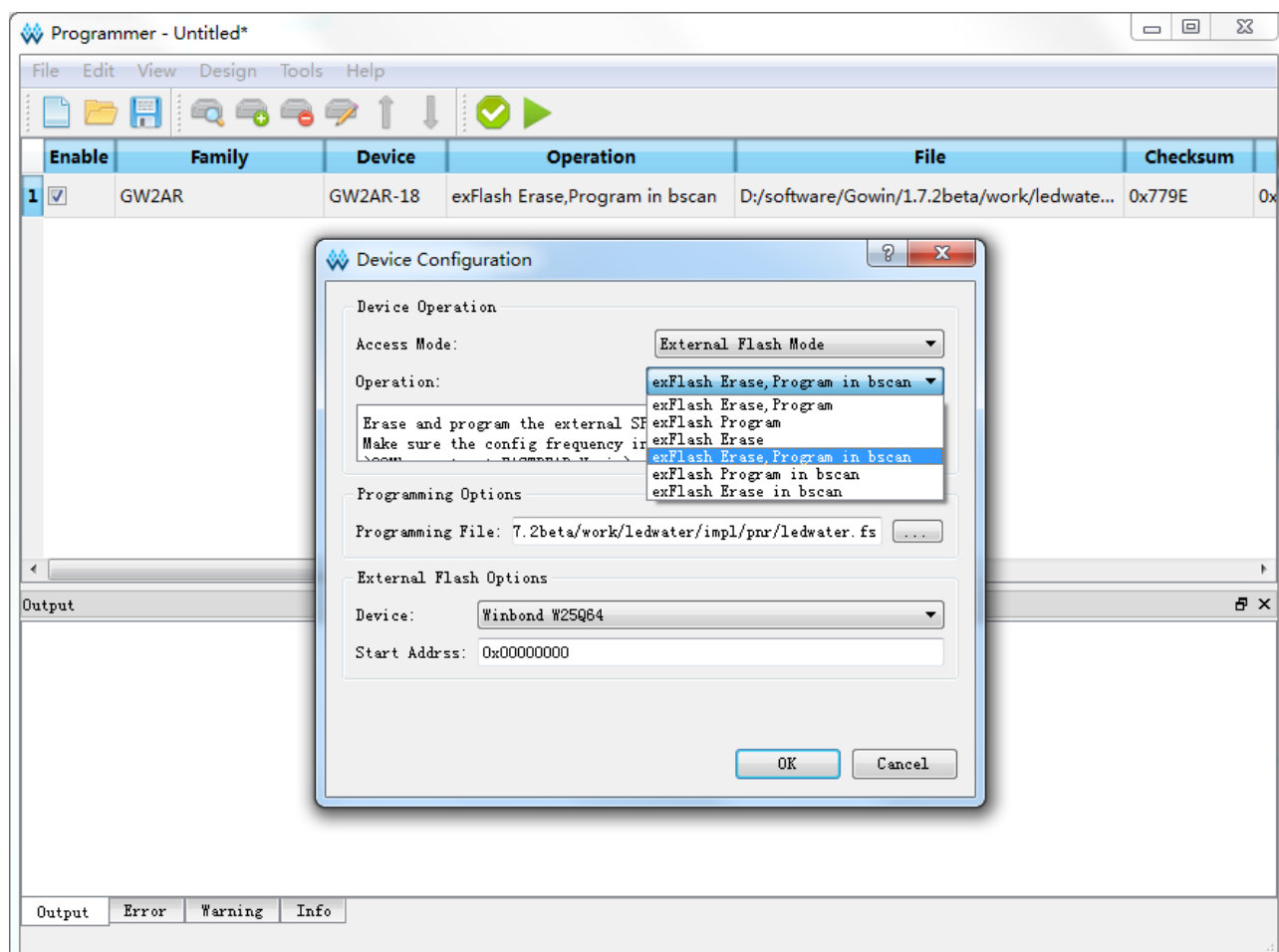
9 バウンダリスキャン

バウンダリスキャンは、**JTAG** コンフィギュレーションモードを拡張したもので、スキャンチェーンにはロングチェーンとショートチェーンにあります：ロングチェーンは主に **BSDL** ファイルを利用してデバイスのテストに使用され、ショートチェーンは主に **FPGA** チェーン上のオフチップ **Flash** の消去および読み出しと書き込みに使用されます。

バウンダリスキャンの操作手順は次のとおりです。

1. **FPGA** 開発ボードを **PC** に接続して電源を入れます。
2. 接続されているデバイスをスキャンするために **Gowin** プログラミングソフトウェアを開きます。
3. **Operation** の下をダブルクリックしてオフチップ **Flash** を選択し、関連する **bscan** 操作を選択します(図 9-1)。

図 9-1 バウンダリスキャンの操作説明図



バウンダリスキャンは **FPGA** のオフチップ **Flash** でのみ使用可能で、オンチップ **Flash** または **SRAM** はプログラムできません。バウンダリスキャンを使用する場合、オフチップ **Flash** をプログラムするときに **FPGA MODE** 値は任意ですが、バウンダリスキャン動作は **JTAG** を介してオフチップ **Flash** をプログラムする方法より遅くなります。

10 SPI Flash の選択

GOWIN セミコンダクターFPGA 製品でサポートされているオフチップ SPI Flash デバイスに対する操作命令は表 10-1 に示すとおりです。市場では、例えば Mxic 社や Winbond 社の製品が使用できます。

表 10-1 SPI Flash に対する操作命令

操作	命令
Read	0x03
Fast_Read	0x0B

注記：

GOWIN セミコンダクターFPGA でサポートされている読み出し命令は少なくとも 1 種類の Flash が 03 または 0B でなければならず、クロック周波数が 30MHz 以下の場合には通常の読み出し命令、クロック周波数が 30MHz を超える場合は高速読み出し命令が使用されます。高速読み出しの場合は FASTRD_N をプルダウンする必要があり、クロック周波数は 70MHz を超えてはなりません。

